

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-19424

(P2006-19424A)

(43) 公開日 平成18年1月19日(2006.1.19)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 C	5FO32
HO 1 L 23/52 (2006.01)	HO 1 L 27/12 B	
HO 1 L 21/02 (2006.01)	HO 1 L 27/12 Z	
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D	
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 L	

審査請求 未請求 請求項の数 9 O L (全 10 頁)

(21) 出願番号	特願2004-194639 (P2004-194639)	(71) 出願人	302062931 NECエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年6月30日(2004.6.30)	(74) 代理人	100110928 弁理士 遠水 進治
		(72) 発明者	川野 連也 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		(72) 発明者	田代 勉 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		(72) 発明者	栗田 洋一郎 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

最終頁に続く

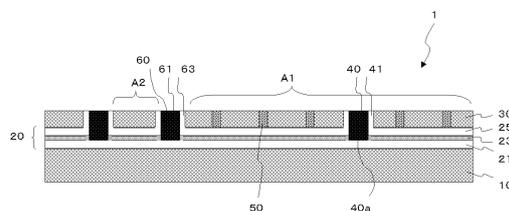
(54) 【発明の名称】 SOI基板およびその製造方法ならびに半導体装置

(57) 【要約】

【課題】 信頼性の高いSOI基板およびその製造方法ならびに半導体装置を提供する。

【解決手段】 SOI基板1は、支持基板10、支持基板10上に積層された絶縁層20、および絶縁層20上に積層されたシリコン層30を有して構成されている。SOI基板1のデバイス形成領域A1には、貫通電極40が設けられている。この貫通電極40は、シリコン層30から絶縁層20まで達している。具体的には、貫通電極40は、シリコン層30の表面に端を発生し、シリコン層30を貫通して絶縁層20の内部まで延びている。ここで、貫通電極40の絶縁層20側の端面40aは、絶縁層20内に止まっている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁層と、前記絶縁層上に設けられたシリコン層とを有して構成されたSOI基板であって、

前記シリコン層から前記絶縁層まで達する貫通電極を備え、

前記貫通電極における前記絶縁層側の端面は、前記絶縁層内に止まっていることを特徴とするSOI基板。

## 【請求項 2】

請求項 1 に記載のSOI基板において、

前記絶縁層は、エッチング阻止膜を含んでいるSOI基板。

10

## 【請求項 3】

請求項 2 に記載のSOI基板において、

前記エッチング阻止膜は、SiNであるSOI基板。

## 【請求項 4】

請求項 3 に記載のSOI基板において、

前記絶縁層は、前記エッチング阻止膜の前記シリコン層と反対側に設けられたシリコン酸化膜を含んでいるSOI基板。

## 【請求項 5】

請求項 1 乃至 4 いずれかに記載のSOI基板において、

前記絶縁層の厚さは、100nm以上800nm以下であるSOI基板。

20

## 【請求項 6】

請求項 1 乃至 5 いずれかに記載のSOI基板において、

前記シリコン層に設けられたポリシリコンプラグを備えるSOI基板。

## 【請求項 7】

請求項 6 に記載のSOI基板において、

前記ポリシリコンプラグは、前記貫通電極の側面に接しているSOI基板。

## 【請求項 8】

請求項 1 乃至 7 いずれかに記載のSOI基板を備える半導体装置。

## 【請求項 9】

支持基板と、前記支持基板上に設けられた絶縁層と、前記絶縁層上に設けられたシリコン層とを有して構成されたSOIウエハに、前記シリコン層から前記絶縁層まで達する孔または溝を形成し、前記孔または前記溝に導電膜を埋め込むことにより、貫通電極を形成する貫通電極形成工程を含み、

30

前記貫通電極形成工程においては、前記貫通電極における前記絶縁層側の端面が前記絶縁層内に止まるように、前記貫通電極を形成することを特徴とするSOI基板の製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、SOI基板およびその製造方法ならびに半導体装置に関する。

40

## 【背景技術】

## 【0002】

従来SOI(Silicon On Insulator)基板としては、例えば特許文献1に記載されたものがある。同文献に記載のSOI基板は、絶縁層とその上に積層されたシリコン層とを有して構成されている。このSOI基板には貫通電極が形成されており、当該貫通電極は、シリコン層および絶縁層を共に貫通している。すなわち、貫通電極は、絶縁層側の端面が絶縁層から突出するように形成されている。それゆえ、この貫通電極は、絶縁層の下面(上記シリコン層と反対側の面)に支持基板が設けられた状態において、その支持基板まで達している。

【特許文献1】特開2003-7909号公報(図57)

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

しかしながら、上述のように貫通電極が絶縁層から突出した構造では、上記SOI基板を備える半導体装置の製造工程において支持基板を除去する際に、貫通電極が何らかのダメージを受け易くなってしまふ。そのため、特許文献1に記載のSOI基板には、信頼性の面で向上の余地がある。

## 【0004】

本発明は、上記課題に鑑みてなされたものであり、信頼性の高いSOI基板およびその製造方法ならびに半導体装置を提供することを目的とする。

10

## 【課題を解決するための手段】

## 【0005】

上記課題を解決するために、本発明によるSOI基板は、絶縁層と、絶縁層上に設けられたシリコン層とを有して構成されたSOI基板であって、シリコン層から絶縁層まで達する貫通電極を備え、貫通電極における絶縁層側の端面は、絶縁層内に止まっていることを特徴とする。

## 【0006】

このSOI基板においては、貫通電極における絶縁層側の端面が絶縁層内に止まっている。すなわち、当該端面が絶縁層から突出しない構造となっている。それゆえ、当該SOI基板を備える半導体装置の製造工程において支持基板を除去する際に、貫通電極がダメージを受けにくい。したがって、信頼性の高いSOI基板が実現される。

20

## 【0007】

絶縁層は、エッチング阻止膜を含んでいてもよい。これにより、貫通電極の上記端面が絶縁層内に止まった構造を容易に実現することができる。

## 【0008】

エッチング阻止膜は、SiNであってもよい。これにより、エッチング阻止膜を重金属等の拡散を阻止する金属拡散阻止膜としても機能させることができる。また、この場合において、絶縁層は、エッチング阻止膜のシリコン層と反対側に設けられたシリコン酸化膜を含んでいてもよい。この場合、シリコン窒化膜とシリコン酸化膜とのエッチング選択比により、貫通電極の上記端面が絶縁層内に止まった構造を一層容易に実現することができる。

30

## 【0009】

絶縁層の厚さは、100nm以上800nm以下であってもよい。絶縁層の厚さが100nm以上であることにより、絶縁層のカバレッジを十分に確保することができる。ところで、絶縁層の厚さが大き過ぎるとSOI基板に反りが生じることがある。この点、厚さが800nm以下であれば、SOI基板に生じる反りを十分に抑制することができる。

## 【0010】

上記SOI基板は、シリコン層に設けられたポリシリコンプラグを備えていてもよい。これにより、ポリシリコンプラグを不純物のゲッタリングサイトとして機能させることができる。このポリシリコンプラグは、貫通電極の側面に接していてもよい。

40

## 【0011】

本発明による半導体装置は、上記SOI基板を備えることを特徴とする。上記SOI基板は、上述の通り、支持基板を除去する際に貫通電極がダメージを受けにくく、信頼性が高い。したがって、この半導体装置においても高い信頼性が得られる。

## 【0012】

本発明によるSOI基板の製造方法は、支持基板と、支持基板上に設けられた絶縁層と、絶縁層上に設けられたシリコン層とを有して構成されたSOIウエハに、シリコン層から絶縁層まで達する孔または溝を形成し、孔または溝に導電膜を埋め込むことにより、貫通電極を形成する貫通電極形成工程を含み、貫通電極形成工程においては、貫通電極における絶縁層側の端面が絶縁層内に止まるように、貫通電極を形成することを特徴とする。

50

## 【0013】

この製造方法においては、貫通電極における絶縁層側の端面が絶縁層内に止まるように貫通電極を形成する。すなわち、当該端面が絶縁層から突出しないように貫通電極を形成する。それゆえ、当該SOI基板を備える半導体装置の製造工程において支持基板を除去する際に、貫通電極がダメージを受けにくい。したがって、この製造方法によれば、信頼性の高いSOI基板を得ることができる。

## 【発明の効果】

## 【0014】

本発明によれば、信頼性の高いSOI基板およびその製造方法ならびに半導体装置が実現される。

10

## 【発明を実施するための最良の形態】

## 【0015】

以下、図面を参照しつつ、本発明によるSOI基板およびその製造方法ならびに半導体装置の好適な実施形態について詳細に説明する。なお、図面の説明においては、同一要素には同一符号を付し、重複する説明を省略する。

## 【0016】

図1は、本発明によるSOI基板の一実施形態を示す断面図である。また、図2は、本発明によるSOI基板の一実施形態を示す平面図である。SOI基板1は、支持基板10、支持基板10上に積層された絶縁層20、および絶縁層20上に積層されたシリコン層30を有して構成されている。本実施形態において支持基板10としては、シリコン基板

20

## 【0017】

絶縁層20は、シリコン酸化膜21（第1シリコン酸化膜）、シリコン窒化膜23、およびシリコン酸化膜25（第2シリコン酸化膜）を含んでいる。すなわち、絶縁層20は、これらのシリコン酸化膜21、シリコン窒化膜23およびシリコン酸化膜25が支持基板10側から順に積層された多層絶縁膜として構成されている。シリコン窒化膜23は、エッチング阻止膜として機能するとともに、重金属等の拡散を阻止する金属拡散阻止膜としても機能する。シリコン酸化膜21およびシリコン酸化膜25は、例えばSiO<sub>2</sub>膜である。シリコン窒化膜23は、例えばSiN膜である。なお、シリコン窒化膜23の代わりにまたはシリコン窒化膜23と共に、SiCN膜もしくはSiON膜またはこれらの組

30

## 【0018】

SOI基板1のデバイス形成領域（回路形成領域）A1には、貫通電極40が設けられている。この貫通電極40は、シリコン層30から絶縁層20まで達している。具体的には、貫通電極40は、シリコン層30の表面に端を発し、シリコン層30を貫通して絶縁層20の内部まで延びている。ここで、貫通電極40の絶縁層20側の端面40aは、絶縁層20内に止まっている。本実施形態において、端面40aの位置は、シリコン窒化膜23の支持基板10側の面（すなわちシリコン層30と反対側の面）に略一致している。貫通電極40の材料としては、例えばCu、W、Alまたはポリシリコンを用いることが

40

## 【0019】

また、デバイス形成領域A1には、ポリシリコンプラグ50が設けられている。ポリシリコンプラグ50は、シリコン層30を貫通するように形成されている。本実施形態においては、ポリシリコンプラグ50が複数設けられている。

## 【0020】

デバイス形成領域A1とスクライプライン領域A2との境界に沿って、溝部60が設けられている。溝部60は、シリコン層30を貫通して絶縁層20まで達しているとともに、図2に示すように、デバイス形成領域A1の側面全体を包囲するように設けられている。溝部60内には、導電膜61が埋め込まれている。この導電膜61の材料としては、例え

50

ば貫通電極 40 と同一の材料が用いられる。また、導電膜 61 の内周面および外周面は、共に絶縁膜 63 により覆われている。なお、図 2 においては、絶縁膜 41、ポリシリコンプラグ 50 および絶縁膜 63 の図示を省略している。

#### 【0021】

図 3 および図 4 を参照しつつ、本発明による SOI 基板の製造方法の一実施形態として、SOI 基板 1 の製造方法の一例を説明する。まず、支持基板 10 となる第 1 のシリコンウエハ上に、 $SiO_2$ 、 $SiN$  および  $SiO_2$  を順に積層する。この多層絶縁膜の膜厚は、100nm 以上 800nm 以下に設定することが好ましい。この第 1 のシリコンウエハに、シリコン層 30 となる第 2 のシリコンウエハを貼り合わせて真空中でアニールし、支持基板 10 上に絶縁層 20 およびシリコン層 30 が積層された SOI ウエハを得る (図 3)

10

#### 【0022】

次に、図 3 に示す SOI ウエハの所定位置に、例えばドライエッチングにより、シリコン層 30 から絶縁層 20 まで達する、貫通電極 40 用の孔 71 を形成する。このとき、貫通電極 40 の端面 40a (図 1 参照) が絶縁層 20 内に止まるように、シリコン酸化膜 21 とシリコン窒化膜 23 との境界でエッチングが止まるようなエッチング条件とする。本例においては、孔 71 と同時に溝部 60 も形成する。さらに、この状態でシリコン層 30 を熱酸化することにより、絶縁膜 41 および絶縁膜 63 を形成する (図 4)。なお、孔 71 は、溝でもよい。

#### 【0023】

続いて、孔 71 に導電膜を埋め込むことにより、貫通電極 40 を形成する (貫通電極形成工程)。本例においては、孔 71 と同時に溝部 60 にも導電膜を埋め込む。具体的には、 $TiN$ 、 $TaN$  または  $Ta$  等のバリアメタルを形成後、 $Cu$ 、 $W$ 、または  $Al$  をメッキまたは CVD により成膜する。さらに、孔 71 および溝部 60 の内部以外に成膜された導電膜、およびシリコン層 30 上の絶縁膜を除去する。また、シリコン層 30 の所定位置にポリシリコンプラグ 50 を形成する。以上により、図 1 に示す SOI 基板 1 を得る。

20

#### 【0024】

さらに、図 5 ~ 図 9 を参照しつつ、SOI 基板 1 を備える半導体装置の製造方法の一例を説明する。まず、SOI 基板 1 のデバイス形成領域 A1 上に必要なデバイスを形成した後、スクライプライン領域 A2 をダイシングすることにより、SOI 基板 1 上に配線層 100 が設けられた半導体チップ 3 を複数得る (図 5)。なお、配線層 100 には、配線の他にも、電極端子、各種受動素子等の各種回路要素を含んでも良い。

30

#### 【0025】

次に、表面に配線層 81 を有するベースウエハ 80 を準備し、この上に半導体チップ 3 を積層する (図 6)。このとき、配線層 81、100 同士が対向するようにする。ベースウエハ 80 と半導体チップ 3 との接合には、例えば、表面活性化接合法を用いることができる。この方法は、両者の接合面を CMP 法 (化学機械研磨法) 等により平坦化し、相対する電極および絶縁膜同士をプラズマ照射等により活性化させた状態で接合するものである。なお、一般的なフリップチップ接合法を用いて電極間の接合および樹脂封止を行ってもよい。本例においては、ベースウエハ 80 上に、所定の間隔を置いて複数の半導体チップ 3 を積層する。この間隔は、後の工程でベースウエハ 80 をダイシングする際に用いられるダイシングブレードの厚さよりも大きく設定される。

40

#### 【0026】

続いて、例えばウエットエッチングにより、SOI 基板 1 から支持基板 10 を除去する (支持基板除去工程)。このとき、貫通電極 40 の端面 40a が露出するように、支持基板 10 と共にシリコン酸化膜 21 も除去する (図 7)。なお、支持基板除去工程においては、ウエットエッチング以外にも、研削もしくは CMP またはそれらの組み合わせによって支持基板 10 を除去してもよい。

#### 【0027】

さらに、SOI 基板 91 上に配線層 93 が設けられた第 2 の半導体チップ 90 を準備し

50

、これを半導体チップ3上に積層する。このとき、配線層93が半導体チップ3に対向するようにする(図8)。

【0028】

最後に、ベースウエハ80における半導体チップ3が設けられていない領域をダイシングすることにより、SOI基板1を備える半導体装置5を得る(図9)。

【0029】

本実施形態の効果を説明する。本実施形態においては、貫通電極40の端面40aが絶縁層20内に止まっている。すなわち、端面40aが絶縁層20から突出しない構造となっている。それゆえ、支持基板除去工程において支持基板10を除去する際に、貫通電極40がダメージを受けにくい。したがって、信頼性の高いSOI基板1およびそれを備える半導体装置が実現されている。

10

【0030】

絶縁層20はエッチング阻止膜として機能するシリコン窒化膜23を含んでいるため、貫通電極40の端面40aが絶縁層20内に止まった構造を容易に実現することができる。シリコン窒化膜23としてSiNを用いた場合、シリコン窒化膜23の金属拡散阻止膜としての効果が特に顕著となる。また、絶縁層20は、SiON膜またはSiCNを含む場合にも、金属拡散阻止膜として好適に機能することができる。

【0031】

絶縁層20はシリコン酸化膜21を含んでいるため、シリコン窒化膜23とシリコン酸化膜21とのエッチング選択比により、貫通電極40の端面40aが絶縁層20内に止まった構造を一層容易に実現することができる。

20

【0032】

さらに、本実施形態においてはシリコン酸化膜25が設けられており、このシリコン酸化膜25も金属拡散阻止膜として機能する。したがって、シリコン酸化膜21、シリコン窒化膜23およびシリコン酸化膜25からなる多層膜構造を有する絶縁層20は、エッチング阻止の面でも金属拡散阻止の面でも特に優れた機能を発揮する。ただし、本実施形態において絶縁層20が多層膜構造を有することは必須ではない。絶縁層20は、例えばシリコン酸化膜21とシリコン窒化膜23とからなる2層構造であってもよく、あるいはシリコン酸化膜21のみからなる単層構造であってもよい。

【0033】

絶縁層の厚さを100nm以上とした場合、絶縁層20のカバレッジを十分に確保することができる。また、この厚さを800nm以下とした場合、SOI基板1に生じる反りを十分に抑制することができる。

30

【0034】

シリコン層30にポリシリコンプラグ50が設けられている。このため、SOI基板1においてはこのポリシリコンプラグ50により、不純物のゲッタリングが行われる。なお、ポリシリコンプラグ50は、図10に示すように、貫通電極40の側面に接して設けられていてもよい。同図においては、導電膜61の側面にも接してポリシリコンプラグ50が設けられている。ただし、ポリシリコンプラグ50を設けることは必須ではない。

【0035】

シリコン層30におけるデバイス形成領域A1の側面全体を包囲するように導電膜61および絶縁膜63が設けられている。このため、チップの側面に重金属等が付着した場合であっても、これらの導電膜61および絶縁膜63により、デバイス形成領域A1の内部まで重金属等が拡散するのを防ぐことができる。したがって、SOI基板1の信頼性が一層向上している。しかも、上記実施形態においては、導電膜61および絶縁膜63を、貫通電極40と同一工程にて形成している。これにより、工程数の増大を招くことなく、導電膜61および絶縁膜63ならびに貫通電極40を備えるSOI基板1を得ることができる。ただし、導電膜61および絶縁膜63を共に設けることは必須ではなく、何れか一方のみを設けてもよく、何れも設けないこととしてもよい。

40

【0036】

50

なお、上記実施形態においては、上記支持基板 10 が除去された後の S O I 基板 1 において貫通電極 40 の端面 40 a が S O I 基板 1 の表面と略一致する例を示した（図 7 等参照）。しかし、図 11 に示すように、当該端面 40 a は、S O I 基板 1 の表面に対して窪んでいてもよい。同図において端面 40 a 上には、半田 43 が設けられている。この半田 43 の表面には、S O I 基板 1 の表面から突出している部分（突出部分）と、S O I 基板 1 の表面から突出していない部分（非突出部分）とが存在している。具体的には、半田 43 表面の中央部は S O I 基板 1 表面から突出し、半田 43 表面の縁部は S O I 基板 1 表面から突出せずに絶縁層 20 内に止まっている。

#### 【0037】

図 12 は、図 11 に示す構造の S O I 基板 1 同士を接合する様子を示している。上述のように、半田 43 表面に非突出部分が設けられていることにより、この部分が接合後の電極材の逃げとなり、S O I 基板 1 の全面を好適に接合することができる。

10

#### 【0038】

また、図 13 に示すように、端面 40 a に突出部分と非突出部分とが存在するように貫通電極 40 を形成してもよい。同図の貫通電極 40 の形状は、図 11 の貫通電極 40 と半田 43 とを併せた形状と同一である。すなわち、図 13 においては、貫通電極 40 の端面 40 a の一部が絶縁層 20 内に止まった構成となっている。この場合も、端面全体が絶縁層から突出している場合と比べて、支持基板 10 を除去する際に貫通電極 40 がダメージを受けにくい。

#### 【0039】

S O I 基板 1 を備える半導体装置としては、図 9 に示す半導体装置 5 に限らず、S O I 基板 1 を備えていればどのようなものでもよい。例えば、S O I 基板 1 を備えるインターポザ（interposer）も、本発明による半導体装置の一実施形態に含まれる。このインターポザは、積層型の半導体装置において、例えばロジック L S I と D R A M との間に設けられる。かかる積層型の半導体装置においては、ロジック L S I と D R A M との間の導通をインターポザの貫通電極により行うことができるため、両者間の導通をワイヤボンディング等により行う場合に比して処理速度の向上および低消費電力化等の効果が得られる。

20

#### 【図面の簡単な説明】

#### 【0040】

【図 1】本発明による S O I 基板の一実施形態を示す断面図である。

【図 2】本発明による S O I 基板の一実施形態を示す平面図である。

【図 3】本発明による S O I 基板の製造方法の一実施形態を示す工程図である。

【図 4】本発明による S O I 基板の製造方法の一実施形態を示す工程図である。

【図 5】図 1 の S O I 基板を備える半導体装置の製造方法の一例を示す工程図である。

【図 6】図 1 の S O I 基板を備える半導体装置の製造方法の一例を示す工程図である。

【図 7】図 1 の S O I 基板を備える半導体装置の製造方法の一例を示す工程図である。

【図 8】図 1 の S O I 基板を備える半導体装置の製造方法の一例を示す工程図である。

【図 9】図 1 の S O I 基板を備える半導体装置の製造方法の一例を示す工程図である。

【図 10】図 1 の S O I 基板の変形例を説明するための図である。

40

【図 11】図 1 の S O I 基板の変形例を説明するための図である。

【図 12】図 1 の S O I 基板の変形例を説明するための図である。

【図 13】図 1 の S O I 基板の変形例を説明するための図である。

#### 【符号の説明】

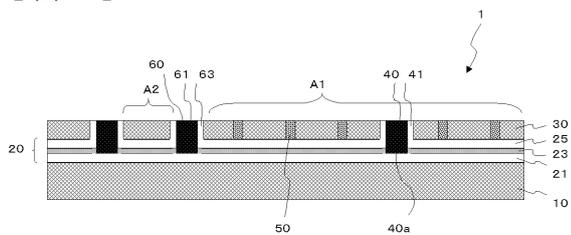
#### 【0041】

- 1 S O I 基板
- 3 半導体チップ
- 5 半導体装置
- 10 支持基板
- 20 絶縁層

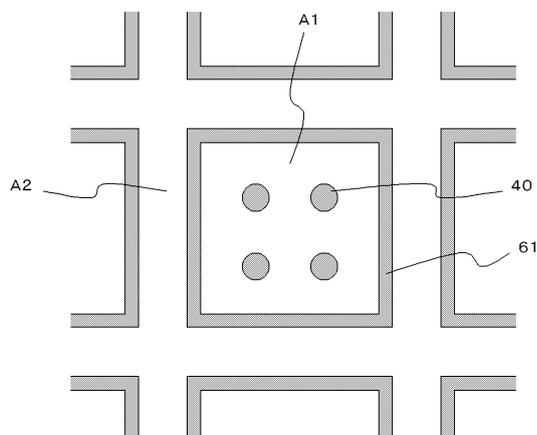
50

- 2 1 シリコン酸化膜
- 2 3 シリコン窒化膜
- 2 5 シリコン酸化膜
- 3 0 シリコン層
- 4 0 貫通電極
- 4 0 a 貫通電極の端面
- 4 1 絶縁膜
- 4 3 半田
- 5 0 ポリシリコンプラグ
- 6 0 溝部
- 6 1 導電膜
- 6 3 絶縁膜
- 8 0 ベースウエハ
- 1 0 0 配線層
- A 1 デバイス形成領域
- A 2 スクライプライン領域

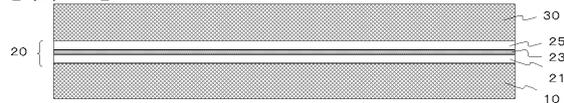
【図1】



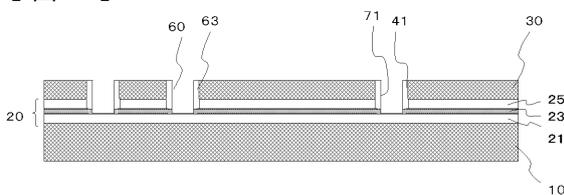
【図2】



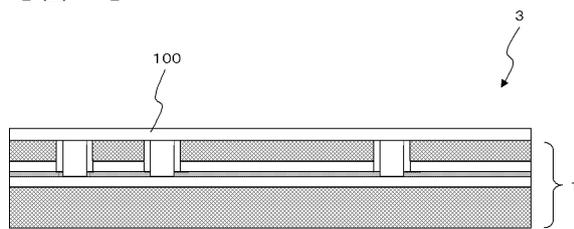
【図3】



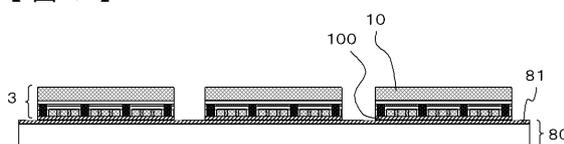
【図4】



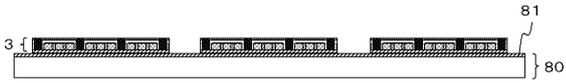
【図5】



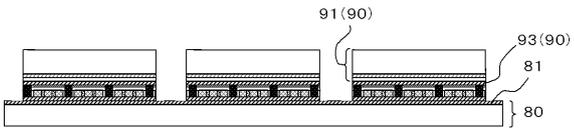
【図6】



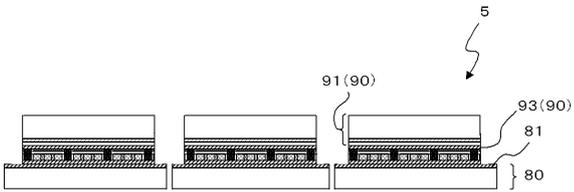
【図 7】



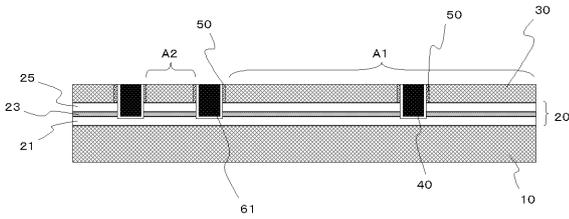
【図 8】



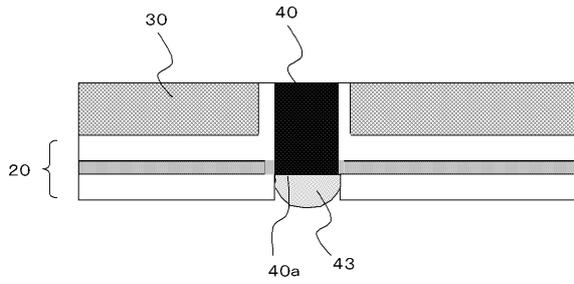
【図 9】



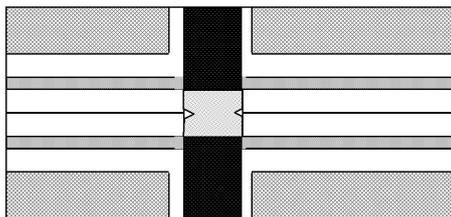
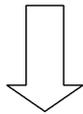
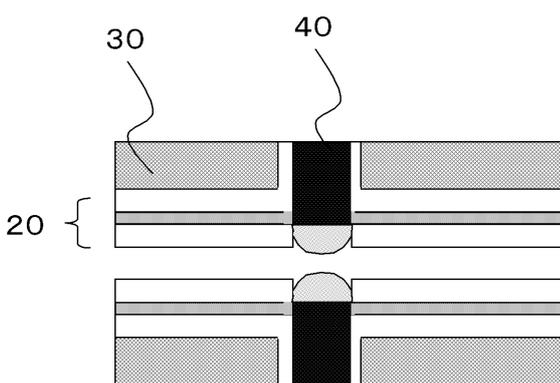
【図 10】



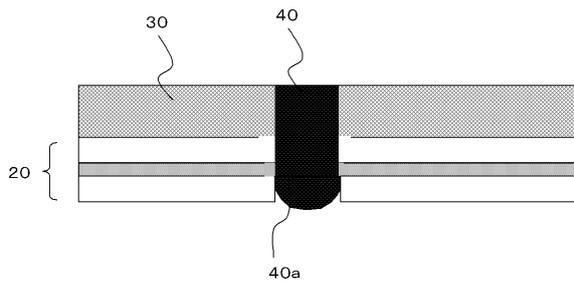
【図 11】



【図 12】



【図 13】



---

フロントページの続き

Fターム(参考) 5F032 AA06 AA34 AA45 BB01 BB08 CA14 DA01 DA02 DA23 DA24  
DA28 DA53 DA71 DA74 DA78