



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월21일
(11) 등록번호 10-2254264
(24) 등록일자 2021년05월14일

(51) 국제특허분류(Int. Cl.)
H01M 10/04 (2015.01)

(52) CPC특허분류
H01M 10/0459 (2013.01)

(21) 출원번호 10-2018-0012994

(22) 출원일자 2018년02월01일

심사청구일자 2019년10월23일

(65) 공개번호 10-2019-0093397

(43) 공개일자 2019년08월09일

(56) 선행기술조사문헌

JP2008192432 A

(뒷면에 계속)

(73) 특허권자

주식회사 엘지에너지솔루션

서울특별시 영등포구 여의대로 108, 타워1 (여의도동, 파크원)

(72) 발명자

표정관

대전광역시 유성구 문지로 188 LG화학 기술연구원 내

구자훈

대전광역시 유성구 문지로 188 LG화학 기술연구원 내

(뒷면에 계속)

(74) 대리인

특허법인태평양

전체 청구항 수 : 총 12 항

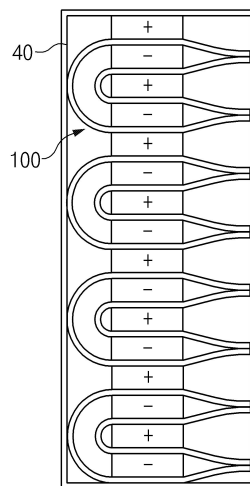
심사관 : 노석철

(54) 발명의 명칭 전극조립체 및 이의 제조 방법

(57) 요약

본 발명은, 전극조립체의 제조방법에 있어서, 두 장의 분리막 사이에서 서로 간에 이격배치되도록 다수 개의 제1 전극들을 하나씩 개재시키는 단계; 상기 제1전극이 놓인 다수 개의 위치들 중 하나씩 건너 뚫은 위치에서 상기 제1 전극의 양측 각각으로 상기 분리막들의 외부면에 제2전극을 적층하여, 제2전극/분리막/제1전극/분리막/제2전극 순서로 적층된 바이셀과 분리막/제1전극/분리막 순서로 적층된 하프셀을 교대로 연속하게 형성시키는 단계; 상기 바이셀 하나와 상기 하프셀 하나가 이어진 유닛셀로 절단하는 단계; 바이셀과 하프셀이 적층되도록 상기 유닛셀을 폴딩하는 단계; 및 폴딩된 유닛셀을 다수 개를 적층하여 전극조립체로 제조하는 단계;를 포함하는 것을 특징으로 한다.

대표도 - 도5a



(72) 발명자

정수택

대전광역시 유성구 문지로 188 LG화학 기술연구원
내

김석진

대전광역시 유성구 문지로 188 LG화학 기술연구원
내

정태진

대전광역시 유성구 문지로 188 LG화학 기술연구원
내

(56) 선행기술조사문헌

KR1020110037781 A

KR1020130126208 A

KR1020140062568 A

KR1020160132566 A

명세서

청구범위

청구항 1

전극조립체의 제조방법에 있어서,

두 장의 분리막 사이에서 서로 간에 이격배치되도록 다수 개의 제1전극들을 하나씩 개재시키는 단계;

상기 제1전극이 놓인 다수 개의 위치들 중 하나씩 건너 뛴 위치에서 상기 제1전극의 양측 각각으로 상기 분리막들의 외부면에 제2전극을 적층하여, 제2전극/분리막/제1전극/분리막/제2전극 순서로 적층된 바이셀과 분리막/제1전극/분리막 순서로 적층된 하프셀을 교대로 연속하게 형성시키는 단계;

상기 바이셀 하나와 상기 하프셀 하나가 이어진 유닛셀로 절단하는 단계;

바이셀과 하프셀이 적층되도록 상기 유닛셀을 폴딩하는 단계; 및

폴딩된 유닛셀을 다수 개를 적층하여 전극조립체로 제조하는 단계;를 포함하는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 2

제 1 항에 있어서,

유닛셀로 절단했을 때 상기 유닛셀의 폴딩이 이루어지기 전에 제1전극을 사이에 두고 적층된 분리막끼리 유닛셀의 테두리 부분에서 접착시키는 제1실링이 실행되는 단계;를 더 포함하는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 3

제 2 항에 있어서,

상기 유닛셀의 폴딩이 이루어진 후에 바이셀의 테두리 부분과 하프셀의 테두리 부분이 맞닿는 곳에서 접착시키는 제2실링이 실행되는 단계;를 더 포함하는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 4

제 3 항에 있어서,

상기 제2실링이 이루어지는 지점은 제1실링이 이루어졌던 지점과 적어도 일부에서 중복되는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 5

제 3 항에 있어서,

상기 제1실링과 제2실링은 분리막끼리 서로 접착되도록 열과 압력을 가하여 이루어지는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 6

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 유닛셀들이 적층될 때, 각각의 유닛셀들은 바이셀과 하프셀을 연결하며 폴딩된 부분인 폴딩부가 동일한 방향을 향하여 놓이도록 적층되는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 7

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 유닛셀들이 적층될 때, n층(n 은 1 이상의 자연수)에 놓인 유닛셀에서 바이셀과 하프셀을 연결하며 폴딩된 부분인 폴딩부가 일측을 향하도록 놓이면 (n+1)층에 놓인 유닛셀의 폴딩부는 그 반대쪽 타측을 향하도록 놓이는 것을 특징으로 하는 전극조립체의 제조방법.

청구항 8

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제1전극은 제2전극 보다 크거나 같은 면적을 가지며, 상기 제1전극은 음극이고 제2전극은 양극인 것을 특징으로 하는 전극조립체의 제조방법.

청구항 9

전극조립체를 제조하는 단계 및 상기 전극조립체를 케이스에 내장하는 단계를 포함하는 이차전지의 제조방법에 있어서,

상기 전극조립체를 제조하는 단계는,

두 장의 분리막 사이에서 서로 간에 이격배치되도록 다수 개의 제1전극들을 하나씩 개재시키는 단계;

상기 제1전극이 놓인 다수 개의 위치들 중 하나씩 건너 뛴 위치에서 상기 제1전극의 양측 각각으로 상기 분리막들의 외부면에 제2전극을 적층하여, 제2전극/분리막/제1전극/분리막/제2전극 순서로 적층된 바이셀과 분리막/제1전극/분리막 순서로 적층된 하프셀을 교차하여 연속적으로 형성시키는 단계;

상기 바이셀 하나와 상기 하프셀 하나가 이어진 유닛셀로 절단하는 단계;

바이셀과 하프셀이 적층되도록 상기 유닛셀을 폴딩하는 단계; 및

폴딩된 유닛셀을 다수 개를 적층하여 전극조립체로 제조하는 단계;를 포함하는 것을 특징으로 하는 이차전지의 제조방법.

청구항 10

음극, 분리막, 양극이 연속적으로 적층되어 제조되는 전극조립체에 있어서,

양극/분리막/음극/분리막/양극 순서로 적층된 바이셀;과 분리막/음극/분리막 순서로 적층된 하프셀;이 교대로 반복되어 적층된 구조를 갖되,

일측에는 바이셀이 형성되고 타측에는 하프셀이 형성되며 상기 바이셀과 하프셀이 적층되도록 폴딩된 유닛셀 다수 개가 적층되어 형성된 것을 특징으로 하는 전극조립체.

청구항 11

제 10 항에 있어서,

각각의 유닛셀에서 폴딩된 하프셀과 바이셀은 움직임이 차단되도록 상기 하프셀의 분리막과 바이셀의 분리막은

적어도 어느 한 지점 이상에서 접촉된 것을 특징으로 하는 전극조립체

청구항 12

제 10 항 또는 제 11 항에 있어서,

서로 이웃하는 유닛셀들은 서로 간에 인접배치된 분리막들끼리 적어도 어느 한 지점 이상에서 접촉된 것을 특징으로 하는 전극조립체.

발명의 설명

기술 분야

[0001] 본 발명은 전극 조립체 및 이의 제조 방법에 관한 것으로서, 보다 상세하게는 이차 전지의 정렬도를 향상시키고 고용량의 전지를 구현할 수 있으며, 불량발생시 로스(loss)율을 줄일 수 있는 전극 조립체 및 이의 제조 방법에 관한 것이다.

배경 기술

[0003] 이차 전지는 일차 전지와는 달리 재충전이 가능하고, 또 소형 및 대용량화 가능성으로 인해 근래에 많이 연구 개발되고 있다. 모바일 기기에 대한 기술 개발과 수요가 증가함에 따라 에너지원으로서의 이차 전지의 수요가 급격하게 증가하고 있다.

[0004] 이차 전지는 전지 케이스(파우치, 캔 등)에 전극조립체가 내장되어 구성된다. 전지 케이스의 내부에 장착되는 전극조립체는 양극/분리막/음극의 적층 구조로 이루어져 반복적인 충방전이 가능하다.

[0005] 도 1a은 종래의 전극 조립체 중에서 스택엔폴딩(Stack & folding) 공정으로 전극조립체를 만드는 측면도이다.

[0006] 도 1a 를 참조하면, 스택엔폴딩형 전극조립체는 양극(1), 분리막(3), 음극(2)이 순차로 적층되어 형성된 복수 개의 유닛셀(4)들을 시트형 분리막(5)에 안착하고, 이 시트형 분리막(5)을 일방향(L)으로 폴딩하여 형성된 구조를 가진다.

[0007] 이와 같은 구조로 형성된 종래의 스택엔폴딩형 전극조립체는 다른 구조 대비 상대적으로 안정성이 향상된 장점을 갖지만 단점 또한 존재한다.

[0008] 먼저, 종래의 스택엔폴딩형의 전극조립체에서는 양극(1), 분리막(3), 음극(2)을 적층하여 기본단위체로 절단하여 형성된 개별적인 유닛셀(4)을 먼저 만든 후에 이 유닛셀(4)을 시트형 분리막(5)에 부착하여 폴딩하는 공정을 거치게 되므로 전극조립체 제조 절차가 복잡해진다.

[0009] 또한, 먼저 유닛셀(4)을 만드는 공정에서 양극(1), 음극(2), 분리막(3) 각각에서 발생한 공차가 누적되고, 이러한 유닛셀(4)을 다음단계에서 폴딩하면, 폴딩 및 적층되는 과정에서 유닛셀(4) 간의 공차가 다시 누적되는 현상이 발생하게 되므로, 양극(1)이 음극(2)을 벗어나서 정렬이 흐트러지는 오버행(overhang) 이슈가 발생할 수 있었다.

[0010] 이러한 오버행(A)은 유닛셀(4)의 적층 갯수가 증가할수록(즉, 폴딩횟수가 증가할수록) 더 커질 가능성이 있다. 즉, 이 공정에서는 유닛셀(4)을 구성하는 전극의 적층갯수를 증가시키면 폴딩횟수가 감소되어 폴딩횟수가 줄어들 수 있겠으나, 유닛셀(4)을 구성하는 전극의 적층갯수를 증가시키면 폴딩 시 정렬이 어려워지는 문제점이 있었다.

[0011] 그리고, 도 1b 는 라미네이션앤스택킹(Lamination & stacking) 공정으로 제조되는 전극조립체의 적층 형태를 보여주는 측면도이다. 도 1b 에 도시된 바와 같이, 라미네이션앤스택킹 공정에서는 양극(1), 분리막(3), 음극(2), 분리막(3)이 적층되어 형성된 유닛셀들이 분리막(3)의 외곽 치수에 의하여 정렬되게 되는데, 이 경우 역시도 오버행 이슈가 발생하였다. 즉, 유닛셀을 만드는 과정에서 복수의 전극(1, 2)과 복수의 분리막(3)의 개별 공차가 누적되고, 유닛셀끼리의 공차 역시 누적되므로, 양극(1)이 음극(2)을 벗어나는 오버행 이슈가 발생하였다. 도 1b 에서는 양극(1)이 음극(2)을 벗어나는 영역인 오버행 영역(A)이 도시되고 있다.

[0012] 아울러, 위와 같은 문제점을 해소하기 위해 본 출원인은 두 개의 분리막 사이에 음극을 일정 간격으로 배치하고

상기 음극의 하나 걸러 위치에서 양면에 양극을 배치한 후, 지그재그 모양을 이루도록 적층하는 '전극조립체 및 이의 제조 방법'을 2016.10.5 자로 특허 출원(특허출원 10-2016-0128583 호)한 바 있다.

[0013] 하지만, 이러한 지그재그 적층 구조는 오버행 이슈를 감소시키는 것에 효과가 있었으나, 한 곳의 전극이라도 위치불량이 발생하는 경우 셀 전체가 불량인 문제가 있었다.

발명의 내용

해결하려는 과제

[0015] 따라서, 본 발명은 전술한 바와 같은 문제점들을 해소할 수 있는 전극조립체 및 이의 제조 방법을 제공하는 것에 주목적이 있다.

과제의 해결 수단

[0017] 상기와 같은 목적을 달성하기 위한 본 발명은, 전극조립체의 제조방법으로써, 두 장의 분리막 사이에서 서로 간에 이격배치되도록 다수 개의 제1전극들을 하나씩 개재시키는 단계; 상기 제1전극이 놓인 다수 개의 위치들 중 하나씩 건너 뚫은 위치에서 상기 제1전극의 양측 각각으로 상기 분리막들의 외부면에 제2전극을 적층하여, 제2전극/분리막/제1전극/분리막/제2전극 순서로 적층된 바이셀과 분리막/제1전극/분리막 순서로 적층된 하프셀을 교차하여 연속적으로 형성시키는 단계; 상기 바이셀 하나와 상기 하프셀 하나가 이어진 유닛셀로 절단하는 단계; 바이셀과 하프셀이 적층되도록 상기 유닛셀을 폴딩하는 단계; 및 폴딩된 유닛셀을 다수 개를 적층하여 전극조립체로 제조하는 단계;를 포함하는 것을 특징으로 한다.

[0018] 본 발명에 따른 방법에서는 유닛셀로 절단했을 때 상기 유닛셀의 폴딩이 이루어지기 전에 제1전극을 사이에 두고 적층된 분리막끼리 유닛셀의 테두리 부분에서 접촉시키는 제1실링이 실행되는 단계;를 더 포함한다.

[0019] 그리고, 상기 유닛셀의 폴딩이 이루어진 후에 바이셀의 테두리 부분과 하프셀의 테두리 부분이 맞닿는 곳에서 접촉시키는 제2실링이 실행되는 단계;를 더 포함할 수도 있다.

[0020] 이때, 상기 제2실링이 이루어지는 지점은 제1실링이 이루어졌던 지점과 적어도 일부에서 중복된다.

[0021] 상기 제1실링과 제2실링은 분리막끼리 서로 접촉되도록 열과 압력을 가하여 이루어진다.

[0022] 그리고, 상기 유닛셀들이 적층될 때, 각각의 유닛셀들은 바이셀과 하프셀을 연결하며 폴딩된 부분인 폴딩부가 동일한 방향을 향하여 놓이도록 적층된다.

[0023] 본 발명의 다른 실시예로써, 상기 유닛셀들이 적층될 때, n층(n은 1 이상의 자연수)에 놓인 유닛셀에서 바이셀과 하프셀을 연결하며 폴딩된 부분인 폴딩부가 일측을 향하도록 놓이면 (n+1)층에 놓인 유닛셀의 폴딩부는 그 반대쪽 타측을 향하도록 놓이도록 제조될 수 있다.

[0024] 본 발명에서, 상기 제1전극은 제2전극 보다 크거나 같은 면적을 가지며, 상기 제1전극은 음극이고 제2전극은 양극이다.

[0025] 이에 따라, 본 발명은 위와 같은 전극조립체의 제조방법이 포함된 이차전지의 제조방법 또한 제공할 수 있다. 즉, 본 발명에 따른 이차전지의 제조방법은 전극조립체를 제조하는 단계 및 상기 전극조립체를 케이스에 내장하는 단계를 포함하여 구성되며, 상기 전극조립체의 제조방법은 본 발명에서 제공된 전극조립체의 제조방법이 적용된다.

[0026] 아울러, 본 발명은 음극, 분리막, 양극이 연속적으로 적층되어 제조되는 전극조립체를 추가적으로 제공한다. 본 발명에 따른 전극조립체는 양극/분리막/음극/분리막/양극 순서로 적층된 바이셀;과 분리막/음극/분리막 순서로 적층된 하프셀;이 교대로 반복되어 적층된 구조를 갖되, 일측에는 바이셀이 형성되고 타측에는 하프셀이 형성되며 상기 바이셀과 하프셀이 적층되도록 폴딩된 유닛셀 다수 개가 적층되어 형성된 것을 특징으로 한다.

[0027] 본 발명에 따른 전극조립체는 각각의 유닛셀에서 폴딩된 하프셀과 바이셀은 움직임이 차단되도록 상기 하프셀의 분리막과 바이셀의 분리막은 적어도 어느 한 지점 이상에서 접촉된다. 그리고, 서로 이웃하는 유닛셀들은 서로 간에 인접배치된 분리막들끼리 적어도 어느 한 지점 이상에서 접촉된다.

발명의 효과

[0029] 상기와 같은 구성을 갖는 본 발명의 전극조립체는 하프셀과 바이셀이 이어진 상태로 유닛셀을 구성하므로 종래

의 오버행 발생 가능성을 감소시킬 수 있으며, 상기 유닛셀들은 하나씩 나뉜 상태에서 폴딩이 이루어지므로 불량 발생 시 전극조립체 전체를 폐기해야하는 문제점(더 상세하게는 특허출원 10-2016-0128583 호에 기재된 구조의 문제점)을 해소할 수 있다.

[0030] 아울러, 본 발명에서는 유닛셀의 제1실링 및/또는 제2실링이 이루어져 전극의 움직임이 더 효율적으로 차단하여 오버행 이슈에 대응할 수 있다.

도면의 간단한 설명

- [0032] 도 1a 는 스택엔폴딩 공정으로 전극조립체를 제조하는 과정이 도시된 측면도.
- 도 1b 는 라미네이션엔선택킹 공정으로 전극조립체를 제조하는 과정이 도시된 측면도.
- 도 2a 는 본 발명의 실시예에 따라 두 장의 분리막 사이에 음극들이 간격을 두고 배치된 모습이 도시된 측면도.
- 도 2b 는 도 2a 의 상태에서 하나씩 간격을 둔 음극의 양면 각각에 양극이 부착되는 모습이 도시된 측면도.
- 도 2c 는 도 2b 에서 양극이 부착된 상태가 도시된 측면도.
- 도 3 은 하나의 바이셀과 하나의 하프셀이 이어진 유닛셀의 모습과 상기 유닛셀의 양끝단 각각에서 제1실링이 이루어진 모습이 도시된 측면도.
- 도 4 는 유닛셀의 폴딩이 이루어진 모습이 도시된 측면도.
- 도 5a 는 다수 개의 유닛셀들이 동일한 방향을 향하도록 놓인 상태로 적층된 모습이 도시된 도면.
- 도 5b 는 n층(n 은 홀수)에 놓인 유닛셀의 폴딩부와 (n+1)층에 놓인 유닛셀의 폴딩부가 서로 반대쪽을 향하도록 놓인 상태로 적층된 모습이 도시된 도면.
- 도 6a 는 유닛셀이 폴딩되기 전과 폴딩된 후의 모습이 도시된 평면도로써, 1차실링과 2차실링이 이루어지는 지점을 표시한 도면.
- 도 6b 는 2차실링이 이루어진 유닛셀들이 적층된 모습이 도시된 도면.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부된 도면에 의거하여 본 발명에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0034] 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를 붙이도록 한다.
- [0035] 또한, 본 명세서 및 특허청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정하여 해석되어서는 안되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.
- [0036] 본 발명은 오버행 이슈를 해소하고 불량발생에 따른 손실율을 저감하기 위한 전극조립체의 제조방법 및 상기 제조방법을 통해 제조된 전극조립체에 관한 것이며, 상기 제조방법이 포함되는 이차전지의 제조방법을 추가적으로 제공한다. 이하, 본 발명에 따른 실시예를 첨부된 도면들을 참조하여 더욱 상세히 설명한다.

[0038] 실시예1

- [0040] 도 2a 는 본 발명의 실시예에 따라 두 장의 분리막(30) 사이에 음극들(20)이 간격을 두고 배치된 모습이 도시된 측면도이며, 도 2b 는 도 2a 의 상태에서 하나씩 간격을 두고 음극(20)의 양면 각각에 양극(10)이 부착되는 모습이 도시된 측면도이고, 도 2c 는 도 2b 에서 양극(10)이 부착된 상태가 도시된 측면도이다.
- [0041] 상기 도면들을 참조하면, 본 발명에 따른 제조방법은 두 장의 분리막(30) 사이에서 서로 간에 이격배치되도록 다수 개의 제1전극들을 하나씩 개재시키는 단계부터 시작된다.
- [0042] 본 발명에서 상기 제1전극은 양극(10)이 될 수도 있으나 음극(20)인 것이 바람직하며 이웃하는 음극들(20) 사이의 간격은 음극들(20) 사이의 두께, 분리막들(30)의 두께 및 폴딩시 요구되는 조건들 등에 따라 결정될 수 있다.

- [0043] 그리고, 도 2b 에 도시된 바와 같이 상기 제1전극이 놓인 다수 개의 위치들 중 하나씩 건너 뛴 위치에서 상기 제1전극의 양측 각각으로 상기 분리막들(30)의 외부면에 양극(10)인 제2전극이 적층되도록 부착시킨다.
- [0044] 이에 따라, 도 2c 에 도시된 바와 같이 양극/분리막/음극/분리막/양극 순서로 적층된 바이셀(101)과 분리막/음극/분리막 순서로 적층된 하프셀(102)이 교대로 연속하게 형성된다.
- [0045] 그리고, 상기 바이셀(101) 하나와 상기 하프셀(102) 하나가 이어진 유닛셀(100)로 절단이 이루어진다. 이때, 절단된 유닛셀(100)은 양측 끝단에서 분리막(30)끼리 벌어진 상태이므로 도 3 에 도시된 바와 같이 분리막(30)끼리 테두리 부분에서 제1실링(1차 실링)이 이루어져 봉해진다.
- [0046] 상기 유닛셀(100)은 (음극의 중심을 지날 것인) 가상의 중심선을 기준으로 상하가 대칭을 이룬 상태에서 제1실링이 이루어지므로 차후 이차전지의 생산공정 중에 발생하게 되는 고온, 고압 조건에서 벤딩 및/또는 변형 발생이 억제될 수 있다.
- [0047] 제1실링이 이루어진 후 상기 유닛셀(100)은 하프셀(102)과 바이셀(101)이 적층되도록 도 4 에 도시된 바와 같이 폴딩이 이루어진다.
- [0048] 폴딩된 유닛셀(100)은 다수 개들이 적층되어 전극조립체로 제조되되, 도 5a 와 5b 에 도시된 바와 같이 별도의 폴딩분리막(40)에 의해 적층이 지지되도록 제조될 수도 있고 각각의 유닛셀들(100)의 상면과 하면을 접착시켜 별도의 폴딩분리막(40)이 없이도 적층이 이루어질 수도 있다.
- [0049] 그리고, 상기 유닛셀들(100)은 도 5a 에 도시된 바와 같이 바이셀(101)과 하프셀(102)을 연결하며 폴딩된 부분인 폴딩부가 동일한 방향을 향하여 놓이도록 적층될 수도 있고, 또는 도 5b 에 도시된 바와 같이, n층(n 은 1 이상의 자연수)에 놓인 유닛셀의 폴딩부와 (n+1)층에 놓인 유닛셀의 폴딩부가 서로 반대방향을 향하도록 적층될 수도 있다. 이는 제품 사양에 따른 선택사항일 것이나 후자의 경우가 양측의 높이가 맞도록 정렬되기에는 더 유용한 구조일 것이다.
- [0050] 아울러, 본 발명에서는 전술한 바와 같이 분리막(30)과 전극들(음극, 양극)의 움직임을 방지하하도록 제1실링이 이루어진다. 그리고, 유닛셀(100)이 폴딩된 상태가 고정될 수 있도록 제2실링(2차 실링)이 추가적으로 이루어질 수 있다. 즉, 도 6a 에 도시된 바와 같이 폴딩이 이루어지기 전에 (위아래에서 바라봤을 때 사각모양을 갖는) 유닛셀(100)의 각 테두리부분에서 분리막(30)끼리 1차 실링이 이루어지고, 폴딩이 이루어진 후에 2차 실링이 이루어질 수 있다. 상기 2차 실링은 도시된 바와 같이 바이셀(101)의 테두리 부분과 하프셀(102)의 테두리 부분이 맞닿는 곳에서 이루어지므로 2차 실링이 이루어지는 지점은 1차 실링이 이루어졌던 지점과 적어도 일부에서 중복될 수 있다.
- [0051] 이때, 본 발명에 따른 분리막(30)은 열이 가해지면 접착력이 발생하는 고분자재질을 함유하도록 제조되므로, 열과 압력을 가해 제1실링과 제2실링이 실시될 수 있다.
- [0052] 제2실링이 이루어진 상태로 제조된 유닛셀(100)은 도 6b 에 도시된 바와 같이 양끝단의 움직임을 고정되므로 더 안정적으로 적층이 이루어질 수 있다.
- [0053] 참고적으로, 전술한 바와 같이 본 발명에서는 상기 제1전극은 음극(20)이고 제2전극은 양극(10)이되, 상기 제1전극은 제2전극 보다 크거나 같은 면적을 갖는 것이 바람직하다.
- [0054] 한편, 전극조립체를 내장하는 이차전지의 제조방법은 통상적으로 '전극조립체를 제조하는 단계' 및 '상기 전극조립체를 파우치(케이스)에 내장하는 단계'를 포함하여 구성된다. 이에 따라, 본 발명은 위와 같은 전극조립체의 제조방법을 이차전지의 제조방법 중 '전극조립체를 제조하는 단계'로써 제공하므로 이차전지의 제조방법을 추가적으로 제공할 수 있다. 상기 이차전지의 제조방법은 위에 설명된 전극조립체의 제조방법과 중복되므로 추가설명은 생략된다.
- [0056] 실시예2
- [0058] 본 발명은 음극(20), 분리막(30), 양극(10)이 연속적으로 적층되어 제조되는 전극조립체를 추가적으로 제공한다.
- [0059] 본 발명에 따른 전극조립체는 도 5a, 5b, 6b 에 도시된 바와 같이 유닛셀(100) 다수 개가 적층되어 구성되되, 상기 유닛셀(100)은 바이셀(101)과 하프셀(102)이 이어진 상태에서 폴딩된 구조를 갖는다.
- [0060] 즉, 도 3 에 도시된 바와 같이, 본 발명의 유닛셀(100)은 바이셀(101) 하나와 하프셀(102) 하나가 연결된 구조

를 갖되 상기 바이셀(101)은 하프셀(102)의 양면 각각에 양극(10)이 추가로 적층되는 구조를 갖는다. 따라서, 바이셀(101)은 양극/분리막/음극/분리막/양극 순서로 적층된 구조를 갖고 하프셀(102)은 분리막/음극/분리막 순서로 적층된 구조를 갖는다. 그리고, 상기 유닛셀(100)은 도 4 와 같이 하프셀(102)과 바이셀(101)의 적층이 이루어지도록 폴딩되되, 전극 및 폴딩 상태의 움직임을 방지하도록 1차 실링과 2차 실링이 이루어질 수 있다. 참고로, 도 6a 에서는 1차 실링과 2차 실링이 분리막(30)의 모서리 일부분에서만 실시된 것으로 도시되었으나, 상기 1차 실링과 2차 실링은 분리막(30)의 둘레를 따라 전체적으로 실시될 수 있으며, 위에 설명된 열과 압력을 통한 실링 뿐만아니라 접착제를 통한 실링도 가능할 것이다.

[0062] 상기와 같은 구성을 갖는 본 발명의 전극조립체는 하프셀(102)과 바이셀(101)이 이어진 상태로 유닛셀(100)을 구성하므로 종래의 오버행 발생 가능성을 감소시킬 수 있으며, 상기 유닛셀들(100)은 하나씩 나뉘진 상태에서 폴딩이 이루어지므로 불량 발생 시 전극조립체 전체를 폐기해야하는 문제점을 해소할 수 있다.

[0063] 아울러, 본 발명에서는 유닛셀(100)의 제1실링 및/또는 제2실링이 이루어져 전극의 움직임을 더 효율적으로 차단하여 오버행 이슈에 대응할 수 있다.

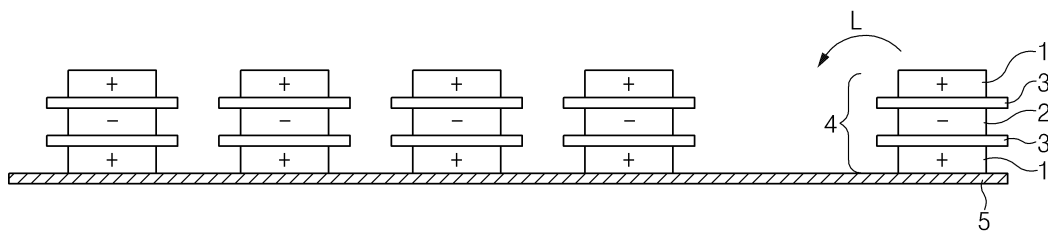
[0064] 이상에서 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 실시가 가능하다.

부호의 설명

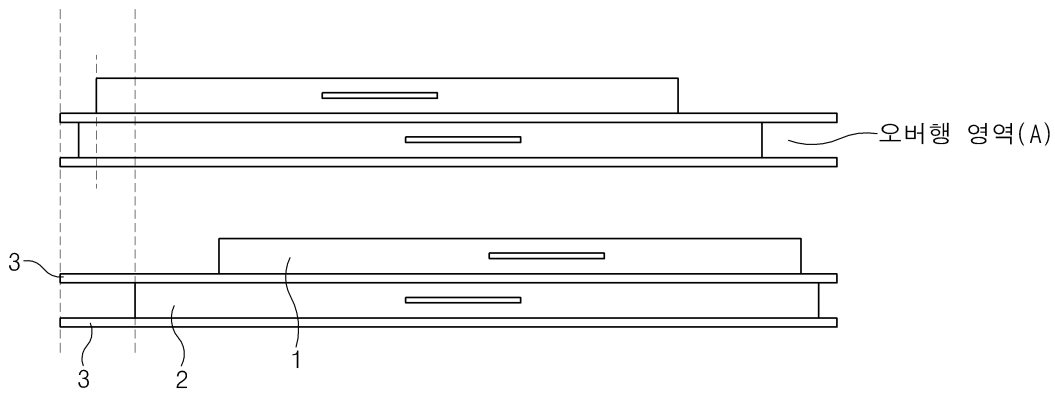
- [0066] 10 : 양극
- 20 : 음극
- 30 : 분리막
- 40 : 폴딩분리막
- 100 : 유닛셀
- 101 : 바이셀
- 102 : 하프셀

도면

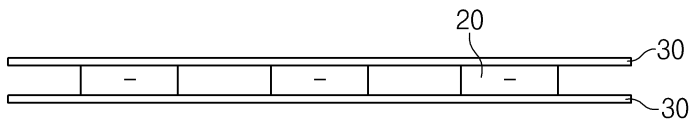
도면1a



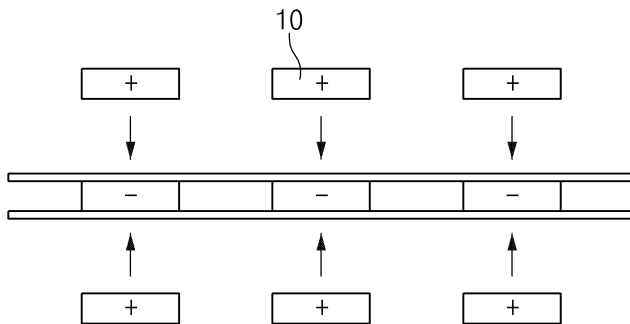
도면1b



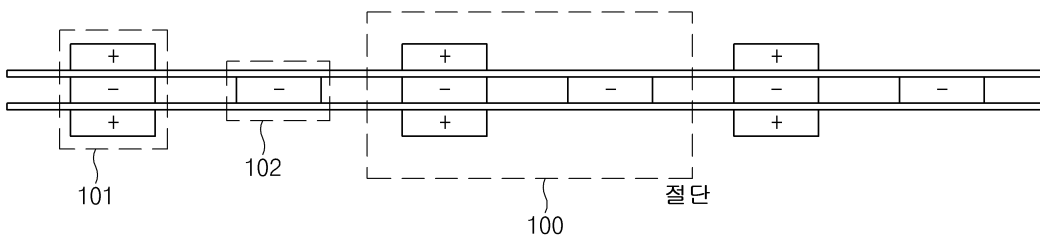
도면2a



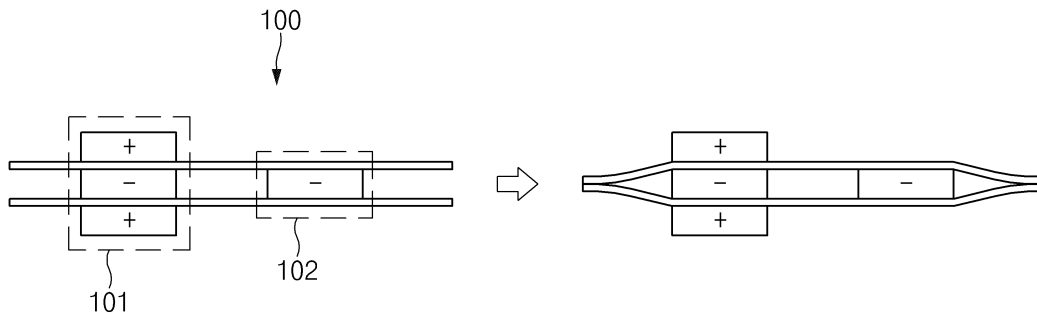
도면2b



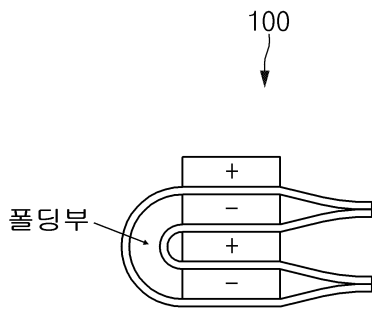
도면2c



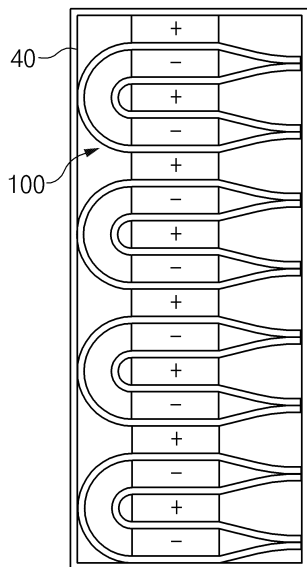
도면3



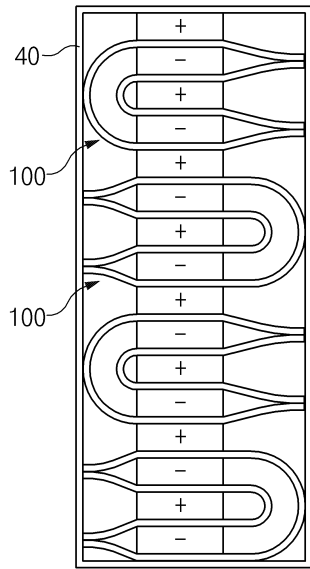
도면4



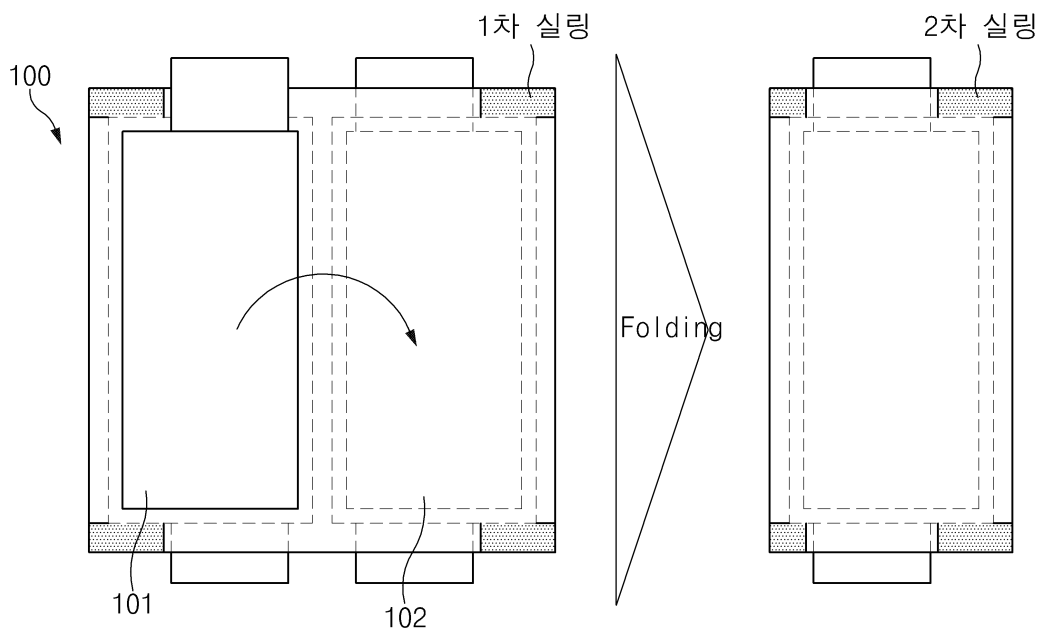
도면5a



도면5b



도면6a



도면6b

