



# (12)发明专利申请

(10)申请公布号 CN 109494214 A

(43)申请公布日 2019.03.19

(21)申请号 201710811713.X

(22)申请日 2017.09.11

(71)申请人 联华电子股份有限公司

地址 中国台湾新竹市

(72)发明人 翁宸毅 黄士哲 杨清利 张志圣

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51)Int.Cl.

H01L 23/528(2006.01)

H01L 23/522(2006.01)

H01L 21/768(2006.01)

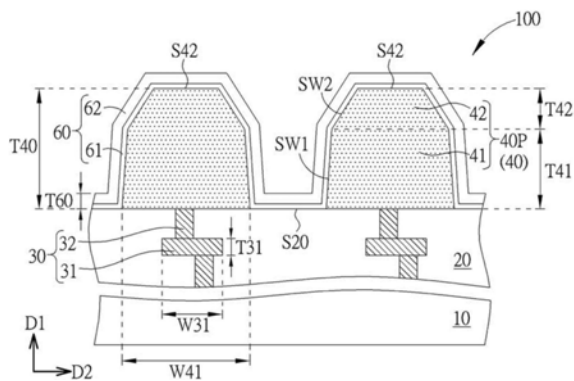
权利要求书2页 说明书5页 附图2页

## (54)发明名称

半导体装置的连接结构以及其制作方法

## (57)摘要

本发明公开一种半导体装置的连接结构以及其制作方法。半导体装置的连接结构,包括层间介电层、顶部金属结构以及保护层。层间介电层设置于基底上。顶部金属结构设置于层间介电层上。顶部金属结构包括一底部以及一顶部。顶部设置于底部上,底部具有一第一侧壁,而顶部具有一第二侧壁。第一侧壁的斜率大于第二侧壁的斜率。保护层共形地设置于第二侧壁上、第一侧壁上以及层间介电层的上表面上。



1. 一种半导体装置的连接结构,包括:  
层间介电层,设置于一基底上;  
顶部金属结构,设置于该层间介电层上,其中该顶部金属结构包括:  
底部,具有一第一侧壁;以及  
顶部,设置于该底部上,其中该顶部具有一第二侧壁,且该第一侧壁的斜率大于该第二侧壁的斜率;以及  
保护层,共形地设置于该第二侧壁上、该第一侧壁上以及该层间介电层的一上表面上。
2. 如权利要求1所述的半导体装置的连接结构,其中该顶部金属结构的该顶部直接连接该顶部金属结构的该底部。
3. 如权利要求1所述的半导体装置的连接结构,其中该顶部的该第二侧壁直接连接该底部的该第一侧壁,且该第一侧壁直接连接该层间介电层的该上表面。
4. 如权利要求1所述的半导体装置的连接结构,其中该顶部金属结构的厚度大于该保护层的厚度。
5. 如权利要求1所述的半导体装置的连接结构,其中该顶部金属结构的该底部的厚度大于该顶部金属结构的该顶部的厚度。
6. 如权利要求1所述的半导体装置的连接结构,其中该顶部金属结构的厚度大于或等于14000埃米。
7. 如权利要求1所述的半导体装置的连接结构,其中该顶部金属结构包括铝。
8. 如权利要求1所述的半导体装置的连接结构,还包括:  
互连结构,设置于该层间介电层中,其中该顶部金属结构与该互连结构电连接。
9. 如权利要求8所述的半导体装置的连接结构,其中该互连结构包括:  
金属层;以及  
插塞,设置于该金属层以及该顶部金属结构之间,其中该顶部金属结构通过该插塞与该金属层电连接,且该金属层的宽度小于该顶部金属结构的宽度。
10. 如权利要求9所述的半导体装置的连接结构,其中该顶部金属结构的厚度大于该互连结构的该金属层的厚度。
11. 一种半导体装置的连接结构的制作方法,包括:  
提供一基底;  
在该基底上形成一层间介电层;  
在该层间介电层上形成一顶部金属结构,其中该顶部金属结构包括:  
底部,具有一第一侧壁;以及  
顶部,设置于该底部上,其中该顶部具有一第二侧壁,且该第一侧壁的斜率大于该第二侧壁的斜率;以及  
在该第二侧壁上、该第一侧壁上以及该层间介电层的一上表面上共形地形成一保护层。
12. 如权利要求11所述的半导体装置的连接结构的制作方法,其中形成该顶部金属结构的方法包括:  
在该层间介电层上形成一顶部金属层;  
在该顶部金属层上形成一图案化光致抗蚀剂层;以及

以该图案化光致抗蚀剂层为掩模对该顶部金属层进行一蚀刻制作工艺,其中该蚀刻制作工艺包括:

主蚀刻步骤;以及

过蚀刻步骤,在该主蚀刻步骤之后进行,其中该主蚀刻步骤对该图案化光致抗蚀剂层具有一第一蚀刻率,该过蚀刻步骤对该图案化光致抗蚀剂层具有一第二蚀刻率,且该第一蚀刻率高于该第二蚀刻率。

13.如权利要求12所述的半导体装置的连接结构的制作方法,其中该主蚀刻步骤对该顶部金属层具有一第三蚀刻率,该过蚀刻步骤对该顶部金属层具有一第四蚀刻率,且该第三蚀刻率与该第一蚀刻率的比值低于该第四蚀刻率与该第二蚀刻率的比值。

14.如权利要求11所述的半导体装置的连接结构的制作方法,其中该顶部金属结构的该顶部直接连接该顶部金属结构的该底部。

15.如权利要求11所述的半导体装置的连接结构的制作方法,其中该顶部的该第二侧壁直接连接该底部的该第一侧壁,且该第一侧壁直接连接该层间介电层的该上表面。

16.如权利要求11所述的半导体装置的连接结构的制作方法,其中该顶部金属结构的该底部的厚度大于该顶部金属结构的该顶部的厚度。

17.如权利要求11所述的半导体装置的连接结构的制作方法,其中该顶部金属结构的厚度大于该保护层的厚度。

18.如权利要求11所述的半导体装置的连接结构的制作方法,还包括:

在该层间介电层中形成一互连结构,其中该顶部金属结构与该互连结构电连接。

19.如权利要求18所述的半导体装置的连接结构的制作方法,其中该互连结构包括:

金属层;以及

插塞,设置于该金属层以及该顶部金属结构之间,其中该顶部金属结构通过该插塞与该金属层电连接,且该金属层的宽度小于该顶部金属结构的宽度。

20.如权利要求19所述的半导体装置的连接结构的制作方法,其中该顶部金属结构的厚度大于该互连结构的该金属层的厚度。

## 半导体装置的连接结构以及其制作方法

### 技术领域

[0001] 本发明涉及一种半导体装置的连接结构以及其制作方法,尤其是涉及一种具有顶部金属结构的连接结构以及其制作方法。

### 背景技术

[0002] 在半导体制造领域中,集成电路中的元件(例如晶体管等)尺寸不断地微缩以提升芯片效能。然而,随着元件的密度增加,电阻电容的延迟效应(RCdelay)成为影响元件效能的原因之一。因此,需通过降低金属互连结构的电阻或/及降低层间介电层(interlayer dielectric,ILD)的电容来减少电阻电容延迟效应。

[0003] 在金属互连结构中,位于顶端的顶部金属(top metal)上会形成一保护层以覆盖顶部金属以及层间介电层。然而,由于一般顶部金属的厚度远厚于保护层,故容易发生保护层覆盖状况不理想以及于保护层中产生裂缝等问题,导致位于层间介电层中的金属互连结构或甚至位于层间介电层下的半导体元件受到不良影响,使得产品的生产良率以及可靠度(reliability)降低。

### 发明内容

[0004] 本发明提供了一种半导体装置的连接结构以及其制作方法,利用形成具有两段不同斜率的侧壁的顶部金属结构来改善形成于顶部金属结构以及层间介电层上的保护层的覆盖状况,避免于保护层中发生裂缝,进而改善产品的生产良率以及可靠度。

[0005] 本发明的一实施例提供一种半导体装置的连接结构,包括一层间介电层、一顶部金属结构以及一保护层。层间介电层设置于一基底上。顶部金属结构设置于层间介电层上,且顶部金属结构包括一底部以及一顶部。顶部设置于底部上,底部具有一第一侧壁,顶部具有一第二侧壁,且第一侧壁的斜率大于第二侧壁的斜率。保护层共形地设置于第二侧壁上、第一侧壁上以及层间介电层的一上表面上。

[0006] 本发明的一实施例提供一种半导体装置的连接结构的制作方法,包括下列步骤。首先,提供一基底。在基底上形成一层间介电层。在层间介电层上形成一顶部金属结构。顶部金属结构包括一底部以及一顶部。顶部设置于底部上,底部具有一第一侧壁,顶部具有一第二侧壁,且第一侧壁的斜率大于第二侧壁的斜率。接着,于第二侧壁上、第一侧壁上以及层间介电层的一上表面上共形地形成一保护层。

### 附图说明

[0007] 图1为本发明一实施例的半导体装置的连接结构的示意图;

[0008] 图2至图4为本发明一实施例的半导体装置的连接结构的制作方法示意图,其中

[0009] 图3为蚀刻制作工艺的流程示意图;

[0010] 图4为图2之后的状况示意图。

[0011] 主要元件符号说明

[0012]	10	基底
[0013]	20	层间介电层
[0014]	30	互连结构
[0015]	31	金属层
[0016]	32	插塞
[0017]	40	顶部金属层
[0018]	40P	顶部金属结构
[0019]	41	底部
[0020]	42	顶部
[0021]	50	图案化光致抗蚀剂层
[0022]	60	保护层
[0023]	61	第一层
[0024]	62	第二层
[0025]	91	蚀刻制作工艺
[0026]	100	半导体装置的连接结构
[0027]	D1	第一方向
[0028]	D2	第二方向
[0029]	S20	第一上表面
[0030]	S42	第二上表面
[0031]	SP1、SP2	步骤
[0032]	SW1	第一侧壁
[0033]	SW2	第二侧壁
[0034]	T31	第五厚度
[0035]	T40	第一厚度
[0036]	T41	第二厚度
[0037]	T42	第三厚度
[0038]	T60	第四厚度
[0039]	W31	第一宽度
[0040]	W41	第二宽度

### 具体实施方式

[0041] 请参阅图1。图1所绘示为本发明一实施例的半导体装置的连接结构的示意图。如图1所示，本实施例的半导体装置的连接结构100包括一层间介电层(interlayer dielectric, ILD) 20、一顶部金属(top metal) 结构40P以及一保护层60。层间介电层20设置于一基底10上。基底10可包括半导体基底例如硅基底、硅锗半导体基底或硅覆绝缘(silicon-on-insulator, SOI) 基底等，但并不以此为限。在一些实施例中，可于层间介电层20形成之前先于基底10上形成半导体元件(例如硅基场效晶体管，未绘示)，然后再形成层间介电层20覆盖半导体元件，但并不以此为限。层间介电层20的材料可包括氮氧化硅、氧化硅或其他适合的介电材料。顶部金属结构40P设置于层间介电层20上，且顶部金属结构40P

包括一底部41以及一顶部42。顶部42设置于底部41上,而底部41可于基底10的厚度方向(例如图1中所示的第一方向D1)上位于层间介电层20与顶部42之间。底部41具有一第一侧壁SW1,顶部42具有一第二侧壁SW2,且第一侧壁SW1的斜率大于第二侧壁SW2的斜率。值得说明的是,上述的第一侧壁SW1的斜率与第二侧壁SW2的斜率可基于以层间介电层20的上表面(例如图1中所示的第一上表面S20)当作为水平面而计算出,但并不以此为限。在一些实施例中,第一侧壁SW1与层间介电层20的第一上表面S20之间的夹角可大于45度且小于90度,换句话说,第一侧壁SW1的斜率可大于1,但并不以此为限。顶部金属结构40P的材料可包括铝、银、铬、钛、钼、上述材料的复合层、上述材料的合金或其他适合的金属导电材料。保护层60共形地(conformally)设置于第二侧壁SW2上、第一侧壁SW1上、层间介电层20的第一上表面S20上以及顶部金属结构40P的一上表面(例如图1中所示的第二上表面S42)上。

[0042] 在一些实施例中,保护层60可包括单层或多层的绝缘材料例如氮化硅、氮氧化硅、氧化硅或磷硅玻璃(phosphosilicate glass, PSG),但并不以此为限。举例来说,保护层60可包括一第一层61以及一第二层62,第一层61可共形地形成于第二侧壁SW2上、第一侧壁SW1上、层间介电层20的第一上表面S20上以及顶部金属结构40P的第二上表面S42上,而第二层62可共形地形成于第一层61上。此外,在一些实施例中,第一层61可为PSG层,而第二层62可为氮化硅层,但并不以此为限。

[0043] 如图1所示,在一些实施例中,顶部金属结构40P的顶部42可直接连接顶部金属结构40P的底部41,而顶部42的第二侧壁SW2可直接连接且直接接触底部41的第一侧壁SW1,且底部41的第一侧壁SW1可直接连接且直接接触层间介电层20的第一上表面S20。此外,顶部42的第二侧壁SW2可直接连接且直接接触第二上表面S42,故顶部金属结构40P可被视为一上窄下宽的结构,而顶部42与底部41的剖面形状可分别为一梯形,且顶部42的梯形的下底可为底部41的梯形的上底,但并不以此为限。此外,为了使顶部金属结构40P的整体电阻降低,顶部金属结构40P需具有一定的厚度,例如在一些实施例中,顶部金属结构40P的厚度(例如图1中所示的第一厚度T40)可大于或等于14000埃米,但并不以此为限。因此,相对来说,顶部金属结构40P的第一厚度T40会大于保护层60的厚度(例如图1中所示的第四厚度T60),而相较于仅具有单一斜率的侧壁的顶部金属结构,本发明的具有至少两段不同斜率的侧壁的顶部金属结构40P可用以改善形成于顶部金属结构40P以及层间介电层20上的保护层60的覆盖状况。由于顶部42的第二侧壁SW2与第二上表面S42之间的夹角相对变大,故可舒缓保护层60于转角处(例如第二侧壁SW2与第二上表面S42之间的转角或/及第一侧壁SW1与第一上表面S20之间的转角)的应力状况,因此可避免于保护层60中发生裂缝并达到改善产品生产良率以及产品可靠度的效果。

[0044] 在一些实施例中,为了降低顶部金属结构40P的顶部42对于顶部金属结构40P的整体电阻的影响,顶部金属结构40P的底部41的厚度(例如图1中所示的第二厚度T41)可大于顶部金属结构40P的顶部42的厚度(例如图1中所示的第三厚度T42),但并不以此为限。在另一些实施例中,也可视需要使顶部金属结构40P的顶部42的第三厚度T42大于底部41的第二厚度T41,藉此更进一步改善保护层60的覆盖状况以及降低保护层60发生裂缝的机率。此外,在一些实施例中,半导体装置的连接结构100可还包括一互连结构30设置于层间介电层20中,而顶部金属结构40P可互连结构30电连接。位于基底10上半导体元件(未绘示)可通过互连结构30而与顶部金属结构40P电连接,而层间介电层20、互连结构30以及顶部金属结构

40P可被视为半导体制作工艺中的后段 (back end of line, BEOL) 制作工艺,但并不以此为限。在一些实施例中,互连结构30可包括一金属层31以及一插塞32,插塞32可设置于金属层31以及顶部金属结构40P之间,而顶部金属结构40P可通过插塞32与金属层31电连接。此外,金属层31于一水平方向(例如图1中所示的第二方向D2)上的宽度(例如图1中所示的第一宽度W31)可小于顶部金属结构40P于水平方向上的宽度(例如图1中所示的第二宽度W41),而顶部金属结构40P的第一厚度T40可大于互连结构30的金属层31的厚度(例如图1中所示的第五厚度T31),但并不以此为限。金属层31与插塞32可通过于层间介电层20中形成凹陷并于凹陷中填入一阻障层以及一导电材料所形成,但并不以此为限。上述的阻障层可包括氮化钛、氮化钽或其他适合的阻障材料,而上述的导电材料可包括电阻率相对较低的材料例如铜、铝、钨等,但并不以此为限。在一些实施例中,互连结构30可由多个金属层31以及多个插塞32交替相连所构成,但并不以此为限。

[0045] 请参阅图1至图4。图2至图4所绘示为本发明一实施例的半导体装置的连接结构的制作方法示意图,其中图3为蚀刻制作工艺的流程示意图,图4绘示了图2之后的状况示意图,而图1可被视为绘示了图4之后的状况示意图。如图1所示,本实施例的半导体装置的连接结构100的制作方法可包括下列步骤,首先,提供基底10,在基底10上形成层间介电层20,并于层间介电层20上形成顶部金属结构40P。顶部金属结构40P包括底部41以及顶部42。顶部42设置于底部41上,底部41具有第一侧壁SW1,顶部42具有第二侧壁SW2,且第一侧壁SW1的斜率大于第二侧壁SW2的斜率。接着,在第二侧壁SW2上、第一侧壁SW1上以及层间介电层20的第一上表面S20上共形地形成保护层60。

[0046] 进一步说明,本实施例的形成顶部金属结构40P的方法可包括但不限于下列步骤。首先,如图2所示,在层间介电层20上形成一顶部金属层40。然后,在顶部金属层40上形成一图案化光致抗蚀剂层50。接着,以图案化光致抗蚀剂层50为掩模对顶部金属层40进行一蚀刻制作工艺91,用以形成如图1中所示的顶部金属结构40P。如图2与图3所示,在一些实施例中,蚀刻制作工艺91可包括于步骤SP1进行的一主蚀刻步骤以及于步骤SP2进行的一过蚀刻步骤。换句话说,过蚀刻步骤可于主蚀刻步骤之后进行。

[0047] 如图2至图4所示,主蚀刻步骤可用以对未被图案化光致抗蚀剂层50覆盖的顶部金属层40进行蚀刻而将至少部分的层间介电层20的第一上表面S20暴露出,而过蚀刻步骤可再进一步对顶部金属层40进行蚀刻而形成所需的第一侧壁SW1与第二侧壁SW2分布状况。在一些实施例中,主蚀刻步骤可对图案化光致抗蚀剂层50具有一第一蚀刻率(例如可称为R1),过蚀刻步骤可对图案化光致抗蚀剂层50具有一第二蚀刻率(例如可称为R2),且第一蚀刻率高于第二蚀刻率。此外,主蚀刻步骤可对顶部金属层40具有一第三蚀刻率(例如可称为R3),过蚀刻步骤可对顶部金属层40具有一第四蚀刻率(例如可称为R4),且第三蚀刻率与第一蚀刻率的比值( $R3/R1$ )低于第四蚀刻率与第二蚀刻率的比值( $R4/R2$ )。换句话说,主蚀刻步骤比过蚀刻步骤更容易对图案化光致抗蚀剂层50产生蚀刻效果,且主蚀刻步骤对于顶部金属层40的蚀刻选择比低于过蚀刻步骤对于顶部金属层40的蚀刻选择比。在一些实施例中,上述的主蚀刻步骤的蚀刻特性可通过调降制作工艺压力以增加离子轰击 (ion bombardment) 效果来达成,使得靠近图案化光致抗蚀剂层50的顶部金属层40可被主蚀刻步骤蚀刻而形成接近第二侧壁SW2的状况,但并不以此为限。此外,在一些实施例中,过蚀刻步骤可通过调整制作工艺气体的比例来产生较多的高分子以保护侧壁,进而可形成较为垂直

的第一侧壁SW1,但并不以此为限。值得说明的是,由于主蚀刻步骤对于图案化光致抗蚀剂层50的蚀刻率相对增加,故图案化光致抗蚀剂层50的厚度也需相对增加以确保其于蚀刻制作工艺91中的掩模效果。举例来说,图案化光致抗蚀剂层50的厚度可约大于等于35000埃米,但并不以此为限。

[0048] 如图2与图4所示,图案化光致抗蚀剂层50可于蚀刻制作工艺91之后被移除。然后,如图1所示,共形地形成保护层60覆盖层间介电层20的第一上表面S20、第一侧壁SW1、第二侧壁SW2以及顶部金属结构40P的第二上表面S42。此外,半导体装置的连接结构100的制作方法可还包括于层间介电层20中形成互连结构30,互连结构30可于顶部金属层40之前形成,而顶部金属结构40P可与互连结构30电连接。

[0049] 综上所述,在本发明的半导体装置的连接结构以及其制作方法,可利用蚀刻制作工艺形成具有至少两段不同斜率的侧壁的顶部金属结构,藉此改善形成于顶部金属结构以及层间介电层上的保护层的覆盖状况。此外,也可减少保护层于覆盖转角处的应力影响而避免于保护层中发生裂缝,进而达到改善产品生产良率以及产品可靠度的效果。

[0050] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,都应属本发明的涵盖范围。



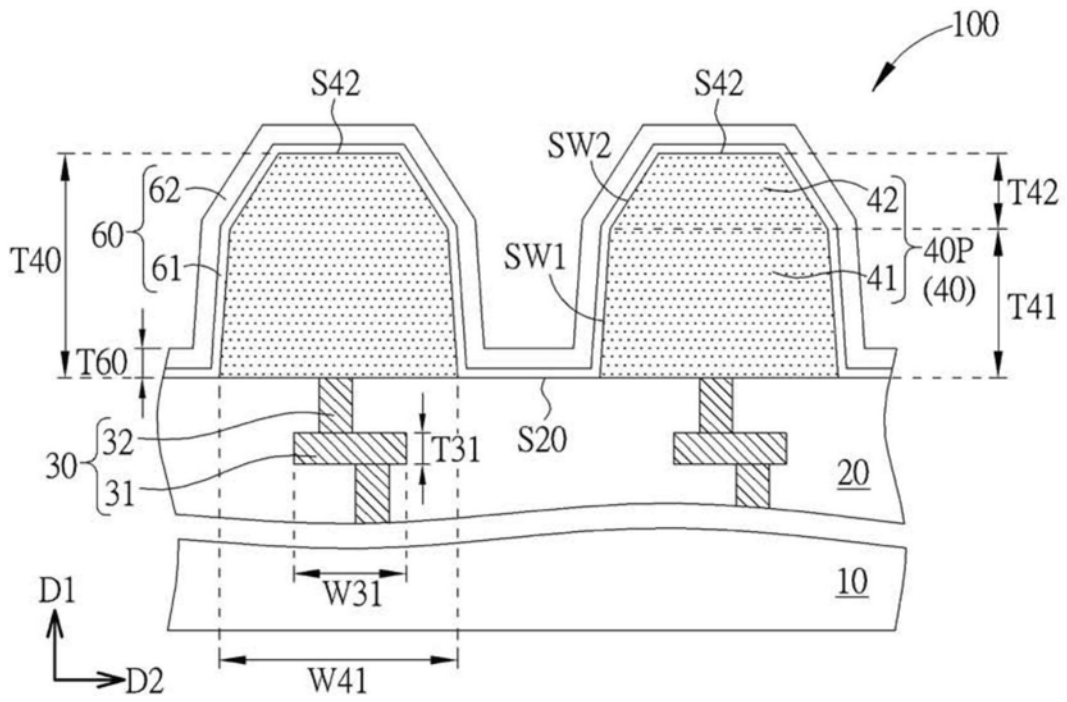


图1

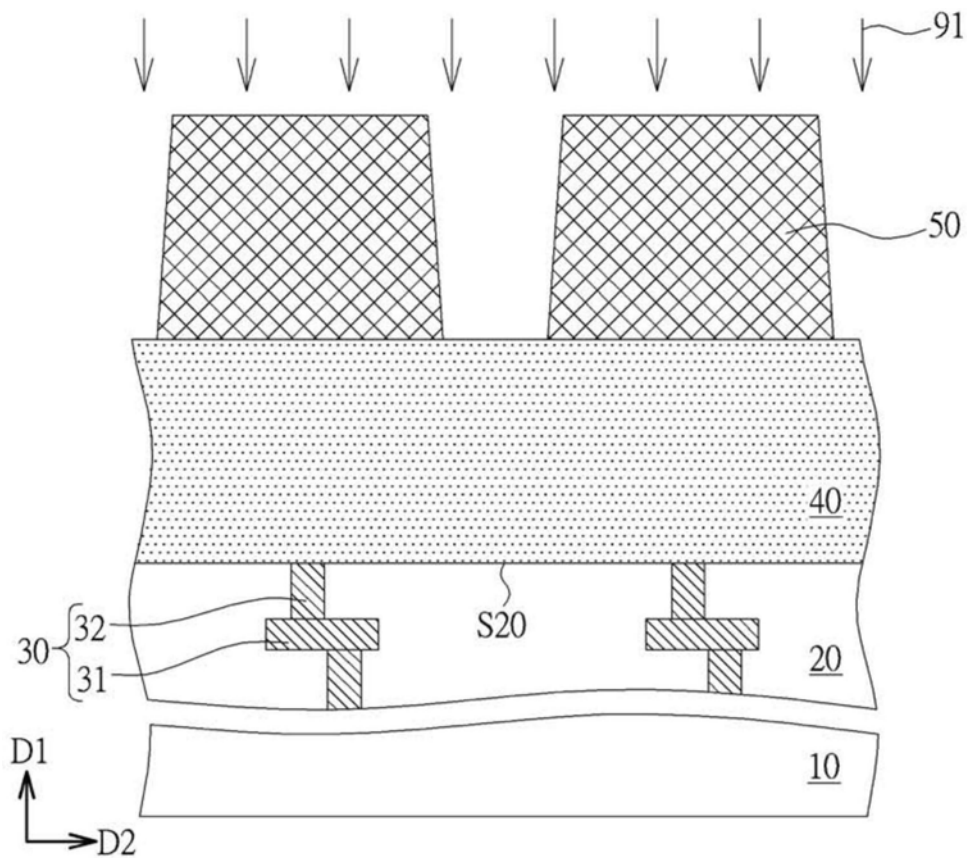


图2



图3

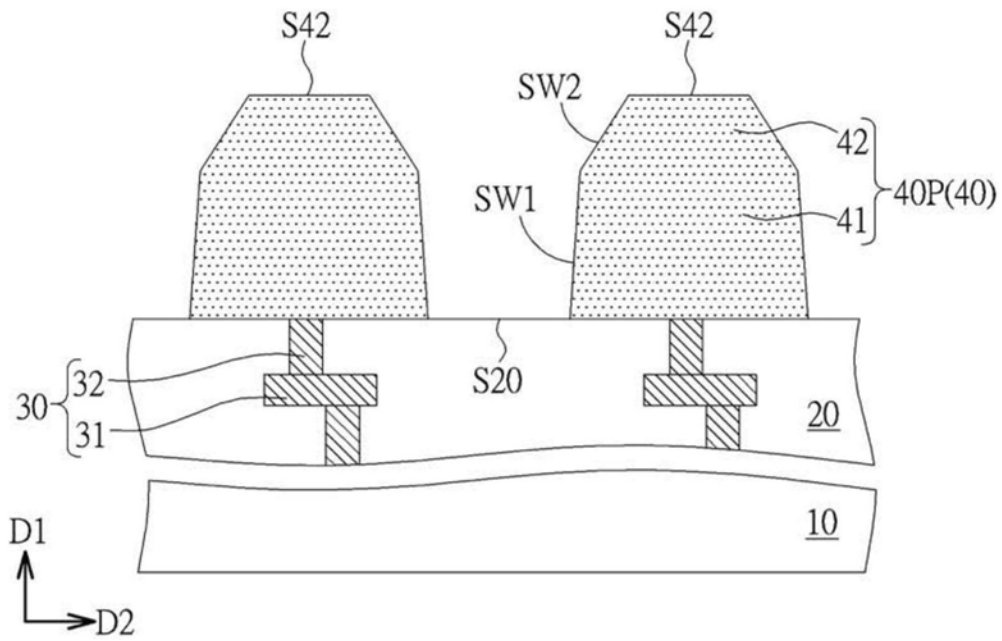


图4