

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-92348  
(P2016-92348A)

(43) 公開日 平成28年5月23日(2016.5.23)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A	4 M 1 1 8
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A	5 F 0 4 9

審査請求 未請求 請求項の数 16 O L (全 20 頁)

(21) 出願番号 特願2014-228766 (P2014-228766)  
(22) 出願日 平成26年11月11日(2014.11.11)

(71) 出願人 000006747  
株式会社リコー  
東京都大田区中馬込1丁目3番6号  
(74) 代理人 100107766  
弁理士 伊東 忠重  
(74) 代理人 100070150  
弁理士 伊東 忠彦  
(72) 発明者 根来 宝昭  
東京都大田区中馬込1丁目3番6号 株式会社リコー内  
(72) 発明者 上田 佳徳  
東京都大田区中馬込1丁目3番6号 株式会社リコー内

最終頁に続く

(54) 【発明の名称】 半導体デバイス及びその製造方法、撮像装置

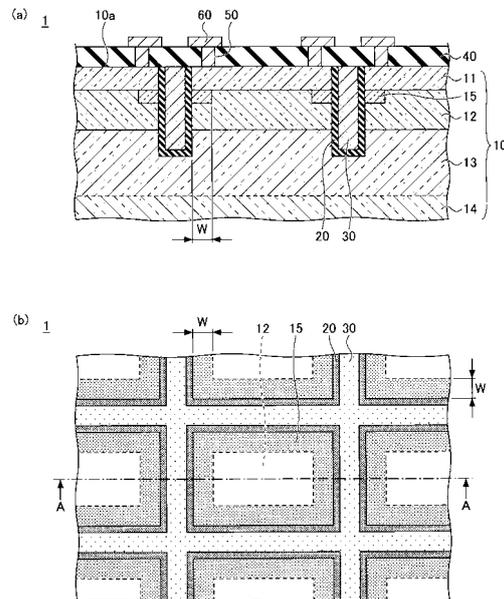
(57) 【要約】

【課題】暗電流の増加を抑制しつつ光強度に対する感度を向上することが可能な半導体デバイスを提供すること

【解決手段】本半導体デバイスは、半導体基板と、前記半導体基板に埋め込まれた電極と、前記半導体基板内で前記電極と接する絶縁膜と、前記半導体基板の表面側から深さ方向に順次形成された、第1導電型の第1半導体領域、第2導電型の第2半導体領域、及び第1導電型の第3半導体領域と、前記絶縁膜及び前記第2半導体領域と接する、前記第2半導体領域よりも不純物濃度が高い第2導電型の第4半導体領域と、を有し、入射光を光電変換する。

【選択図】 図1

第1の実施の形態に係る半導体デバイスの主要な部分を例示する図



## 【特許請求の範囲】

## 【請求項 1】

半導体基板と、  
 前記半導体基板に埋め込まれた電極と、  
 前記半導体基板内で前記電極と接する絶縁膜と、  
 前記半導体基板の表面側から深さ方向に順次形成された、第 1 導電型の第 1 半導体領域、第 2 導電型の第 2 半導体領域、及び第 1 導電型の第 3 半導体領域と、  
 前記絶縁膜及び前記第 2 半導体領域と接する、前記第 2 半導体領域よりも不純物濃度が高い第 2 導電型の第 4 半導体領域と、を有し、入射光を光電変換する半導体デバイス。

## 【請求項 2】

前記第 4 半導体領域の不純物濃度は、前記第 2 半導体領域の最大の不純物濃度の 10 倍以上である請求項 1 記載の半導体デバイス。

## 【請求項 3】

前記第 4 半導体領域は、前記第 1 半導体領域よりも深く前記第 3 半導体領域よりも浅い領域の深さ方向の一部に設けられている請求項 1 又は 2 記載の半導体デバイス。

## 【請求項 4】

前記第 4 半導体領域は、前記第 1 半導体領域の直下に設けられている請求項 3 記載の半導体デバイス。

## 【請求項 5】

前記第 4 半導体領域は、前記第 1 半導体領域よりも深く前記第 3 半導体領域よりも浅い領域の深さ方向の全部に設けられている請求項 1 又は 2 記載の半導体デバイス。

## 【請求項 6】

前記電極は、前記第 1 半導体領域、前記第 2 半導体領域、及び前記第 3 半導体領域を貫通している請求項 1 乃至 5 の何れか一項記載の半導体デバイス。

## 【請求項 7】

前記半導体基板は SOI 基板であり、  
 前記第 3 半導体領域の下部に、前記絶縁膜と接する BOX 酸化膜が配置されている請求項 1 乃至 6 の何れか一項記載の半導体デバイス。

## 【請求項 8】

請求項 1 乃至 7 の何れか一項記載の半導体デバイスを 2 次元に配列した撮像装置。

## 【請求項 9】

前記半導体デバイスから出力される電流、或いは前記電流を変換した電圧を監視し、監視結果に基づいて前記電極に印加する電圧を制御する回路を備えた請求項 8 記載の撮像装置。

## 【請求項 10】

半導体基板内に絶縁膜を形成し、前記絶縁膜に接する電極を前記半導体基板に埋め込む工程と、

前記半導体基板の表面側から深さ方向に、第 1 導電型の第 1 半導体領域、第 2 導電型の第 2 半導体領域、及び第 1 導電型の第 3 半導体領域を順次形成する工程と、

前記絶縁膜及び前記第 2 半導体領域と接する、前記第 2 半導体領域よりも不純物濃度が高い第 2 導電型の第 4 半導体領域を形成する工程と、を有する、入射光を光電変換する半導体デバイスの製造方法。

## 【請求項 11】

前記第 4 半導体領域の不純物濃度を、前記第 2 半導体領域の最大の不純物濃度の 10 倍以上とする請求項 10 記載の半導体デバイスの製造方法。

## 【請求項 12】

前記第 4 半導体領域を、前記第 1 半導体領域よりも深く前記第 3 半導体領域よりも浅い領域の深さ方向の一部に設ける請求項 10 又は 11 記載の半導体デバイスの製造方法。

## 【請求項 13】

前記第 4 半導体領域を、前記第 1 半導体領域の直下に設ける請求項 12 記載の半導体デ

10

20

30

40

50

バイスの製造方法。

【請求項 1 4】

前記第 4 半導体領域を、前記第 1 半導体領域よりも深く前記第 3 半導体領域よりも浅い領域の深さ方向の全部に設ける請求項 1 0 又は 1 1 記載の半導体デバイスの製造方法。

【請求項 1 5】

前記電極は、前記第 1 半導体領域、前記第 2 半導体領域、及び前記第 3 半導体領域を貫通している請求項 1 0 乃至 1 4 の何れか一項記載の半導体デバイスの製造方法。

【請求項 1 6】

前記半導体基板は S O I 基板であり、

前記第 3 半導体領域の下部に、前記絶縁膜と接する B O X 酸化膜が配置されている請求項 1 0 乃至 1 5 の何れか一項記載の半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体デバイス及びその製造方法、並びに撮像装置に関する。

【背景技術】

【0 0 0 2】

バイポーラ構造を有するフォトトランジスタは、コレクタ - ベース間で構成するフォトダイオードで得られる光電流をエミッタから出力するときに、バイポーラ構造が持っている物性により電流を増幅できる特徴を有する。そのため、フォトダイオードと比べて、小さな受光面積で光強度が低い場合の感度を向上することができる。

【0 0 0 3】

但し、フォトトランジスタでは、光強度が低い場合の感度は向上するものの、光強度が高くなるほど光電流が増加するため、出力信号の飽和に注意を要する等、取り扱い難い部分もある。そこで、フォトトランジスタの電流増幅率を可変することで、光強度に対する感度を可変し、各光強度において適切な感度を取得する技術が提案されている（例えば、特許文献 1 参照）。

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

しかしながら、上記技術では、電流増幅率を大きくして光強度に対する感度を向上したときに、暗電流が増加するという問題があった。

【0 0 0 5】

本発明は、上記に鑑みてなされたものであり、暗電流の増加を抑制しつつ光強度に対する感度を向上することが可能な半導体デバイスを提供することを課題とする。

【課題を解決するための手段】

【0 0 0 6】

本半導体デバイスは、半導体基板と、前記半導体基板に埋め込まれた電極と、前記半導体基板内で前記電極と接する絶縁膜と、前記半導体基板の表面側から深さ方向に順次形成された、第 1 導電型の第 1 半導体領域、第 2 導電型の第 2 半導体領域、及び第 1 導電型の第 3 半導体領域と、前記絶縁膜及び前記第 2 半導体領域と接する、前記第 2 半導体領域よりも不純物濃度が高い第 2 導電型の第 4 半導体領域と、を有し、入射光を光電変換することを要件とする。

【発明の効果】

【0 0 0 7】

開示の技術によれば、暗電流の増加を抑制しつつ光強度に対する感度を向上することが可能な半導体デバイスを提供できる。

【図面の簡単な説明】

【0 0 0 8】

【図 1】第 1 の実施の形態に係る半導体デバイスの主要な部分を例示する図である。

10

20

30

40

50

【図 2】第 1 の実施の形態に係る半導体デバイスの拡散プロファイルを例示する図である。

【図 3】比較例に係る半導体デバイスを例示する図である。

【図 4】高不純物濃度領域を設けることにより閾値がシフトすることを示す図である。

【図 5】電極への印加電圧により電流増幅率が変化することを示す図である。

【図 6】第 1 の実施の形態に係る半導体デバイスの製造工程を例示する図（その 1）である。

【図 7】第 1 の実施の形態に係る半導体デバイスの製造工程を例示する図（その 2）である。

【図 8】第 1 の実施の形態に係る半導体デバイスの製造工程を例示する図（その 3）である。

【図 9】第 1 の実施の形態の変形例 1 に係る半導体デバイスの主要な部分を例示する図である。

【図 10】第 1 の実施の形態の変形例 2 に係る半導体デバイスの主要な部分を例示する図である。

【図 11】第 1 の実施の形態の変形例 3 に係る半導体デバイスの主要な部分を例示する図である。

【図 12】単体の撮像セルの回路構成を例示する図である。

【図 13】単体の撮像セルを 2 次元に配列した撮像装置を例示する図（その 1）である。

【図 14】単体の撮像セルを 2 次元に配列した撮像装置を例示する図（その 2）である。

【図 15】撮像装置の機能ブロックの一例を示す図である。

【発明を実施するための形態】

【0009】

以下、図面を参照して発明を実施するための形態について説明する。各図面において、同一構成部分には同一符号を付し、重複した説明を省略する場合がある。

【0010】

第 1 の実施の形態

[半導体デバイスの構造]

図 1 は、第 1 の実施の形態に係る半導体デバイスの主要な部分を例示する図であり、図 1 (b) は平面図、図 1 (a) は図 1 (b) の A - A 線に沿う断面図である。なお、図 1 (b) では、ベース領域 12、高不純物濃度領域 15、絶縁膜 20 及び電極 30 のみを図示し、便宜上適宜梨地模様を用いている。

【0011】

図 1 に示す半導体デバイス 1 は、例えば、入射光を光電変換する受光セルを複数個備えたフォトランジスタであり、半導体基板 10 と、絶縁膜 20 と、電極 30 とを有する。半導体基板 10 の表面 10 a には層間絶縁膜 40 が形成され、層間絶縁膜 40 上には金属電極 60 が形成されている。半導体デバイス 1 において、各受光セルがフォトランジスタとして機能するため、半導体デバイス 1 をフォトランジスタアレイと称してもよい。但し、本実施の形態では、半導体デバイス 1 が複数の受光セルを備える例を示すが、半導体デバイス 1 は 1 つの受光セルを備えたものとしてもよい。

【0012】

なお、本実施の形態では、便宜上、金属電極 60 側を表面側又は上側、後述の低抵抗領域 14 側を裏面側又は下側とする。又、各部位の金属電極 60 側の面を表面又は上面、低抵抗領域 14 側の面を裏面又は下面とする。但し、半導体デバイス 1 は天地逆の状態で見ることができ、又は任意の角度で配置することができる。又、平面視とは対象物を半導体基板 10 の表面 10 a の法線方向から視ることを指し、平面形状とは対象物を半導体基板 10 の表面 10 a の法線方向から見た形状を指すものとする。

【0013】

半導体基板 10 は、例えば、シリコン基板である。半導体基板 10 には、エミッタ領域 11、ベース領域 12、及びコレクタ領域 13 が、半導体基板 10 の表面 10 a 側から深

10

20

30

40

50

さ方向に順次形成されている。コレクタ領域 13 の下側は、例えば、N+型の低抵抗領域 14 とされている。エミッタ領域 11 は、コンタクト 50 を介して、金属電極 60 (エミッタ電極) と電氣的に接続されている。なお、コレクタ電極は、低抵抗領域 14 の裏面側に設けることができる。

【0014】

エミッタ領域 11 は例えば N+型であり、エミッタ領域 11 の厚さは例えば 0.2 ~ 0.4 μm 程度とすることができる。ベース領域 12 は例えば P型であり、ベース領域 12 の厚さは例えば 0.5 ~ 1.4 μm 程度とすることができる。コレクタ領域 13 は例えば N型であり、コレクタ領域 13 の厚さは例えば 5 ~ 30 μm 程度とすることができる。

【0015】

なお、エミッタ領域 11 は、本発明に係る第 1 導電型の第 1 半導体領域の代表的な一例である。又、ベース領域 12 は、本発明に係る第 2 導電型の第 2 半導体領域の代表的な一例である。又、コレクタ領域 13 は、本発明に係る第 1 導電型の第 3 半導体領域の代表的な一例である。ここで、第 1 導電型とは P型又は N型の何れか一方を意味し、第 2 導電型とは第 1 導電型とは反対導電型の N型又は P型を意味する。

【0016】

図 2 に示すように、エミッタ領域 11 の不純物濃度は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$  程度とすることができる。ベース領域 12 の不純物濃度は傾斜しており、エミッタ領域 11 側が高不純物濃度、コレクタ領域 13 側が低不純物濃度となる。ベース領域 12 の不純物濃度は、例えば、エミッタ領域 11 の直下では  $5 \times 10^{17} \text{ cm}^{-3}$  程度とことができ、コレクタ領域 13 側では  $5 \times 10^{15} \text{ cm}^{-3}$  程度とすることができる。

【0017】

図 1 に戻り、半導体基板 10 には、表面 10a 側から電極 30 が埋め込まれている。又、半導体基板 10 と電極 30 とを絶縁する絶縁膜 20 が、半導体基板 10 内で電極 30 と接して設けられている。絶縁膜 20 は、例えば、シリコン酸化膜やシリコン窒化膜で構成することができる。絶縁膜 20 の厚さは、例えば、10 ~ 40 nm 程度とすることができる。電極 30 は、例えば、 $1 \times 10^{20} \text{ cm}^{-3}$  以上の不純物濃度を持つ低抵抗化された N型ポリシリコンで構成することができる。電極 30 の幅は、例えば、0.3 ~ 0.8 μm 程度とすることができる。電極 30 の深さは、例えば、4 ~ 20 μm 程度とすることができる。

【0018】

本実施の形態では、電極 30 は、エミッタ領域 11 及びベース領域 12 を貫通し、先端部がコレクタ領域 13 に達している。電極 30 により区画された各領域は受光セルとして機能する。すなわち、半導体デバイス 1 は、コレクタ電位を共通とし、エミッタ側から光電流を取り出す構造の受光セルが複数配列されたフォトランジスタである。受光セルの幅 (隣接する電極 30 の間隔) は、例えば、3 ~ 20 μm 程度とすることができる。

【0019】

このように、半導体デバイス 1 は、絶縁膜 20 を介して電極 30 と接するエミッタ領域 11、ベース領域 12 及びコレクタ領域 13 が半導体基板 10 の表面 10a 側から深さ方向に順次形成された縦型バイポーラ構造である。これにより、電極 30 に電圧を印加することで、電極 30 付近の領域が電界の影響を受け、特に準中性領域であるベース領域 12 の幅が変化する結果、半導体デバイス 1 の電流増幅率を変化させることができる。

【0020】

又、ベース領域 12 の不純物濃度が傾斜しており、エミッタ領域 11 側が高不純物濃度、コレクタ領域 13 側が低不純物濃度である。これにより、電極 30 に電圧を印加した際にコレクタ領域 13 側のベース領域 12 で発生する空乏層が電極 30 付近から内部まで広がりやすくなるため、ベース領域 12 の不純物濃度が均一である場合と比較して電流増幅率の変化を大きくすることができる。

【0021】

半導体デバイス 1 において、エミッタ領域 11 よりも深くコレクタ領域 13 よりも浅い

10

20

30

40

50

領域には、絶縁膜 20 及びベース領域 12 と接する高不純物濃度領域 15 が設けられている。高不純物濃度領域 15 は、ベース領域 12 と同じ導電型（本実施の形態では P + 型）であって、かつ、ベース領域 12 の最大の不純物濃度よりも不純物濃度が高い領域である。高不純物濃度領域 15 は、本発明に係る第 2 導電型の第 4 半導体領域の代表的な一例である。

#### 【0022】

高不純物濃度領域 15 は、絶縁膜 20 及びベース領域 12 と接していれば、どこに設けても構わないが、本実施の形態では、エミッタ領域 11 の直下に平面形状が額縁状の高不純物濃度領域 15 を設けている。平面視において、高不純物濃度領域 15 の内側（受光セルの中央部）には、ベース領域 12 が配されている。言い換えれば、平面視において、高不純物濃度領域 15 はベース領域 12 と隣接している。

10

#### 【0023】

図 2 に示すように、高不純物濃度領域 15 の不純物濃度は、ベース領域 12 の最大の不純物濃度の 10 倍以上とすることが好ましい。例えば、ベース領域 12 の不純物濃度が  $5 \times 10^{16} \text{ cm}^{-3}$  以上  $5 \times 10^{17} \text{ cm}^{-3}$  以下であれば、高不純物濃度領域 15 の不純物濃度は  $5 \times 10^{18} \text{ cm}^{-3}$  以上とすることが好ましい。後述の寄生 MOS (Metal Oxide Semiconductor) トランジスタ 90 の閾値を大きくできるからである。

#### 【0024】

なお、寄生 MOS トランジスタ 90 の閾値は、電極 30 とベース領域 12 との間の絶縁膜 20 の膜厚と、絶縁膜 20 に隣接するベース領域 12 のベース拡散濃度で決定される。従って、高不純物濃度領域 15 を設けてベース領域 12 の濃度を濃くすることで、所望の閾値にできる。又、絶縁膜 20 の膜厚を変化させても閾値を変更することが可能である。

20

#### 【0025】

但し、高不純物濃度領域 15 は光電変換時には電流増幅率を低下させるので、幅が小さい方が好ましい。そのため、寄生 MOS トランジスタ 90 の閾値を変化させることが可能なぎりぎりの幅、すなわち電極 30 へ電圧を印加した際の電界が及ぶ距離ぎりぎりに設定することが好ましい。

#### 【0026】

具体例を挙げると、電極 30 へ印加する電圧が 5 V 程度の場合には、電圧印加により広がる空乏層幅を考慮し、高不純物濃度領域 15 の幅 W は  $0.2 \sim 1.0 \mu\text{m}$  程度とすることが好ましい。この場合、受光セルの幅が  $3 \sim 20 \mu\text{m}$  程度であれば、受光セルの中央部のエミッタ領域 11 の直下はベース領域 12 となるので、電流増幅率の低下を防止できる。

30

#### 【0027】

ここで、半導体デバイス 1 に高不純物濃度領域 15 を設けることの技術的意義について、比較例を交えながら説明する。図 3 は、比較例に係る半導体デバイスを例示する図である。比較例に係る半導体デバイス 1 X は、高不純物濃度領域 15 を設けていない点が半導体デバイス 1 (図 1 参照) と相違する。

#### 【0028】

図 3 (a) に示す半導体デバイス 1 X をフォトトランジスタとして取り扱った場合、図 3 (b) に示す寄生 MOS トランジスタ 90 の存在が問題となる。寄生 MOS トランジスタ 90 は、絶縁膜 20 を介して電極 30 に接するエミッタ領域 11、ベース領域 12 及びコレクタ領域 13 に形成されている。エミッタ領域 11 が寄生 MOS トランジスタ 90 のソースとなり、コレクタ領域 13 が寄生 MOS トランジスタ 90 のドレインとなる。又、ベース領域 12 が寄生 MOS トランジスタ 90 のチャンネルとなる。

40

#### 【0029】

半導体デバイス 1 X において、電流増幅率を大きくするために電極 30 へ電圧印加すると寄生 MOS トランジスタ 90 が ON して光電流とは無関係な電流が付加される。寄生 MOS トランジスタ 90 が ON することで付加される電流により暗電流が大きくなり、低照度での感度が低下する問題が生じる。

#### 【0030】

50

特に、電流増幅率を大きくするためにベース領域12の不純物濃度を低くした場合に、寄生MOSトランジスタ90がONする閾値が小さくなり暗電流が増加する。又、受光セルのサイズを小さくした場合に、受光セル内における寄生MOSトランジスタ90の占める割合が大きくなるため、電極30に電圧を印加することで発生する電界の影響により、寄生MOSトランジスタ90がONする閾値が小さくなり暗電流が増加する。

#### 【0031】

このように、従来の半導体デバイス1Xでは、電極30への電圧印加により電流増幅率を可変することはできるが、寄生MOSトランジスタ90の閾値を制御できないため、暗電流の増加を抑制できない。

#### 【0032】

そこで、第1の実施の形態に係る半導体デバイス1では、高不純物濃度領域15を設けることで、寄生MOSトランジスタ90のチャンネル濃度を濃くし、寄生MOSトランジスタ90の閾値を高い方にシフトさせている。このように、寄生MOSトランジスタ90の閾値を従来よりも高くすることで、暗電流の増加を抑制することができる。

#### 【0033】

図4は、高不純物濃度領域を設けることにより閾値がシフトすることを示す図であり、半導体デバイス1及び1Xにおける電極30への印加電圧(横軸)と暗電流(縦軸)との関係を示している。なお、縦軸は対数軸である。

#### 【0034】

具体的には、エミッタ領域11とコレクタ領域13との間に電極等を介して $V_{ce} = 5V$ を印加した状態で、電極30への印加電圧をスイープしてエミッタ電流(暗電流)を測定したものである。図4において、『 $I_d(1)$ 』は半導体デバイス1の特性であり、『 $I_d(1X)$ 』は半導体デバイス1Xの特性である。

#### 【0035】

なお、半導体デバイス1において、高不純物濃度領域15の不純物濃度はベース領域12の最大の不純物濃度の10倍以上とし、受光セル( $10 \times 10 \mu m^2$ )に対して、高不純物濃度領域15の幅 $W$ を $0.2 \sim 1.0 \mu m$ 程度としている。

#### 【0036】

図4の『 $I_d(1X)$ 』に示すように、高不純物濃度領域を設けていない半導体デバイス1Xでは、電極30への印加電圧が約 $0.2(V)$ を超えると、暗電流が増加し始める。暗電流が増加し始めるのは、寄生MOSトランジスタ90がONしたためである。すなわち、半導体デバイス1Xでは、寄生MOSトランジスタ90がONする閾値は約 $0.2(V)$ である。

#### 【0037】

これに対して、図4の『 $I_d(1)$ 』に示すように、高不純物濃度領域15を設けた半導体デバイス1では、電極30への印加電圧が $0 \sim$ 約 $3.7(V)$ までは、暗電流が測定限界以下( $1 \times 10^{-11}A$ 以下)である。そして、電極30への印加電圧が約 $3.7(V)$ を超えると、暗電流が増加し始める。すなわち、半導体デバイス1では、寄生MOSトランジスタ90がONする閾値は約 $3.7(V)$ であり、半導体デバイス1Xに対して $3.5(V)$ 程度閾値が高い方にシフトしている。

#### 【0038】

このように、高不純物濃度領域15を設けた半導体デバイス1では、高不純物濃度領域を設けていない半導体デバイス1Xと比べて、寄生MOSトランジスタ90がONする閾値が大きくなる(高い方にシフトする)ことが確認された。

#### 【0039】

図5は、電極への印加電圧により電流増幅率が変化することを示す図であり、半導体デバイス1の電極30に所定電圧を印加した場合の照度(横軸)と光電流(縦軸)との関係を示している。なお、横軸及び縦軸は対数軸である。

#### 【0040】

具体的には、エミッタ領域11とコレクタ領域13との間に電極等を介して $V_{ce} = 5$

10

20

30

40

50

Vを印加した状態で、電極30への印加電圧を所定電圧に固定し、受光セル(10×10 $\mu\text{m}^2$ )にハロゲン光を照射して得られるエミッタ電流(光電流)を測定したものである。なお、図5において、『 $\square$ 』、『 $\square$ 』、『 $\square$ 』、『x』は夫々、電極30へ印加する所定電圧を『4V』、『3.5V』、『3V』、『0V』とした場合の特性である。

【0041】

なお、半導体デバイス1において、高不純物濃度領域15の不純物濃度はベース領域12の最大の不純物濃度の10倍以上とし、高不純物濃度領域15の幅Wは0.2~1.0 $\mu\text{m}$ 程度としている。

【0042】

図5に示すように、半導体デバイス1において、電極30に印加する電圧を変えることで、照度に対する光電流が変化している。このように、半導体デバイス1において、高不純物濃度領域15を設けても、電極30に印加する電圧により電流増幅率を変化させ、光電流を変化させられることが確認された。

10

【0043】

[半導体デバイスの製造方法]

図6~図8は、第1の実施の形態に係る半導体デバイスの製造工程を例示する図であり、図1(a)に対応する断面を示している。

【0044】

まず、図6(a)に示すように、例えば、N+型の低抵抗領域14(例えば、6 $\mu\text{m}$  cm)上にN型のエピタキシャル層190(例えば、1 $\mu\text{m}$  cm)を備えたシリコン基板を準備する。エピタキシャル層190の厚さは、光源の波長に対する吸収率に応じて任意の設定とすることができる。

20

【0045】

次に、図6(b)に示すように、電極30を埋め込むために、エピタキシャル層190に、エミッタ領域11及びベース領域12となる領域を貫通してコレクタ領域13となる領域に達する溝300(トレンチ)を形成する。溝300は、例えば、ドライエッチングにより形成することができる。溝300の幅は、例えば、0.3~0.8 $\mu\text{m}$ 程度とすることができる。溝300の深さは、例えば、4~20 $\mu\text{m}$ 程度とすることができる。

【0046】

次に、図6(c)に示すように、溝300の底面及び内側面に約20nmの厚さの絶縁膜20を形成する。そして、溝300内に絶縁膜20を介して電極30を形成する。具体的には、まず、溝300の底面及び内側面並びにエピタキシャル層190の表面に、例えば、熱酸化法により、約20nmの厚さの絶縁膜20(シリコン酸化膜)を形成する。但し、絶縁膜20としては、シリコン窒化膜等を用いてもよい。

30

【0047】

そして、絶縁膜20が形成された溝300内及びエピタキシャル層190の表面に、例えば、CVD法やスパッタ法によりポリシリコンを堆積させる。その後、エッチバックにより表面に形成されたポリシリコンを取り除き、溝300の内部だけに残すことで、ポリシリコンからなる電極30が形成される。なお、電極30を低抵抗化するために、リン不純物が飽和したポリシリコンを堆積することが好ましい。

40

【0048】

次に、図7(a)に示すように、P型のベース領域12を形成するために、P型不純物120を注入する。具体的には、例えば、P型不純物120としてボロンの注入(例えば、30KeV  $3.2 \times 10^{13} \text{cm}^{-2}$ )を行う。

【0049】

そして、図7(b)に示すように、例えば、1150 $^{\circ}\text{C}$ 程度の熱処理を50分程度行ってP型不純物120を熱拡散させて活性化し、1.5 $\mu\text{m}$ 程度の深さのベース領域12を形成する。なお、ベース領域12の下層がコレクタ領域13となる。ベース領域12の深さ及び不純物濃度は、光源の波長の吸収に応じて、電流増幅率が安定する任意の設定とすることができる。

50

## 【0050】

次に、図7(c)に示すように、エミッタ領域11となる領域の直下に、絶縁膜20及びベース領域12と接するP+型の高不純物濃度領域15を形成するために、P型不純物150を注入する。具体的には、例えば、P型不純物150としてボロンの注入(例えば、 $180\text{KeV } 1 \times 10^{13}\text{cm}^{-2}$ )を行う。

## 【0051】

次に、図8(a)に示すように、N+型のエミッタ領域11を形成するために、N型不純物110を注入する。具体的には、例えば、N型不純物110としてリンの注入(例えば、 $50\text{KeV } 6 \times 10^{13}\text{cm}^{-2}$ )を行う。

## 【0052】

そして、図8(b)に示すように、例えば、920 程度の熱処理を40分程度行ってN型不純物110及びP型不純物150を熱拡散させて活性化し、表面10a側にエミッタ領域11を形成すると共に、エミッタ領域11の直下に高不純物濃度領域15を形成する。なお、エミッタ領域11は光の吸収の妨げになるので、浅い拡散とすることが好ましい。

## 【0053】

その後、半導体基板10の表面10aにCVD法等により層間絶縁膜40を形成し、層間絶縁膜40内にエミッタ領域11と導通するコンタクト50を形成し、更に、層間絶縁膜40上にコンタクト50と導通する金属電極60を形成する。又、各受光セルが形成された領域の外周部から電極30を構成するポリシリコンを引き伸ばし、電極30の取り出し配線を形成する。なお、金属電極60は光を遮光するので、可能な限り電極30上に配置することが好ましい。以上の各工程により、図1に示す半導体デバイス1が完成する。

## 【0054】

このように、第1の実施の形態に係る半導体デバイス1では、絶縁膜20を介して半導体基板10に電極30を埋め込み、電極30と接するエミッタ領域11、ベース領域12及びコレクタ領域13を半導体基板10の表面10a側から深さ方向に順次形成している。これにより、電極30に電圧を印加することで、ベース領域12の幅が変化する結果、半導体デバイス1の電流増幅率を変化させることができる(光強度に対する感度を向上することができる)。

## 【0055】

又、エミッタ領域11よりも深くコレクタ領域13よりも浅い領域に、ベース領域12よりも不純物濃度が高く、ベース領域12と同一の導電型の高不純物濃度領域15を、絶縁膜20及びベース領域12と接して設けている。これにより、半導体基板10に形成される寄生MOSトランジスタ90のチャンネル濃度を濃くし、寄生MOSトランジスタ90の閾値を高い方にシフトさせることができる。その結果、半導体デバイス1において、暗電流の増加を抑制することができる。

## 【0056】

すなわち、半導体デバイス1では、暗電流の増加を抑制しつつ光強度に対する感度を向上することができる。

## 【0057】

## 第1の実施の形態の変形例1

第1の実施の形態の変形例1では、第1の実施の形態とは異なる位置に高不純物濃度領域を設ける例を示す。なお、第1の実施の形態の変形例1において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

## 【0058】

図9は、第1の実施の形態の変形例1に係る半導体デバイスの主要な部分を例示する図であり、図1(a)に対応する断面を示している。

## 【0059】

図9(a)に示す半導体デバイス1Aでは、高不純物濃度領域15Aが、エミッタ領域11及びコレクタ領域13と接することなく、絶縁膜20及びベース領域12のみと接し

10

20

30

40

50

ている。

【0060】

高不純物濃度領域15Aを形成するには、第1の実施の形態の図7(c)に示す工程において、加速電圧を大きくしてP型不純物150の注入位置を深くすればよい。例えば、P型不純物150としてボロンの注入(例えば、 $400\text{KeV } 1 \times 10^{13}\text{cm}^{-2}$ )を行うことで、図9(a)の位置に高不純物濃度領域15Aを形成することができる。

【0061】

図9(a)に示す構造でも、図1に示す構造と同様に寄生MOSトランジスタ90のチャンネル濃度が濃くなるので、寄生MOSトランジスタ90の閾値が大きくなり、暗電流の増加を抑制することができる。

10

【0062】

図9(b)に示す半導体デバイス1Bでは、高不純物濃度領域15Bが、コレクタ領域13の直上に、絶縁膜20及びベース領域12と接して設けられている。

【0063】

高不純物濃度領域15Bを形成するには、第1の実施の形態の図7(c)に示す工程において、図9(a)の場合よりも更に加速電圧を大きくしてP型不純物150の注入位置を深くすればよい。例えば、P型不純物150としてボロン注入( $1000\text{KeV } 1 \times 10^{13}\text{cm}^{-2}$ )を行うことで、図9(b)の位置に高不純物濃度領域15Bを形成することができる。

【0064】

図9(b)に示す構造でも、図1に示す構造と同様に寄生MOSトランジスタ90のチャンネル濃度が濃くなるので、寄生MOSトランジスタ90の閾値が大きくなり、暗電流の増加を抑制することができる。

20

【0065】

半導体デバイス1、1A及び1Bでは、高不純物濃度領域15、15A及び15Bが、エミッタ領域11よりも深くコレクタ領域13よりも浅い領域の深さ方向の一部に設けられていた。これに対し、図9(c)に示す半導体デバイス1Cでは、高不純物濃度領域15Cが、エミッタ領域11よりも深くコレクタ領域13よりも浅い領域の深さ方向の全部に設けられている。

【0066】

つまり、半導体デバイス1Cでは、高不純物濃度領域15Cが、エミッタ領域11の直下からコレクタ領域13の直上に到達する領域に、絶縁膜20及びベース領域12と接して設けられている。言い換えれば、絶縁膜20とベース領域12と間に、ベース領域12と略同一の厚さの高不純物濃度領域15Cが設けられている。

30

【0067】

高不純物濃度領域15Cを形成するには、第1の実施の形態の図7(c)に示す工程において、加速電圧を変えてP型不純物150を多段注入することで、エミッタ領域11の直下、その更に下側の領域、及びコレクタ領域13の直上を高濃度化すればよい。例えば、ボロンの注入( $1000\text{KeV } 1 \times 10^{13}\text{cm}^{-2}$ )、ボロンの注入( $400\text{KeV } 1 \times 10^{13}\text{cm}^{-2}$ )、及びボロンの注入( $180\text{KeV } 1 \times 10^{13}\text{cm}^{-2}$ )を順次行うことで、図9(c)の位置に高不純物濃度領域15Cを形成できる。

40

【0068】

図9(c)に示す構造でも、図1に示す構造と同様に寄生MOSトランジスタ90のチャンネル濃度が濃くなるので、寄生MOSトランジスタ90の閾値が大きくなり、暗電流の増加を抑制することができる。

【0069】

このように、絶縁膜20及びベース領域12と接していれば、高不純物濃度領域をどこに設けても、寄生MOSトランジスタ90の閾値が大きくなり、暗電流の増加を抑制することができる。

【0070】

50

但し、寄生MOSトランジスタ90の閾値を大きくするには、寄生MOSトランジスタ90のソース側（エミッタ領域11側）に高不純物濃度領域を配することが最も効果的である。又、できる限り半導体基板10の表面10a近くに高不純物濃度領域を配することが、不純物注入の際の加速電圧が比較的小さくて済む点で、半導体デバイス1の製造上好ましい。このような観点からは、エミッタ領域11の直下に高不純物濃度領域15を設けた半導体デバイス1（図1参照）が最も好ましい形態であると言える。

#### 【0071】

##### 第1の実施の形態の変形例2

第1の実施の形態の変形例2では、電極30がコレクタ領域13を貫通する例を示す。なお、第1の実施の形態の変形例2において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

10

#### 【0072】

図10は、第1の実施の形態の変形例2に係る半導体デバイスの主要な部分を例示する図であり、図10(b)は平面図、図10(a)は図10(b)のB-B線に沿う断面図である。但し、図10(b)では、ベース領域12、高不純物濃度領域15、絶縁膜20及び電極30のみを図示し、便宜上適宜梨地模様を用いている。なお、エミッタ領域11、ベース領域12、コレクタ領域13、オーミック領域16及び高濃度ベース領域17の配置については、後述の図11(b)と同様である。

#### 【0073】

図10に示す半導体デバイス1Dでは、半導体基板10DとしてP型基板を用いている。半導体デバイス1Dにおいて、電極30は、エミッタ領域11（例えばN+型）、ベース領域12（例えばP型）及びコレクタ領域13（例えばN型）を貫通し、先端部がP型領域14Dに達している。

20

#### 【0074】

これにより、各受光セルにおいて、エミッタ領域11同士、ベース領域12同士が分離されると共に、コレクタ領域13同士も分離される（各受光セルのコレクタ領域13同士が電氣的に独立している）。なお、半導体デバイス1（図1参照）と同様に、エミッタ領域11の直下には、絶縁膜20及びベース領域12と接して高不純物濃度領域15が設けられている。

#### 【0075】

又、半導体基板10Dの表面10aに面してエミッタ領域11、ベース領域12、及びコレクタ領域13が存在している。そして、エミッタ領域11はコンタクト50を介して金属電極60（エミッタ電極）と電氣的に接続されている。又、コレクタ領域13の表面にはN+型のオーミック領域16が設けられ、オーミック領域16はコンタクト50を介して金属電極70（コレクタ電極）と電氣的に接続されている。

30

#### 【0076】

言い換えれば、半導体基板10Dの深さ方向の縦型バイポーラ構造と共に、半導体基板10Dの表面10a側に横型バイポーラ構造が存在する。横型バイポーラ構造は、コレクタ電流に対する電流増幅率の変化が大きい。そこで、コレクタ電流に対する電流増幅率の変化を抑制するために、ベース領域12の表面側の、エミッタ領域11から離れた位置に、P+型の高濃度ベース領域17を配置することが好ましい。例えば、ベース領域12の表面側の、エミッタ領域11から約 $1\mu\text{m}$ 離れた位置に、濃度が $1 \times 10^{19} \text{cm}^{-3}$ 以上の高濃度ベース領域17を配置することができる。

40

#### 【0077】

図10の構造により、半導体デバイス1Dでは、各受光セルの金属電極60（エミッタ電極）及び金属電極70（コレクタ電極）に異なる電圧を印加することができる。これにより、各受光セルのエミッタ電位及びコレクタ電位を自由に設定でき、金属電極60（エミッタ電極）、金属電極70（コレクタ電極）の何れから出力信号を取得するかを選択できるため、回路動作時の自由度を向上できる。なお、高不純物濃度領域15を形成することによる効果については、第1の実施の形態と同様である。

50

## 【 0 0 7 8 】

## 第 1 の実施の形態の変形例 3

第 1 の実施の形態の変形例 3 では、半導体基板として S O I ( Silicon On Insulator ) 基板を用いる例を示す。なお、第 1 の実施の形態の変形例 3 において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

## 【 0 0 7 9 】

図 1 1 は、第 1 の実施の形態の変形例 3 に係る半導体デバイスの主要な部分を例示する図であり、図 1 1 ( b ) は平面図、図 1 1 ( a ) は図 1 1 ( b ) の C - C 線に沿う断面図である。但し、図 1 1 ( b ) では、エミッタ領域 1 1、ベース領域 1 2、コレクタ領域 1 3、オーミック領域 1 6、高濃度ベース領域 1 7、絶縁膜 2 0 及び電極 3 0 のみを図示し、便宜上適宜梨地模様を用いている。なお、高不純物濃度領域 1 5 の配置については、前述の図 1 0 ( b ) と同様である。

10

## 【 0 0 8 0 】

図 1 1 に示す半導体デバイス 1 E では、半導体基板 1 0 E として、P 型シリコン基板 1 4 E 上に、厚さ 1  $\mu$  m 程度の B O X ( Buried Oxide: 埋め込み ) 酸化膜 1 8 及びシリコン活性層が順次配された S O I 基板を用いている。そして、B O X 酸化膜 1 8 上に配されたシリコン活性層に、半導体デバイス 1 D ( 図 1 0 参照 ) と同様の構造のエミッタ領域 1 1、ベース領域 1 2、コレクタ領域 1 3、高不純物濃度領域 1 5、オーミック領域 1 6 及び高濃度ベース領域 1 7 が設けられている。コレクタ領域 1 3 の下部に、絶縁膜 2 0 と接する B O X 酸化膜 1 8 が配置されている。

20

## 【 0 0 8 1 】

半導体デバイス 1 E において、電極 3 0 は、エミッタ領域 1 1、ベース領域 1 2 及びコレクタ領域 1 3 を貫通し、電極 3 0 の先端部を被覆する絶縁膜 2 0 が B O X 酸化膜 1 8 に達している。これにより、各受光セルにおいて、エミッタ領域 1 1 同士、ベース領域 1 2 同士が分離されると共に、コレクタ領域 1 3 同士も分離される ( 各受光セルのコレクタ領域 1 3 同士が電氣的に独立している ) 。

## 【 0 0 8 2 】

半導体デバイス 1 E は、半導体デバイス 1 ~ 1 C のようなコレクタ領域 1 3 が共通である構造や、半導体デバイス 1 D のような P 型領域 1 4 D とコレクタ領域 1 3 とが P N 接合を形成する構造とは異なり、隣接する受光セル同士が完全に絶縁分離された構造である。その結果、光入射により発生する電荷の拡散は、各受光セル内のみにとどまり、隣接する受光セルへ移動しないため、半導体デバイス 1 E を撮像装置に用いた場合に、混色を防止できる。なお、高不純物濃度領域 1 5 を形成することによる効果については、第 1 の実施の形態と同様である。

30

## 【 0 0 8 3 】

## 第 2 の実施の形態

第 2 の実施の形態では、第 1 の実施の形態に係る半導体デバイス 1 をフォトランジスタとして用いた撮像装置の例を示す。なお、第 2 の実施の形態において、既に説明した実施の形態と同一構成部についての説明は省略する場合がある。

## 【 0 0 8 4 】

図 1 2 は、単体の撮像セルの回路構成を例示する図である。図 1 2 に示すように、単体の撮像セル 2 は、半導体デバイス 1 の 1 つの受光セル 1 0 c e ( フォトランジスタ ) と、I N <sub>2</sub> 端子の電圧によりオン / オフする読み出し用の M O S スイッチ 2 0 0 とを有する。撮像セル 2 は、光照射されている間、M O S スイッチ 2 0 0 をオフしておく、受光セル 1 0 c e のベース領域 1 2 に電荷が蓄積される。M O S スイッチ 2 0 0 をオンすることで、受光セル 1 0 c e が持つ電流増幅率で増幅された出力電流 ( 光電流 ) を M O S スイッチ 2 0 0 の O U T 端子から取り出すことができる。

40

## 【 0 0 8 5 】

照射される光強度が小さく、得られる出力電流が小さい場合には、I N <sub>1</sub> 端子 ( 受光セル 1 0 c e に隣接する電極 3 0 ) に電流増幅率が大きくなる電圧を印加し、出力電流を大

50

きくして光強度に対して感度を高くできる。逆に、光の強度が強くなり、出力電流が飽和する場合には、 $IN_1$  端子に電流増幅率が小さくなる電圧を印加し、光強度に対する感度を低下させて、光強度に応じた正確な出力電流を得ることができる。

【0086】

なお、MOSスイッチ200は、例えば、半導体デバイス1を構成する半導体基板10に、受光セル10ceに隣接して形成することができる。

【0087】

図13は、単体の撮像セルを2次元に配列した撮像装置を例示する図(その1)である。図13(a)は撮像装置3の回路構成を簡略化して例示するブロック図であり、図13(b)は撮像装置3における受光セル10ceとMOSスイッチ200の配置を例示する平面図である。

10

【0088】

撮像装置3では、一例として、撮像セル2が3行3列に配置されている。撮像装置3において、撮像セル2を構成するMOSスイッチ200は、行毎に共通の端子( $IN_{2-1} \sim IN_{2-3}$ )を備えている。又、撮像装置3は、 $IN_{3-1} \sim IN_{3-3}$  端子に入力される電圧に基づいて列を選択するMOSスイッチ210と、MOSスイッチ210の出力を増幅するセンスアンプ220とを備えている。

【0089】

撮像装置3では、MOSスイッチ200及び210を用いて一定周期で受光セル10ceの番地(何行何列)を選択する。そして、選択した受光セル10ceの出力電流をセンスアンプ220で増幅して $OUT_1$  端子 $\sim$  $OUT_3$  端子から出力し、データ処理することで、2次元の画像を得ることができる。

20

【0090】

撮像装置3では、電極30は共通にしており、 $IN_1$  端子(全受光セル10ceに共通の電極30)に入力する1つの信号で各撮像セル2の電流増幅率を制御するので、半導体デバイス1の全受光セル10ceの電流増幅率を一括で変化させることができる。

【0091】

これにより、画像全体の光強度が小さく、出力電流の最大信号レベルが小さい場合には、電流増幅率を大きくし、全体の出力信号を拡大することができる。又、光強度が大きすぎてセンスアンプ220から正確な出力信号が得られない場合や、出力信号が飽和してしまう場合には、電流増幅率を小さくすることで、出力信号を縮小し正確な出力信号へと変化させることができる。

30

【0092】

図14は、単体の撮像セルを2次元に配列した撮像装置を例示する図(その2)である。図14(a)は撮像装置4の回路構成を簡略化して例示するブロック図であり、図14(b)は撮像装置4における受光セル10ceとMOSスイッチ200の配置を例示する平面図である。図14に示す撮像装置4では、単体の撮像セル2毎に独立した電極30( $IN_{1-11}$  等)を設けている。

【0093】

これにより、各撮像セル2に対応するIN端子(各受光セル10ceに固有の電極30)に所定の電圧を印加することで、各撮像セル2の電流増幅率を独立に設定することができる。従って、画像の中で明るすぎる場所や暗すぎる場所などを検知してフィードバックすることで出力信号の補正を行い、平準化することで画像品質を向上することができる。又、特殊撮影のように、強調したい場所の画像のコントラストを変えることも可能となる。

40

【0094】

図15は、撮像装置の機能ブロックの一例を示す図である。図15の例では、例えば、電流増幅率を5倍に設定する電圧を発生する電圧発生器230と、電流増幅率を1/2倍に設定する電圧を発生する電圧発生器240とが、コンパレータ回路250の出力に基づいて適宜選択される。

50

## 【0095】

コンパレータ回路250は、多数の受光セル10c e (フォトトランジスタ) からセンスアンプ220を介して出力される出力信号の最大値を監視し、監視結果に基づいて電極30に印加する電圧を制御する回路である。なお、センスアンプ220を介して出力される出力信号は、光電流或いは光電流を変換した電圧である。コンパレータ回路250には、例えば、所定の光電流Dの1/10のレベルEと、所定の光電流Dに達するレベルDが閾値として予め設定されている。

## 【0096】

例えば、初期状態では受光セル10c eの電流増幅率が2倍に設定されているとする。この場合、センスアンプ220からの出力信号がレベルEより低い場合には、コンパレータ回路250の出力により電圧発生器230が選択され、電圧発生器230の発生する電圧に基づいて受光セル10c eの電流増幅率が5倍になる。

10

## 【0097】

又、センスアンプ220からの出力信号がレベルDより高い場合には、コンパレータ回路250の出力により電圧発生器240が選択され、電圧発生器240の発生する電圧に基づいて受光セル10c eの電流増幅率が1/2倍になる。又、センスアンプ220からの出力信号がレベルE以上レベルD以下の場合には、電圧発生器230及び240の何れも選択されず、電流増幅率が2倍となる。

## 【0098】

これにより、大きく異なる光強度を扱う場合であっても、センスアンプ220からの出力信号を、おおよそ一定の範囲内に収めることができる。なお、図15の例では、コンパレータ回路250の閾値と、電圧発生器(電圧発生器230及び240)の設定電圧を2種類としたが、閾値及び設定電圧を3種類以上に細分化することにより、更に詳細な補正が可能となる。

20

## 【0099】

なお、第2の実施形態に係る撮像装置3及び4では、第1の実施の形態に係る半導体デバイス1を用いているため、暗電流の増加を抑制することができる。

## 【0100】

以上、好ましい実施の形態について詳説したが、上述した実施の形態に制限されることはなく、特許請求の範囲に記載された範囲を逸脱することなく、上述した実施の形態に種々の変形及び置換を加えることができる。

30

## 【0101】

例えば、第1の実施の形態において、電極30で区画された各受光セルのエミッタ領域11を電氣的に接続して共通にし、半導体デバイス1を大面積の単一のフォトトランジスタとしてもよい。この場合にも、第1の実施の形態と同様の効果を奏する。

## 【0102】

又、第1の実施の形態の変形例2や3において、第1の実施の形態の変形例1と同様にエミッタ領域11の直下以外の位置に高不純物濃度領域を設けてもよい。

## 【0103】

又、第2の実施の形態において、半導体デバイス1に代えて、第1の実施の形態の変形例1~3に係る半導体デバイス1A~1Eの何れかを用いてもよい。

40

## 【0104】

又、エミッタ領域11、ベース領域12、コレクタ領域13、高不純物濃度領域15等の導電型は、各実施の形態に例示したものと反対であってもよい。

## 【符号の説明】

## 【0105】

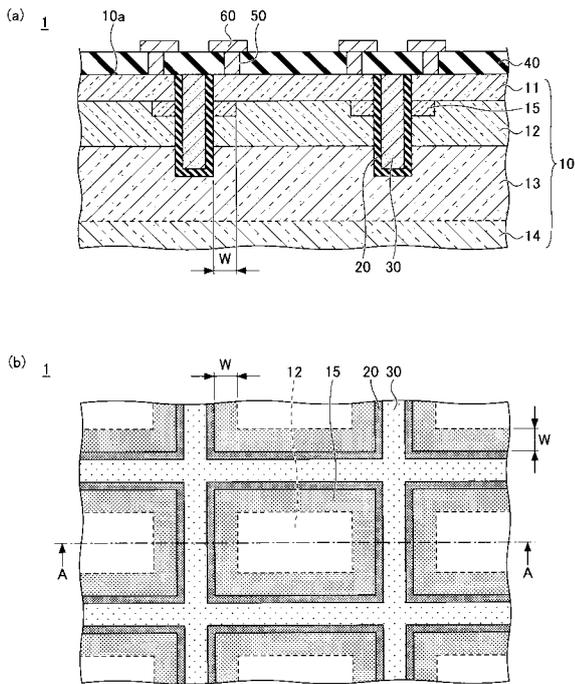
- 1、1A、1B、1C、1D、1E 半導体デバイス
- 2 撮像セル
- 3、4 撮像装置
- 10、10A、10B、10C、10D、10E 半導体基板

50

1 0 a	半導体基板の表面	
1 0 c e	受光セル	
1 1	エミッタ領域	
1 2	ベース領域	
1 3	コレクタ領域	
1 4	低抵抗領域	
1 5、1 5 A、1 5 B、1 5 C	高不純物濃度領域	
1 6	オーミック領域	
1 7	高濃度ベース領域	
1 8	BOX酸化膜	10
2 0	絶縁膜	
3 0	電極	
4 0	層間絶縁膜	
5 0	コンタクト	
6 0、7 0	金属電極	
9 0	寄生MOSトランジスタ	
1 1 0	N型不純物	
1 2 0、1 5 0	P型不純物	
1 9 0	エピタキシャル層	
2 0 0、2 1 0	MOSスイッチ	20
2 2 0	センスアンプ	
2 3 0、2 4 0	電圧発生器	
2 5 0	コンパレータ回路	
3 0 0	溝	
【先行技術文献】		
【特許文献】		
【0106】		
【特許文献1】特開2013-187527号公報		

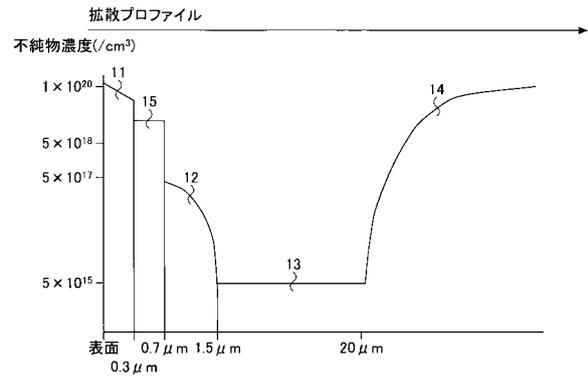
【 図 1 】

第1の実施の形態に係る半導体デバイスの主要な部分を例示する図



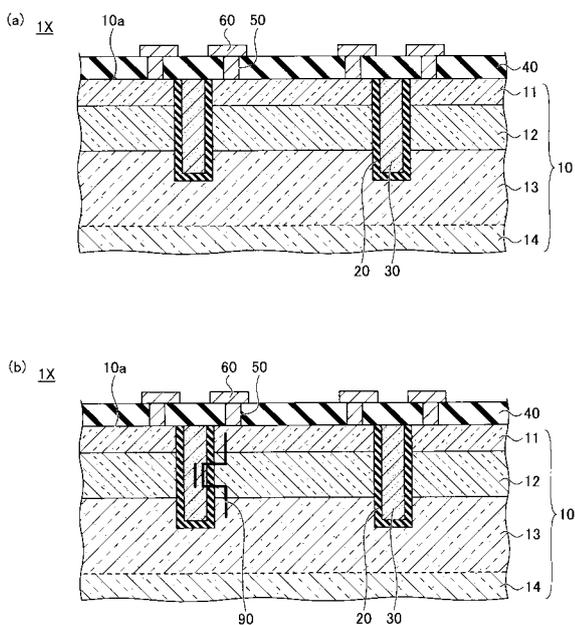
【 図 2 】

第1の実施の形態に係る半導体デバイスの拡散プロファイルを示す図



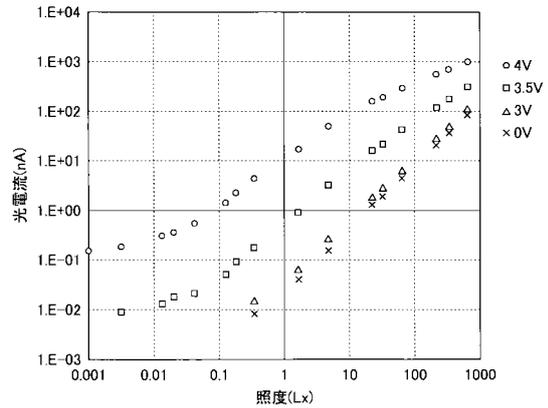
【 図 3 】

比較例に係る半導体デバイスを例示する図



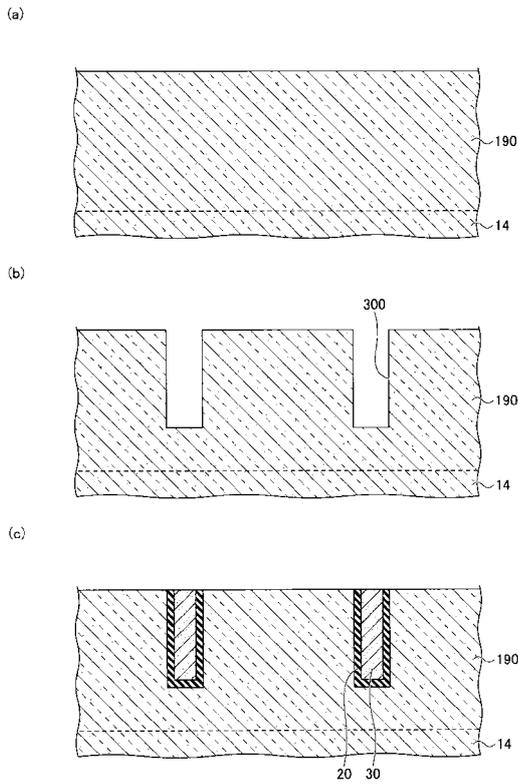
【 図 5 】

電極への印加電圧により電流増幅率が変化するを示す図



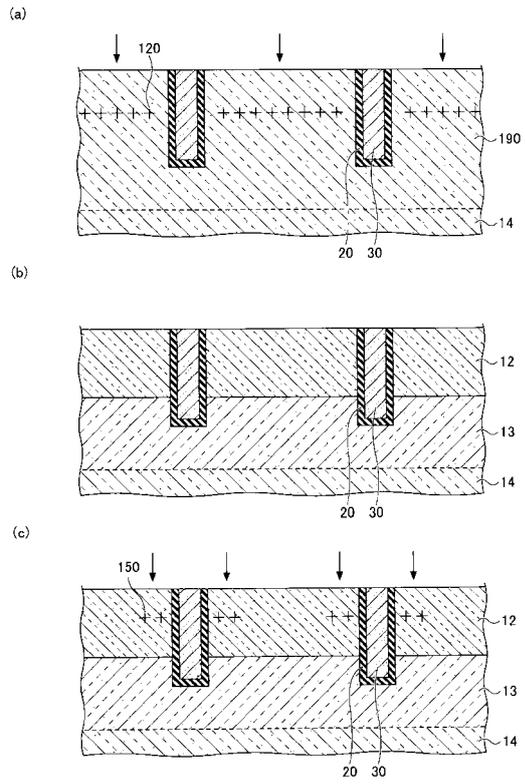
【 図 6 】

第1の実施の形態に係る半導体デバイスの製造工程を例示する図(その1)



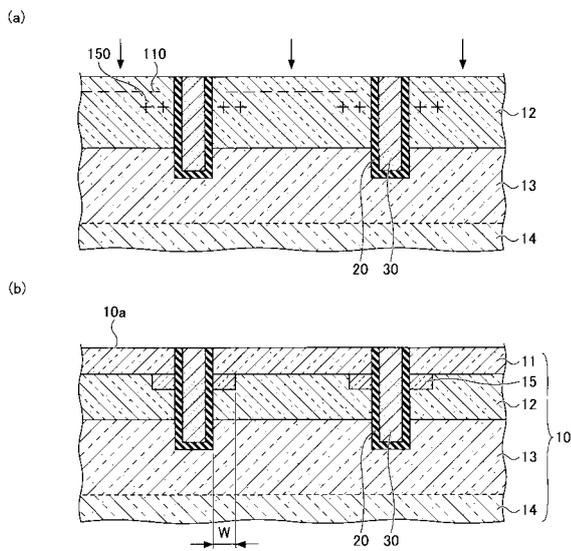
【 図 7 】

第1の実施の形態に係る半導体デバイスの製造工程を例示する図(その2)



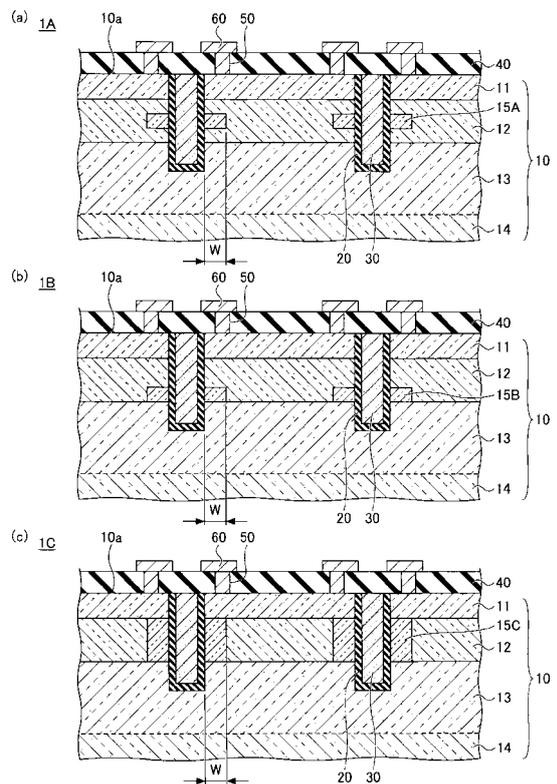
【 図 8 】

第1の実施の形態に係る半導体デバイスの製造工程を例示する図(その3)



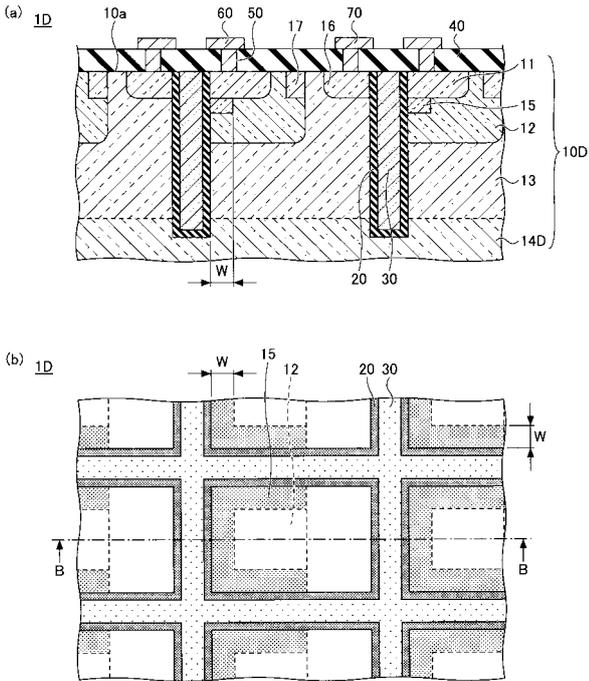
【 図 9 】

第1の実施の形態の変形例1に係る半導体デバイスの主要な部分を例示する図



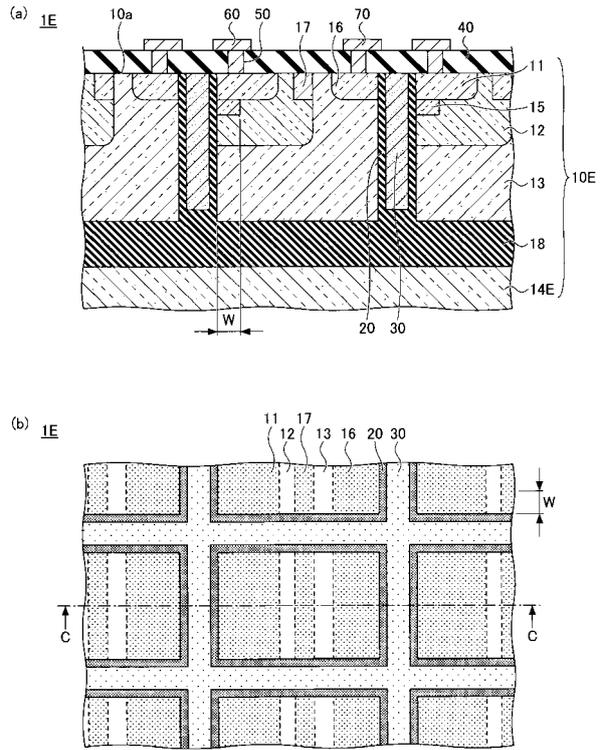
【 図 1 0 】

第1の実施の形態の変形例2に係る  
半導体デバイスの主要な部分を例示する図



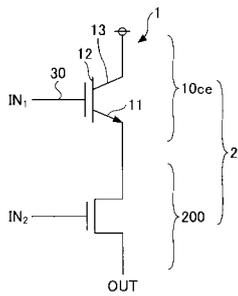
【 図 1 1 】

第1の実施の形態の変形例3に係る  
半導体デバイスの主要な部分を例示する図



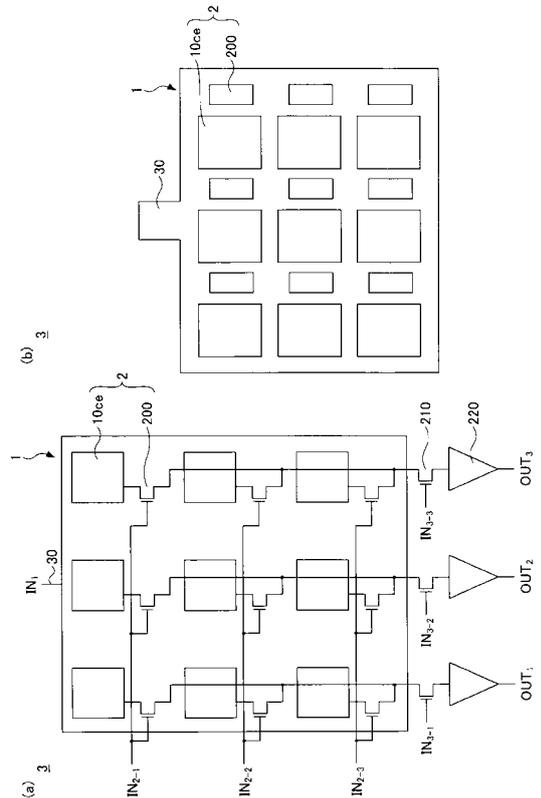
【 図 1 2 】

単体の撮像セルの回路構成を例示する図



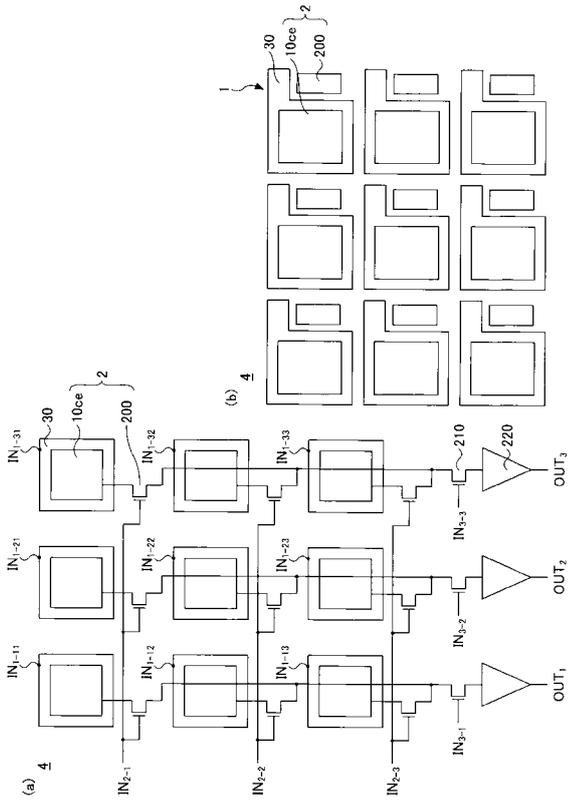
【 図 1 3 】

単体の撮像セルを2次元に配列した撮像装置を例示する図(その1)



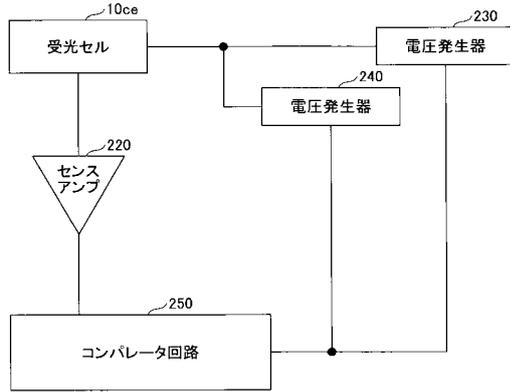
【 図 1 4 】

単体の撮像セルを2次元に配列した撮像装置を例示する図(その2)



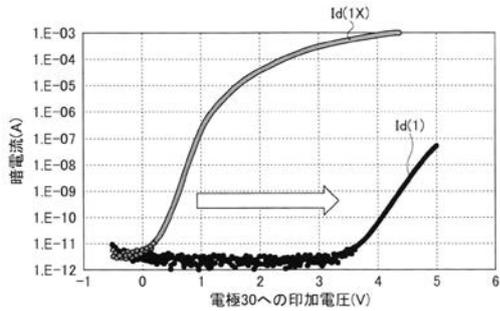
【 図 1 5 】

撮像装置の機能ブロックの一例を示す図



【 図 4 】

高不純物濃度領域を設けることにより閾値がシフトすることを示す図



---

フロントページの続き

(72)発明者 桜野 勝之  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 中谷 寧一  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 米田 和洋  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

(72)発明者 愛須 克彦  
東京都大田区中馬込 1 丁目 3 番 6 号 株式会社リコー内

Fターム(参考) 4M118 AB01 BA14 CA09 CA18 EA01 EA14 FA06 FA33  
5F049 MA12 MB02 NA05 NB03 NB05 QA10 RA00 RA01 RA02 SS03