

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-141001
(P2020-141001A)

(43) 公開日 令和2年9月3日(2020.9.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/02 (2006.01)	HO 1 L 21/02 C	4 K O 2 4
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F O 3 3
HO 1 L 21/768 (2006.01)	C 2 5 D 17/06 C	
HO 1 L 23/522 (2006.01)	C 2 5 D 7/12	
C 2 5 D 17/06 (2006.01)	C 2 5 D 5/02 E	

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願2019-33978 (P2019-33978)
(22) 出願日 平成31年2月27日 (2019.2.27)

(71) 出願人 318010018
キオクシア株式会社
東京都港区芝浦三丁目1番21号
(74) 代理人 110002147
特許業務法人酒井国際特許事務所
(72) 発明者 村野 仁彦
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
(72) 発明者 庄子 史人
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
(72) 発明者 右田 達夫
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

最終頁に続く

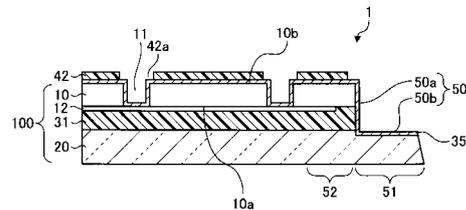
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】めっき処理時に、半導体装置の被処理面の周縁部に電極が押し付けられても、半導体装置でのクラック発生を抑制することができる半導体装置を提供する。

【解決手段】実施形態によれば、半導体装置は、構造体と、段差構造と、シード層と、を備える。前記構造体は、第1面に半導体素子及び配線層を含むデバイス層を有し、前記第1面の反対側の面である第2面から前記デバイス層に到達する貫通孔が形成された第1基板と、前記第1面に対向する第2基板と、前記第1基板と前記第2基板との間に設けられ前記第1基板と前記第2基板とを貼り合わせる接着層と、を含む。前記段差構造は、前記構造体の外周に沿う周縁部で前記第1基板が除去され、平坦部を有する。前記シード層は、前記第1基板が配置される側の前記構造体を覆うように設けられる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 面に半導体素子及び配線層を含むデバイス層を有し、前記第 1 面の反対側の面である第 2 面から前記デバイス層に到達する貫通孔が形成された第 1 基板と、前記第 1 面に対向する第 2 基板と、前記第 1 基板と前記第 2 基板との間に設けられ前記第 1 基板と前記第 2 基板とを貼り合わせる接着層と、を含む構造体と、

前記構造体の外周に沿う周縁部で前記第 1 基板が除去され、平坦部を有する段差構造と

、前記第 1 基板が配置される側の前記構造体を覆うように設けられる導電性のシード層と

を備える半導体装置。

10

【請求項 2】

前記平坦部は前記第 2 基板に形成されている請求項 1 に記載の半導体装置。

【請求項 3】

前記平坦部は前記接着層に形成されている請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 基板の前記第 2 面に形成されたレジストパターンをさらに備え、

前記レジストパターンは、周縁部に電極と、前記電極を覆うシール部材と、を有するめっき装置の基板保持部の前記シール部材の接触部となり、

前記平坦部は、前記電極の接触部となる

請求項 2 に記載の半導体装置。

20

【請求項 5】

前記平坦部は、周縁部に電極と、前記電極を覆うシール部材と、を有するめっき装置の基板保持部の前記電極および前記シール部材の接触部となる請求項 2 または 3 に記載の半導体装置。

【請求項 6】

前記第 2 面と、前記平坦部と、に形成されたレジストパターンをさらに備え、

前記平坦部上の前記シード層は、前記電極と接触する電極接触領域となり、

前記平坦部上の前記レジストパターンは、前記シール部材と接触するシール接触領域となる請求項 5 に記載の半導体装置。

30

【請求項 7】

前記第 1 基板の厚さは、30 μm 未満である請求項 5 または 6 に記載の半導体装置。

【請求項 8】

第 1 基板の第 1 面に半導体素子及び配線層を含むデバイス層を形成し、

前記第 1 面側に第 2 基板が設けられるように接着層を介して貼り合わせて構造体を形成し、

前記第 1 基板が所定の厚さとなるまで、前記第 1 面に対向する第 2 面側から前記第 1 基板を研磨し

前記第 2 面側から前記デバイス層に到達する貫通孔を形成し、

前記構造体の外周に沿う周縁部の前記第 1 基板を除去して平坦部を含む段差構造を形成し、

40

前記構造体の前記第 1 基板が配置される面上に、導電性のシード層を形成し、

第 2 面にレジストパターンを形成し、

めっき装置の基板保持部の周縁部に配置される電極を前記平坦部に接触させ、前記電極を覆うシール部材を前記レジストパターン上に接触させて、めっき処理を実行する半導体装置の製造方法。

【請求項 9】

第 1 基板の第 1 面に半導体素子及び配線層を含むデバイス層を形成し、

前記第 1 面側に第 2 基板が設けられるように接着層を介して貼り合わせて構造体を形成し、

50

前記第 1 基板が所定の厚さとなるまで、前記第 1 面に対向する第 2 面側から前記第 1 基板を研磨し

前記第 2 面側から前記デバイス層に到達する貫通孔を形成し、

前記構造体の外周に沿う周縁部の前記第 1 基板を除去して平坦部を含む段差構造を形成し、

前記構造体の前記第 1 基板が配置される面上に、導電性のシード層を形成し、

前記第 2 面と、前記平坦部と、にレジストパターンを形成し、

めっき装置の基板保持部の周縁部に配置される電極と、前記電極を覆うシール部材と、を前記平坦部に接触させて、めっき処理を実行する半導体装置の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明の実施形態は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

ウェハの被処理面の周縁部をマスク部材で覆い、マスク部材の内側で電極をウェハの被処理面に押し付け、ウェハの被処理面を下方に向けた状態で、めっき処理を行うフェイスダウン方式の噴流めっき装置が知られている。

【0003】

しかしながら、従来技術では、ウェハの厚さが薄くなると、被処理面の周縁部での電極の押し付けによって、ウェハにクラックが発生する虞がある。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2002 - 249899 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一つの実施形態は、めっき処理時に、半導体装置の被処理面の周縁部に電極が押し付けられても、半導体装置でのクラック発生を抑制することができる半導体装置および半導体装置の製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【0006】

本発明の一つの実施形態によれば、半導体装置は、構造体と、段差構造と、シード層と、を備える。前記構造体は、第 1 面に半導体素子及び配線層を含むデバイス層を有し、前記第 1 面の反対側の面である第 2 面から前記デバイス層に到達する貫通孔が形成された第 1 基板と、前記第 1 面に対向する第 2 基板と、前記第 1 基板と前記第 2 基板との間に設けられ前記第 1 基板と前記第 2 基板とを貼り合わせる接着層と、を含む。前記段差構造は、前記構造体の外周に沿う周縁部で前記第 1 基板が除去され、平坦部を有する。前記シード層は、前記第 1 基板が配置される側の前記構造体を覆うように設けられる。

40

【図面の簡単な説明】

【0007】

【図 1】図 1 は、第 1 の実施形態による半導体装置の周縁部分の構成の一例を模式的に示す一部断面図である。

【図 2】図 2 は、めっき装置の構成の一例を模式的に示す図である。

【図 3 - 1】図 3 - 1 は、第 1 の実施形態による半導体装置の製造方法の手順の一例を示す一部断面図である。

【図 3 - 2】図 3 - 2 は、第 1 の実施形態による半導体装置の製造方法の手順の一例を示す一部断面図である。

【図 3 - 3】図 3 - 3 は、第 1 の実施形態による半導体装置の製造方法の手順の一例を示

50

す一部断面図である。

【図3-4】図3-4は、第1の実施形態による半導体装置の製造方法の手順の一例を示す一部断面図である。これらの図では、半導体装置の周縁部分のみを図示している。

【図4】図4は、半導体基板がさらに薄くなった場合のめっき処理の様子を模式的に示す一部断面図である。

【図5】図5は、第2の実施形態による半導体装置の構成の一例を模式的に示す一部断面図である。

【図6】図6は、第3の実施形態による半導体装置の構成の一例を模式的に示す一部断面図である。

【発明を実施するための形態】

10

【0008】

以下に添付図面を参照して、実施形態にかかる半導体装置および半導体装置の製造方法を詳細に説明する。なお、これらの実施形態により本発明が限定されるものではない。また、以下の実施形態で用いられる半導体装置の断面図は模式的なものであり、層の厚みと幅との関係や各層の厚みの比率などは現実のものとは異なる場合がある。さらに、以下で示す膜厚は一例であり、これに限定されるものではない。

【0009】

(第1の実施形態)

図1は、第1の実施形態による半導体装置の周縁部分の構成の一例を模式的に示す一部断面図である。半導体装置1は、第1基板である処理対象の半導体基板10と、第2基板である支持基板20と、が貼り合わされた構成を有する。半導体基板10の第1面10aには、電界効果型トランジスタ、抵抗素子、記憶素子等の様々な半導体素子、および複数の配線層を含むデバイス層12が配置されている。半導体基板10は、第1面10aの反対側の面である第2面10bからデバイス層12に到達する貫通孔11が形成されている。例えば、貫通孔11の孔底には配線層(図示しない)が露出している。半導体基板10は、デバイス層12が形成される前に比して、研削されて厚さが薄くなっている。半導体基板10の厚さは、 $30\mu\text{m}$ ~ $100\mu\text{m}$ である。支持基板20は、めっき処理時に半導体基板10が割れないように強度を高めるために、半導体基板10を支持する。半導体基板10および支持基板20は、例えばシリコン基板である。

20

【0010】

半導体基板10と支持基板20とは、半導体基板10の周縁部で接着層31を介して貼り合わされる。なお、接着層31は、半導体基板10の周縁部に設けられ、周縁部以外の図示しない領域には剥離層が設けられている。接着層31は、支持基板20の外周から所定の範囲内、例えば数mmの範囲内に設けられる。接着層31は、例えば紫外光を照射したときに半導体基板10および支持基板20から剥がれる樹脂材料を含む。接着層31には、例えばウレタン系樹脂またはエポキシ樹脂などが用いられる。剥離層は、接着機能を有さない樹脂材料を含む。接着層31および剥離層は、例えば数十 μm の厚さとされる。

30

【0011】

構造体100は、半導体基板10及び支持基板20が接着層31によって貼り合わされた構造である。すなわち、構造体100は、半導体基板10、支持基板20、及び、接着層31を含む。半導体基板10と支持基板20とは接着層31により接着されている。構造体100の周縁部には、半導体基板10および接着層31と、支持基板20の一部と、が除去された段差構造50が設けられている。段差構造50は、支持基板20の表面に垂直な方向に沿って形成された面である段差部50aと、支持基板20の表面に沿って形成された面である平坦部50bとを有する。段差構造50の平坦部50bは、支持基板20に含まれる。この平坦部50bが電極接触領域51となる。電極接触領域51は、フェイスタウン方式の噴流めっき処理の際に電極が押し当てられる部分である。なお、段差構造50は、接着層31が設けられる範囲に配置される。

40

【0012】

周縁部に段差構造50を有する構造体100の上面には、めっき処理時の電極層となる

50

シード層 35 が設けられる。シード層 35 は、導電性材料を含む。シード層 35 は、例えば、Cu 膜である。また、Cu 膜の半導体基板 10 中への拡散を抑制するために、シード層 35 は、Ti 膜などのバリアメタル膜を有していてもよい。シード層 35 は、支持基板 20 の段差構造 50 の平坦部 50b、段差部 50a、半導体基板 10 の上面および半導体基板 10 に設けられる貫通孔 11 の内面および孔底を覆うように設けられる。

【0013】

シード層 35 は構造体 100 の全面を覆っていてもよい。あるいは構造体 100 の一部にシード層 35 に覆われていない部分があってもよい。

【0014】

シード層 35 が設けられた半導体基板 10 の上面の所定の位置には、レジストパターン 42 が設けられる。レジストパターン 42 は、半導体基板 10 の貫通孔 11 の位置に対応した開口部 42a を有する。開口部 42a は、パンプの形成位置に対応している。開口部 42a の開口径は、貫通孔 11 の開口径よりも大きくなっている。

10

【0015】

ここで、電極接触領域 51 に隣接する半導体基板 10 の上面の周縁部が、めっき処理時のシール部材 222 が接触されるシール接触領域 52 となる。

【0016】

このように、第 1 の実施形態による半導体装置 1 では、めっき処理時に電極が押し当てられる電極接触領域 51 を半導体基板 10 ではなく、支持基板 20 に設けたので、めっき処理時に電極が半導体基板 10 に押し当てられないことがない。

20

【0017】

ここで、半導体装置 1 のめっき処理に使用されるフェイスダウン方式の噴流めっき装置の構成について説明する。図 2 は、めっき装置の構成の一例を模式的に示す図である。めっき装置 200 は、めっき液 210 を貯留し、めっき処理が実行されるめっき槽 201 と、めっき槽 201 の上部に実施形態による半導体装置 1 を保持する基板保持部 202 と、を有する。基板保持部 202 は、半導体装置 1 の被処理面（めっき面）を下向きにして半導体装置 1 を保持する。図 1 の例では、シード層 35 が形成されている面を下向きにして半導体装置 1 が保持される。

【0018】

めっき装置 200 は、めっき液 210 を貯留するめっき液貯留槽 203 と、めっき液貯留槽 203 内のめっき液 210 をめっき槽 201 の下部へと供給するポンプ 204 と、ポンプ 204 で供給されるめっき液 210 中の異物を除去するフィルタ 205 と、めっき液貯留槽 203、ポンプ 204、フィルタ 205 およびめっき槽 201 とを接続する配管 206 と、を有する。

30

【0019】

めっき装置 200 は、めっき槽 201 の外側に配置され、めっき槽 201 からオーバーフローしためっき液 210 を回収する回収槽 207 を備える。回収槽 207 の底部には、排出口 207a が設けられる。排出口 207a は、めっき液貯留槽 203 と配管 206 によって接続される。

【0020】

基板保持部 202 は、電極 221 と、シール部材 222 と、を有する。電極 221 は、半導体装置 1 の周縁部に沿って複数設けられる。シール部材 222 は、電極 221 が接触される半導体装置 1 の周縁部を覆うように設けられる。つまり、基板保持部 202 に半導体装置 1 を保持させると、図 1 のシール接触領域 52 と電極接触領域 51 とが覆われ、その他の領域が露出した状態となる。また、電極 221 は、シール部材 222 で覆われているため、めっき液 210 と接触することがない。電極 221 は半導体装置 1 の周縁部と複数点で接触する。

40

【0021】

めっき装置 200 は、めっき槽 201 の内の底部に設けられる Cu からなる電極 231 と、電源 232 と、を有する。電源 232 は、配線によって、めっき槽 201 の底部に設

50

けられる電極 231 と、基板保持部 202 に設けられる電極 221 と、に接続される。電極 231 は、電源 232 の正極と接続され、基板保持部 202 の電極 221 は、電源 232 の負極と接続される。つまり、電極 231 はアノードとなり、電極 221 は、カソードとなる。

【0022】

めっき槽 201 内には、アノードメンブレン 211 が設けられる。アノードメンブレン 211 は、めっき槽 201 内で、カソード側のめっき液 210a と、アノード側のめっき液 210b と、を仕切るイオン交換可能なフィルタである。また、めっき槽 201 のカソード側のめっき液 201a が存在する側には、めっき液 210 の整流および清浄化を行うめっき液拡散フィルタ 212 が設けられる。

10

【0023】

このようなめっき装置 200 では、基板保持部 202 に半導体装置 1 を保持させ、半導体装置 1 がめっき槽 201 のめっき液 210 に接触するように配置した状態で、ポンプ 204 によってめっき液貯留槽 203 内のめっき液 210 を、フィルタ 205 を介してめっき槽 201 の底部から噴出させる。このとき、電源 232 から電極 231 と電極 221 (半導体装置 1 のシード層 35) との間に所定の電圧を印加することによって、電極 231 と半導体装置 1 のシード層 35 との間にめっき電流が流れ、めっき液 210 と接触しているシード層 35 上にめっき膜が形成される。

【0024】

つぎに、半導体装置 1 の製造方法について説明する。図 3 - 1 ~ 図 3 - 4 は、第 1 の実施形態による半導体装置の製造方法の手順の一例を示す一部断面図である。これらの図では、半導体装置の周縁部分のみを図示している。

20

【0025】

まず、図 3 - 1 (a) に示されるように、半導体基板 10 の第 1 面 10a と、支持基板 20 と、を、接着層 31 を介して貼り合わせた構造体 100 を形成する。半導体基板 10 の第 1 面 10a には、図示しないが素子および配線層を含むデバイス層 12 が配置されている。なお、接着層 31 は、半導体基板 10 および支持基板 20 の周縁部に設けられ、その他の部分には図示しない剥離層が設けられる。半導体基板 10 は、まだ研削処理がなされておらず、100 μm よりも厚い厚さを有する。支持基板 20 は、めっき処理中の電極の押し当てによってクラックが入らない厚さを有すればよく、例えば 700 μm である。接着層 31 は、例えば数十 μm の厚さを有する。支持基板 20 として、シリコン基板などを用いることができる。

30

【0026】

ついで、図 3 - 1 (b) に示されるように、半導体基板 10 の厚さが 30 ~ 100 μm となるように、第 1 面 10a に対向する第 2 面 10b 側から研磨装置などによって半導体基板 10 が研磨される。

【0027】

その後、図 3 - 2 (c) に示されるように、構造体 100 の周縁部を、機械研磨などの方法によって、半導体基板 10 の第 2 面 10b 側から研削し、段差構造 50 を形成する。ここでは、周縁部において、半導体基板 10 と接着層 31 とを完全に除去し、支持基板 20 の上部が一部除去される。これによって、構造体 100 の周縁部では、支持基板 20 が露出し、周縁部よりも内側では半導体基板 10 が露出する。段差構造 50 の平坦部 50b は、電極接触領域 51 となり、電極接触領域 51 に隣接する半導体基板 10 上の領域がシール接触領域 52 となる。

40

【0028】

ついで、構造体 100 の半導体基板 10 が配置される側の上面にレジストを塗布し、露光処理および現像処理を行って、貫通孔 11 の形成位置が開口したレジストパターン 41 を形成する。その後、図 3 - 2 (d) に示されるように、レジストパターン 41 をマスクとして、R I E (Reactive Ion Etching) 法などの異方性エッチングによって、基板 10 の第 1 面 10a に配置されたデバイス層 12 に到達するまで半導体基板 10 をエッチン

50

グする。これによって、レジストパターンの開口の位置に対応して、半導体基板 10 に貫通孔 11 が形成される。貫通孔 11 の孔底には配線層（図示しない）が露出している。

【0029】

レジストパターン 41 を除去した後、図 3 - 3 (e) に示されるように、構造体 100 の半導体基板 10 が配置される側の上面に、シード層 35 を形成する。シード層 35 は、段差構造 50 の段差部 50 a、および貫通孔 11 内の側面を覆うことができるスパッタ法などの成膜法によって形成される。例えば、数百 nm の厚さの Ti からなるバリアメタル膜と、600 nm の厚さの Cu 膜と、を積層させることによって、シード層 35 が形成される。

【0030】

その後、図 3 - 3 (f) に示されるように、構造体 100 の半導体基板 10 が配置される側の上面に、レジストを塗布し、露光処理および現像処理を行って、バンプの形成位置が開口したレジストパターン 42 を形成する。バンプの形成位置は、貫通孔 11 の形成位置と重なる。レジストパターン 42 の開口部 42 a の径は、貫通孔 11 の開口径に比して大きくされる。また、レジストパターン 42 は段差構造 50 の平坦部 50 b 上には形成されない。これによって、半導体基板 10 の電極膜を形成したい位置と、段差構造 50 の部分と、で、シード層 35 が露出する。

【0031】

ついで、図 3 - 4 (g) に示されるように、めっき装置 200 の基板保持部 202 に構造体 100 を保持させる。これによって、基板保持部 202 の電極 221 は、電極接触領域 51 でシード層 35 と接触し、シール部材 222 は、シール接触領域 52 でレジストパターン 42 と接触し、電極 221 を覆う。図から明らかなように、電極接触領域 51 には、半導体基板 10 は存在しないので、電極 221 による押さえつけで半導体基板 10 にクラックが入ることはない。また、半導体基板 10 の厚さは、30 μm 以上であるので、レジストパターン 42 を介してシール部材 222 と接触する部分でも、半導体基板 10 にクラックが入る可能性は極めて小さい。

【0032】

半導体基板 10 を図 2 のめっき槽 210 内のめっき液 210 に接触させた状態で、めっき装置 200 によってめっき処理を行う。図 2 で、電源 232 によって基板保持部 202 の電極 221 およびめっき槽 201 の底部に設けられる電極 231 との間に電圧が印加されると、めっき液 210 内でシード層 35 が露出した領域で電極膜が形成される。すなわち、電極膜は、貫通孔 11 内および開口部 42 a 内を埋めるように形成される。

【0033】

図 3 - 4 (h) に示すように、めっき処理が終了した後、溶解、アッシング等によりレジストを削除する。これによって、半導体基板 10 の貫通孔 11 内には、貫通配線 431 が形成され、半導体基板 10 の第 2 面側には、貫通配線 431 と一体的に形成されたパッド 432 が形成される。そして、レジストパターン 42 を除去することによって、第 1 の実施形態による半導体装置 1 が得られる。

【0034】

第 1 の実施形態では、30 ~ 100 μm の厚さの半導体基板 10 を支持基板 20 と接着層 31 を介して貼り合せた構造体 100 の周縁部で、半導体基板 10 および接着層 31 と、支持基板 20 の一部と、を除去した段差構造 50 を設け、段差構造 50 の平坦部 50 b を電極接触領域 51 とした。めっき処理時に、電極接触領域 51 に電極 221 を押し当て、電極接触領域 51 よりも内側の半導体基板 10 上に設けられたレジストパターン 42 にシール部材 222 を接触させた。これによって、基板保持部 202 の電極 221 が半導体基板 10 と接触しないので、めっき処理時に、半導体基板 10 にクラックが入ることを防ぐことができる。これによって、薄くされた半導体基板 10 の破損が防止される。

【0035】

(第 2 の実施形態)

図 4 は、半導体基板がさらに薄くなった場合のめっき処理の様子を模式的に示す一部断

10

20

30

40

50

面図である。なお、第1の実施形態で説明したものと同一の構成要素には同一の符号を付してその説明を省略する。図4は、半導体装置をめっき装置200の基板保持部202に保持させて、めっき処理を行っている状態を模式的に示している。なお、ここでは、半導体基板10の厚さが、第1の実施形態の場合よりもさらに薄く、 $30\mu\text{m}$ 未満である場合を示している。半導体基板10の厚さが $30\mu\text{m}$ を下回ると、シール部材222との接触位置に対応する半導体基板10の位置にクラック60が発生してしまう可能性が高くなる。そこで、第2の実施形態では、シール接触領域52での半導体基板10へのクラック60の発生を抑制する半導体装置1について説明する。

【0036】

図5は、第2の実施形態による半導体装置の構成の一例を模式的に示す一部断面図である。ここでは、半導体装置1をめっき装置200の基板保持部202に保持させた状態を示している。図5に示されるように、段差構造50の平坦部50bの径方向の長さが第1の実施形態の場合よりも長い。そして、この平坦部50bで、基板保持部202の電極221およびシール部材222が接触する構造となる。つまり、平坦部50bに、電極接触領域51とシール接触領域52とが設けられる。

10

【0037】

平坦部50bにシール接触領域52を設けるようにしたので、半導体基板10上から、平坦部50bのシール接触領域52までの領域がレジストパターン42で覆われることになる。平坦部50b内のレジストパターン42で覆われた領域がシール接触領域52となる。

20

【0038】

半導体基板10の厚さは、上記したように第1の実施形態の場合よりも薄く、 $0\mu\text{m}$ よりも厚く、 $30\mu\text{m}$ 未満となる。なお、第1の実施形態と同一の構成要素には、同一の符号を付して、その説明を省略する。また、このような半導体装置1の製造方法も、第1の実施形態で説明したものと同様であるので、その説明を省略する。

【0039】

メッキ処理の際には、電極221は、平坦部50bの電極接触領域51上に配置され、シール部材222は、平坦部50bのシール接触領域52上に配置される。つまり、電極221およびシール部材222は、半導体基板10上には配置されないため、電極221およびシール部材222が半導体装置1を押し付けても、半導体基板10にクラックが発生してしまうことを抑制することができる。

30

【0040】

第2の実施形態では、 $30\mu\text{m}$ 未満の厚さの半導体基板10を支持基板20と接着層31を介して貼り合せた構造体100の周縁部で、半導体基板10および接着層31と、支持基板20の一部と、を除去した段差構造50を設けた。めっき処理時に、平坦部に電極およびシール部材222を押し当てた。これによって、基板保持部202の電極221およびシール部材222が半導体基板10と接触しないので、めっき処理時に、半導体基板10にクラックが入ることを防ぐことができる。その結果、薄くされた半導体基板10の破損が防止される。

【0041】

40

(第3の実施形態)

図6は、第3の実施形態による半導体装置の構成の一例を模式的に示す一部断面図である。ここでは、半導体装置1をめっき装置200の基板保持部202に保持した状態を示している。第3の実施形態では、半導体装置1の周縁部で、半導体基板10を除去し、接着層31の一部を除去して段差構造50を構成している。つまり、平坦部50bは、接着層31に含まれる。このような構成によっても、めっき装置200の基板保持部202の電極221およびシール部材222が半導体基板10に接触することがないので、電極221およびシール部材222の押し付けによって、半導体基板10にクラックが発生することがない。なお、第1および第2の実施形態で説明したものと同一の構成要素には、同一の符号を付してその説明を省略する。また、第3の実施形態を第1の実施形態に適用し

50

てもよい。

【0042】

第3の実施形態では、段差構造50の段差部50aの高さを、第2の実施形態に比して小さくした。これによって、シード層35の段差およびレジストパターン42の段差が小さくなり、シード層35またはレジストパターン42の段差部50aでの段切れの発生を第2の実施形態の場合に比して抑制することができる。つまり、段差構造50でシード層35およびレジストパターン42のカバレッジ性に優れた構造を提供することができるという効果を第2の実施形態の効果に加えて得ることができる。

【0043】

また、第1および第2の実施形態による半導体装置1では、貫通配線およびパッドを形成した後、例えば接着層31に紫外線を当てて半導体基板10が支持基板20から剥される。第1および第2の実施形態では、段差構造50の形成によって周縁部が研削されているので、支持基板20は廃棄される。一方、第3の実施形態による半導体装置1では、支持基板20は段差構造50の形成の際に研削されていないので、支持基板20を使い回すことができ、半導体装置1の製造コストを低減させることもできる。

10

【0044】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

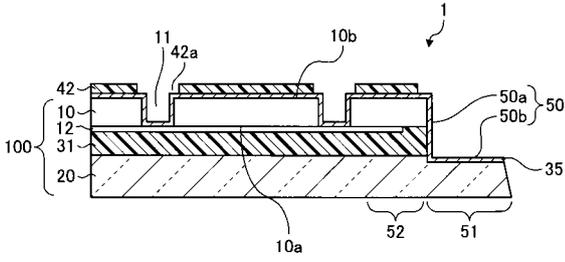
20

【符号の説明】

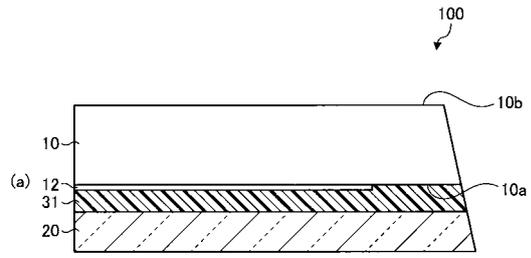
【0045】

1 半導体装置、10 半導体基板、10a 第1面、10b 第2面、11 貫通孔、20 支持基板、31 接着層、35 シード層、41, 42 レジストパターン、42a 開口部、50 段差構造、50a 段差部、50b 平坦部、51 電極接触領域、52 シール接触領域、100 構造体、221 電極、222 シール部材、431 貫通配線、432 パッド。

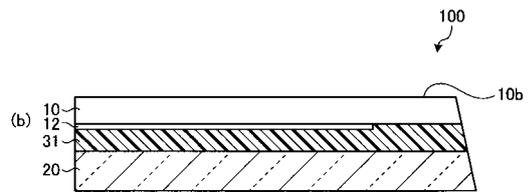
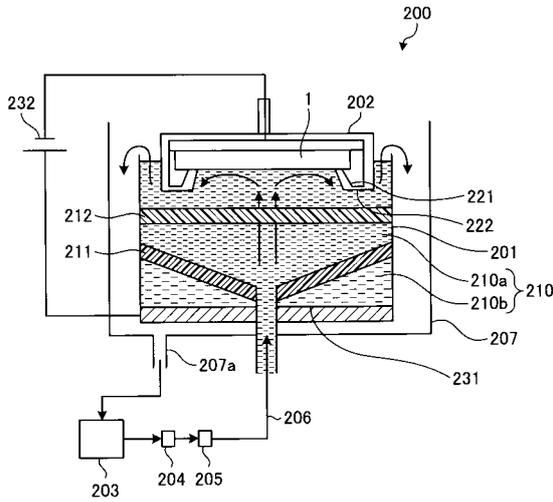
【 図 1 】



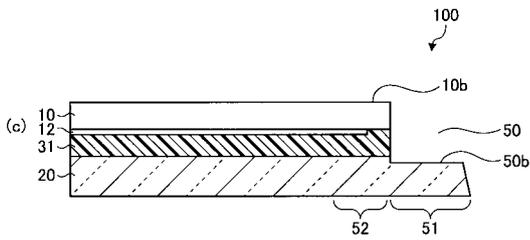
【 図 3 - 1 】



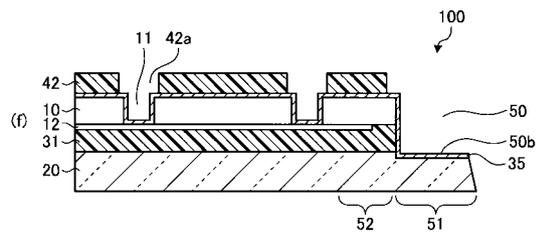
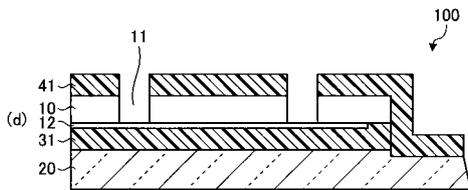
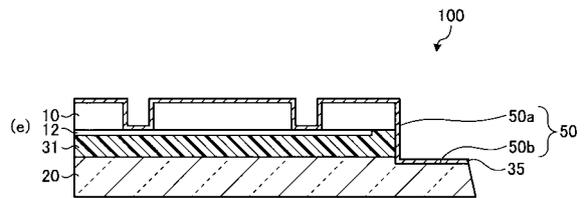
【 図 2 】



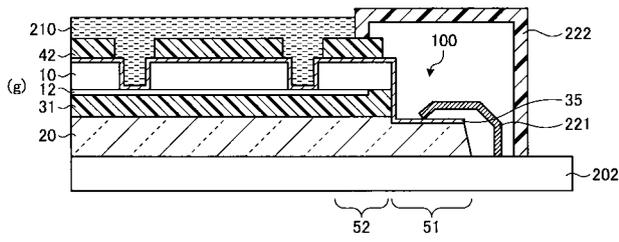
【 図 3 - 2 】



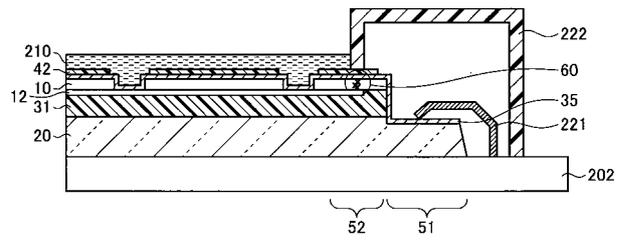
【 図 3 - 3 】



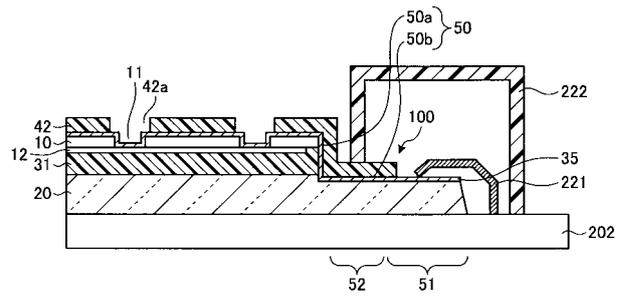
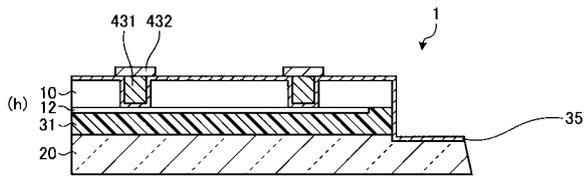
【 図 3 - 4 】



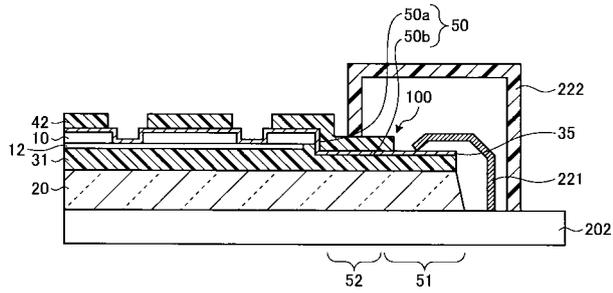
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51) Int.Cl. F I テーマコード(参考)
C 2 5 D 7/12 (2006.01)
C 2 5 D 5/02 (2006.01)

(72) 発明者 久米 一平

東京都港区芝浦一丁目 1 番 1 号 東芝メモリ株式会社内

F ターム(参考) 4K024 BB12 CB02 CB26 FA07

5F033 HH11 HH18 JJ01 JJ11 JJ18 KK07 MM12 MM13 MM30 NN06

NN07 PP15 PP27 PP33 QQ07 QQ13 QQ16 QQ37 QQ47 WW02

XX17