

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年9月25日 (25.09.2008)

PCT

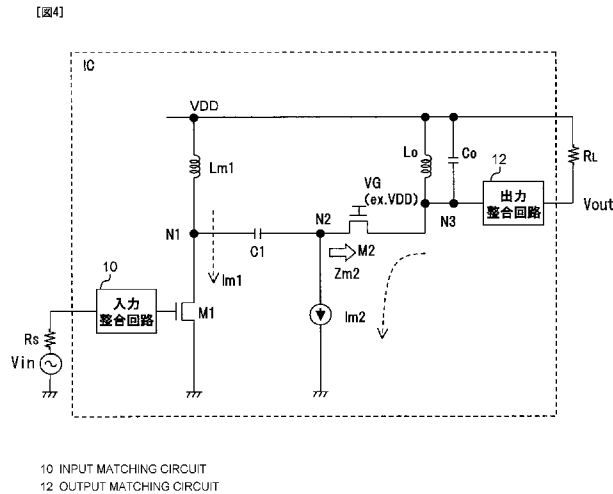
(10) 国際公開番号
WO 2008/114311 A1

- (51) 国際特許分類: H03F 1/22 (2006.01) H03F 1/44 (2006.01) 市中原区上小田中4丁目1番1号富士通株式会社内 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2007/000242 (74) 代理人: 土井健二, 外(DOI, Kenji et al.); 〒2220033 神奈川県横浜市港北区新横浜3-9-5第三東昇ビル3階 林・土井国際特許事務所 Kanagawa (JP).
- (22) 国際出願日: 2007年3月16日 (16.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 山本拓司 (YAMAMOTO, Takuji) [JP/JP]; 〒2118588 神奈川県川崎
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: LOW-NOISE AMPLIFIER

(54) 発明の名称: 低雑音増幅器



(57) Abstract: Provided is a low-noise amplifier comprising a source-grounded transistor (M1) having a gate, to which a high-frequency input signal is inputted, a gate-grounded transistor (M2) having a source, to which the high-frequency signal of the drain of the source-grounded transistor is inputted, a load resonance circuit (LoCo) interposed between the drain of the gate-grounded transistor and a power source voltage, a coupling element (C1) interposed between the drain of the source-grounded transistor and the source of the gate-grounded transistor and made effectively open to a DC component and effectively short to a high-frequency component, a bias feeding inductor (Lm1) interposed between the drain of the source-grounded transistor and the power source voltage for feeding a bias voltage to the drain of the source-grounded transistor, and a bias feeding current source (Im2) connected with the source of the gate-grounded transistor for feeding a bias current to the gate-grounded transistor.

(57) 要約: 低雑音増幅器は、ゲートに高周波入力信号が入力されるソース接地トランジスタ (M1) と、ソース接地トランジスタのドレインの高周波信号がソースに入力されるゲート接地トランジスタ (M2) と、ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷共振回路(LoCo)と、ソース接地トランジスタのドレインとゲート接地トランジスタのソースとの間に設けられ、直流成分には実効的にオープンで高周波成分には実効的にショートになる結合エレメント (C1) と、ソース接地トランジスタ

[続葉有]

WO 2008/114311 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

のドレインと電源電圧との間に設けられソース接地トランジスタのドレインにバイアス電圧を供給するバイアス供給用インダクタ (Lm1) と、ゲート接地トランジスタのソースに接続されゲート接地トランジスタにバイアス電流を供給するバイアス供給用電流源(lm2)とを有する。

明 細 書

低雑音増幅器

技術分野

[0001] 本発明は、低雑音増幅器に関し、特に、CMOSプロセスにより製造され低電圧電源に対応した低雑音増幅器に関する。

背景技術

[0002] 近年のCMOSプロセスの微細化によりCMOSのICはより高速化され、その適用分野はミリ波領域（～100GHz）へと拡大している。ミリ波無線通信やミリ波レーダなどのアプリケーションでは、省電力信号を受信するために低雑音増幅器（以下LNA（Low Noise Amplifier）と称する。）を集積回路で提供することが必要になる。また、光通信においては、高速クロックを増幅するために低雑音増幅器を集積回路で提供することが必要になる。

[0003] 図1は、従来のLNAの回路図である。このLNAは、ソース接地トランジスタM1と、トランジスタM1のドレインと電源VDDとの間に設けられたLC共振回路L_o/C_oからなる負荷回路と、入力V_{i n}とトランジスタM1のゲートとの間に設けられた入力インピーダンス整合回路10と、トランジスタM1のドレインN_dと出力V_{o u t}との間に設けられた出力インピーダンス整合回路12とを有する。これらは1つの集積回路装置IC内に形成される。R_sはソースインピーダンス、R_Lは負荷インピーダンスである。ソース接地トランジスタM1は、ゲートに入力される高周波の入力電圧V_{i n}を高周波のドレイン電流として増幅し、共振回路L_o/C_oの共振周波数（ $f_0 = 1 / 2\pi\sqrt{L_o C_o}$ ）についてのみその増幅作用が働くため、狭帯域の高周波信号のみを増幅することができる。

[0004] LNAでは、最大の電力利得を得るために、ソース接地トランジスタM1におけるゲート部の入力インピーダンスZ_{i n}のソースインピーダンスR_sとの整合と、ドレイン部での出力インピーダンスZ_{o u t}の負荷インピーダ

ンスRLとの整合とを同時に行う必要がある。しかし、高周波領域ではトランジスタM1のゲート・ドレイン間容量 C_{gd} が低インピーダンスとなり、入力と出力のアイソレーション特性が悪化し、入力インピーダンス Z_{in} に出力インピーダンス整合回路の影響が及び、逆に出力インピーダンス Z_{out} に入力インピーダンス整合回路の影響が及び、入力と出力が相互に影響を及ぼしあう。そのため、電力利得を最大化するためには入出力インピーダンス整合回路の同時整合が必要になり、回路設計が困難になる。

[0005] 図2は、従来のカスコード接続されたLNAの回路図である。図1のLNAの入出力間のアイソレーション特性を改善するために、図2のカスコード接続のLNAは、共振回路 L_o/C_o とソース接地トランジスタM1のドレイン端子N1との間に、ゲート接地トランジスタM2を接続する。トランジスタM2のゲートには、固定電圧 V_G 、通常は電源電圧 V_{DD} 、が接続されている。このようにカスコード増幅器は、ソース接地増幅トランジスタとゲート接地増幅トランジスタとを組み合わせた構成である。

[0006] このような構成のLNAにおいて、トランジスタM2にもゲート・ソース間容量とゲート・ドレイン間容量とが存在し、それらの容量は高周波領域では低インピーダンス（短絡状態）になる。しかし、入力インピーダンス Z_{in} については、トランジスタM1のゲート・ドレイン間容量を經由してトランジスタM2のゲート・ソース間容量までのインピーダンスの影響はあるが、トランジスタM2のゲート電圧 V_G が固定電位 V_{DD} であるので、一点鎖線14から先の出力回路のインピーダンスの影響は受けない。同様に、出力インピーダンス Z_{out} についても、トランジスタM2のゲート・ドレイン間容量までのインピーダンスの影響はあるが、トランジスタM2のゲート電圧 V_G が固定電位であるので、一点鎖線16から先の入力回路のインピーダンスの影響は受けない。つまり、ゲート接地トランジスタM2を追加したことで、入出力間のアイソレーション特性を改善することができ、入力インピーダンス整合回路10と出力インピーダンス整合回路12の設計を独立して行うことができ、最大電力利得を得るための回路設計が容易になる。

[0007] トランジスタM2を接続することで、入力側からみたトランジスタM2のインピーダンスZ1は低くなり（理想的には短絡）、出力側からみたトランジスタM2のインピーダンスZ2は極めて高く（理想的には無限大）になる。つまり、トランジスタM2はインピーダンスZ1、Z2を変換する素子ともいえる。

[0008] 図2のカスコード増幅回路は、例えば特許文献1に記載されている。特許文献1のカスコード増幅回路では、待機モード時の増幅回路の消費電力を低減するために、待機モード時にソース接地トランジスタのソース端子を電源電圧にするインバータ回路を設け、制御信号でインバータ回路を制御している。

特許文献1：特開2006-101054号公報

発明の開示

発明が解決しようとする課題

[0009] 上記の通り、カスコード接続のLNAは、入力側と出力側のインピーダンス整合を独立して行うためには適した構成である。

[0010] しかしながら、近年のCMOSプロセスの微細化に伴い、MOSトランジスタのゲート酸化膜が薄くなりトランジスタの耐圧が低下し、集積回路の電源電圧VDDが例えば1Vと低下する傾向にある。その場合、カスコード接続の回路では、トランジスタM1の高周波特性が劣化する。この高周波特性の劣化は、最大発振周波数 f_{max} と遮断周波数 f_t の低下として考えることができる。

[0011] この高周波特性の劣化の原因は、本発明者らの知見によれば、（1）電源電圧の低下に伴い、ゲート接地トランジスタM2での電圧降下によりソース接地トランジスタM1のドレイン電圧（ $=V_{DD}-V_{gs}$ （ V_{gs} はM2のゲート・ソース間電圧））がますます低下してトランジスタM1のドレイン・ソース間電圧 V_{ds} が低下することと、（2）ゲート接地トランジスタM2の入インピーダンス Z_1 （ $\cong 1/g_m$ （ g_m は相互コンダクタンス））が付加されることにある。トランジスタM1のドレイン・ソース間電圧が不

十分になると、十分な高周波特性が得られない。また、トランジスタM2の入カインピーダンス Z_1 が高いと、トランジスタM1のドレイン電流が低下し相互コンダクタンス g_m が低下する。

[0012] 図3は、図1と図2のLNAを構成するソース接地トランジスタ部およびカスコード接続トランジスタ（ソース接地トランジスタとゲート接地トランジスタ）の周波数特性を比較した図である。図3（A）が図1のトランジスタM2を接続していないソース接地トランジスタ部の周波数特性であり、図3（B）が図2のトランジスタM2を接続したカスコード接続トランジスタ部の周波数特性である。いずれも横軸がトランジスタM1のゲート・ソース間電圧 V_{gs} で、縦軸が最大発振周波数 f_{max} と遮断周波数 f_t を示す。低電源電圧では、トランジスタM2を接続したカスコード接続の場合、最大発振周波数 f_{max} と遮断周波数 f_t が、トランジスタM2を接続しない場合に比較して大きく低下している。また、 f_{max} 、 f_t が高い V_{gs} の範囲も狭くなっている。

[0013] 以上のとおり、回路設計を容易にするために入出力アイソレーションのためにゲート接地トランジスタM2を設けることは必要であるが、微細化プロセスのもとでは、このトランジスタM2を設けたことでトランジスタM1の高周波特性が劣化するという課題を招いている。

[0014] そこで、本発明の目的は、周波数特性を改善したカスコード接続の低雑音増幅器を提供することにある。

課題を解決するための手段

[0015] 上記の目的を達成するために、本発明の第1の側面によれば、低雑音増幅器は、ゲートに高周波入力信号が入力されるソース接地トランジスタと、
前記ソース接地トランジスタのドレインの高周波信号がソースに入力されるゲート接地トランジスタと、
前記ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷共振回路と、
前記ソース接地トランジスタの前記ドレインとゲート接地トランジスタの前記ソースとの間に設けられ、直流成分には実効的にオープンで高周波成分

には実効的にショートになる結合エレメントと、

前記ソース接地トランジスタの前記ドレインと前記電源電圧との間に設けられ前記ソース接地トランジスタの前記ドレインにバイアス電圧を供給するバイアス供給用インダクタと、

前記ゲート接地トランジスタの前記ソースに接続され前記ゲート接地トランジスタにバイアス電流を供給するバイアス供給用電流源とを有する。

[0016] 上記の第1の側面において好ましい態様によれば、前記結合エレメントはキャパシタである。

[0017] 上記の第1の側面において好ましい態様によれば、前記結合エレメントはトランスであり、当該トランスの一次側インダクタが前記バイアス供給用インダクタを兼用し、二次側インダクタを介して前記バイアス供給用電流源が前記ゲート接地トランジスタの前記ソースに接続されていることを特徴とする。

[0018] 上記の第1の側面において好ましい態様によれば、前記バイアス供給用電流源は電流量が調整可能であり、当該電流量の調整に応じて利得が変化することを特徴とする。

[0019] 上記の目的を達成するために、本発明の第2の側面によれば、ゲートに高周波入力信号が入力されるソース接地トランジスタと、前記ソース接地トランジスタのドレインの高周波信号がソースに入力されゲートが固定電位に接続されたゲート接地トランジスタと、前記ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷回路とを有し、前記ゲート接地トランジスタの前記ドレインの高周波信号を出力する低雑音増幅器において、

前記ゲート接地トランジスタの前記ソースに接続され前記ゲート接地トランジスタにバイアス電流を供給するバイアス供給用電流源を有する。

[0020] 上記の第2の側面において好ましい態様によれば、前記バイアス供給用電流源は電流量が可変制御可能であり、当該電流量の変化に応じて利得が変化することを特徴とする。

[0021] 上記の目的を達成するために、本発明の第2の側面によれば、ゲートに高

周波入力信号が入力されるソース接地トランジスタと、前記ソース接地トランジスタのドレインの高周波信号がソースに入力され、ゲートが固定電位に接続されたゲート接地トランジスタと、前記ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷回路とを有し、前記ゲート接地トランジスタの前記ドレインの高周波信号を出力する低雑音増幅器において、

前記ソース接地トランジスタの前記ドレインとゲート接地トランジスタの前記ソースとの間に設けられ、直流成分には実効的にオープンで高周波成分には実効的にショートになる結合エレメントと、

前記ソース接地トランジスタの前記ドレインと電源電圧との間に設けられ前記ソース接地トランジスタにバイアス電圧を供給する第1のバイアス供給回路と、

前記ゲート接地トランジスタの前記ソースに接続され前記ゲート接地トランジスタにバイアス電流を供給する第2のバイアス供給回路とを有する。

発明の効果

[0022] 本発明のLNAによれば、低電圧電源による集積回路装置であっても、カスコード増幅器の周波数特性を改善することができる。

図面の簡単な説明

[0023] [図1]従来のLNAの回路図である。

[図2]従来のカスコード接続されたLNAの回路図である。

[図3]図1と図2のLNAの周波数特性を比較した図である。

[図4]第1の実施の形態におけるLNAの回路図である。

[図5]図4のLNAの高周波特性の改善を示す図である。

[図6]第1の実施の形態におけるLNAの変型例の回路図である。

[図7]第2の実施の形態におけるLNAの回路図である。

[図8]第3の実施の形態におけるLNAの回路図である。

[図9]第3の実施の形態におけるLNAの利得可変制御の原理を別の側面から説明する図である。

[図10]本実施の形態のLNAの適用例を示す図である。

[図11]本実施の形態のLNAの別の適用例を示す図である。

[図12]入力，出カインピーダンス整合回路を示す図である。

符号の説明

- [0024] V_{in} : 高周波入力信号 V_{out} : 高周波出力信号
 $M1$: ソース接地トランジスタ $M2$: ゲート接地トランジスタ
 L_o, C_o : 負荷強震回路 L_{m1} : 第1のバイアス供給回路, インダクタ
 I_{m2} : 第2のバイアス供給回路, 電流源
 $C1, TR$: 結合エレメント

発明を実施するための最良の形態

[0025] 以下，図面にしたがって本発明の実施の形態について説明する。但し，本発明の技術的範囲はこれらの実施の形態に限定されず，特許請求の範囲に記載された事項とその均等物まで及ぶものである。

[0026] 図4は，第1の実施の形態におけるLNAの回路図である。このLNAは，1つの集積回路装置IC内に形成され，ソース接地トランジスタM1とゲート接地トランジスタM2とをカスコード接続したカスコード増幅器である。このカスコード増幅器は，図2と同様に，高周波入力信号 V_{in} がゲートに入力されソースがグランドなどの固定電位に接続されたNチャンネルMOSトランジスタからなるソース接地トランジスタM1と，トランジスタM1のドレインN1の高周波信号をソースに入力しゲートが固定電位に接続されたNチャンネルMOSトランジスタからなるゲート接地トランジスタM2と，ゲート接地トランジスタM2のドレインN3と電源VDDとの間に設けられたLC共振回路 L_o/C_o とを有する。入カインピーダンス整合回路10と出カインピーダンス整合回路12も，図2と同様である。また，信号伝搬経路も，図2と同様に，入力信号 V_{in} ，トランジスタM1，M2，出力信号 V_{out} である。

[0027] 図4のLNAは，トランジスタM1のドレインN1とトランジスタM2のソースN2との間に結合容量C1を設け，さらに，トランジスタM1のドレ

インN1と電源VDDとの間にトランジスタM1のドレイン電圧を供給するバイアス供給用のインダクタ L_{m1} を設けている。この結合容量C1は、直流成分には大きなインピーダンス（オープン）になり、また高周波成分には小さなインピーダンス（ショート）になる結合エレメントである。また、バイアス供給用インダクタ L_{m1} は、直流成分には小さなインピーダンス（ショート）になり高周波成分には大きなインピーダンス（オープン）になる。よって、トランジスタM1のドレインN1の電圧は、電源電圧VDD近くまで上昇することになる。これにより、高周波特性を劣化させた要因（1）を解決することができる。

[0028] すなわち、トランジスタM1のドレインN1へのバイアス電圧は、図1のLNAと同等のレベルにすることができ、電源電圧VDDが低下してもトランジスタM1のドレインに必要なバイアス電圧を供給することができ、ドレイン・ソース間電圧は十分なレベルになり、適正な増幅動作を保証することができる。

[0029] さらに、図4のLNAは、結合容量C1を設けたことに伴って、ゲート接地トランジスタM2のドレイン・ソース間直流電流のパスがなくなるので、トランジスタM2のソースN2にバイアス供給用の電流源 I_{m2} を設けている。その結果、図4に示されるとおり、トランジスタM1に流れる直流電流 I_{m1} は電源電圧VDDからインダクタ L_{m1} を経由する電流パスになり、トランジスタM2を流れる直流電流 I_{m2} は電源電圧VDDから共振回路 L_o/C_o を経由する電流パスになる。つまり、結合容量C1により両トランジスタM1、M2の電流 I_{m1} 、 I_{m2} を独立して設計することが可能になる。そこで、トランジスタM2の入カインピーダンス Z_{m2} が $Z_{m2} \cong 1/g_m$ であり、相互コンダクタンス g_m はドレイン・ソース間電流 I_{m2} が大きいほど大きくなることを利用して、電流源 I_{m2} の電流値を大きくして g_m を大きくし、よってトランジスタM2の入カインピーダンス Z_{m2} を小さくすることが可能になる。これにより、高周波特性を劣化させた要因（2）を抑制することができる。

[0030] 図4のLNAにおいて、高周波入力電圧 V_{in} は、ソース接地トランジスタ $M1$ により電圧・電流変換され、変換されたドレイン $N1$ の高周波電流は、ゲート接地トランジスタ $M2$ でも増幅され、そのドレイン $N3$ の高周波電流は、共振回路 L_o/C_o によりノード $N3$ の電圧変化に電流・電圧変換される。つまり、インダクタ L_{m1} は高周波成分に対して高インピーダンス（実効的にオープン）であり、結合容量 $C1$ は高周波成分に対しては低インピーダンス（実効的にショート）である。そのため、結局、高周波信号の伝搬パスは、トランジスタ $M1$ から、結合容量 $C1$ 、トランジスタ $M2$ 、共振回路 L_o/C_o であり、高周波成分に対する増幅動作は図2と同等である。よって、カスコード接続のトランジスタ $M2$ を設けたことで、入出力アイソレーション特性が得られ、入出力インピーダンスの同時整合を容易に設計することができる。

[0031] 図5は、図4のLNAの高周波特性の改善を示す図である。図5（A）は図2のLNAの高周波特性であり、図3（B）と同じである。また、図5（B）は図4のLNAの高周波特性である。いずれも、横軸がトランジスタ $M1$ のゲート・ソース間電圧 V_{gs} で、縦軸が最大発振周波数 f_{max} と遮断周波数 f_t を示す。

[0032] 両者を比較すると明らかとおり、図5（B）の高周波特性では、最大発振周波数 f_{max} が約25%改善され、遮断周波数 f_t が約55%改善されている。図4で説明したとおり、図4のLNAでは、高周波特性を劣化させた要因（1）は解決され、要因（2）は改善されている。よって、図3（A）のように図1のLNAほどは特性が改善されてはいないが、図2のカスコード接続のLNAよりは大幅に改善されている。さらに、図5（B）の高周波特性では、広いゲート・ソース間電圧 V_{gs} の範囲で高い最大発振周波数 f_{max} と遮断周波数 f_t を得ることができる。なお、最大発振周波数 f_{max} と遮断周波数 f_t が高いということは、入力のパワーに対する増幅動作の線形性が高い周波数帯域まで保証されることを意味する。

[0033] 図6は、第1の実施の形態におけるLNAの変型例の回路図である。この

変型例は、図4のLNAにおける結合容量C1とインダクタLm1とに代えて、トランスTRをトランジスタM1とM2との間に設けている。そして、トランスTRの一次側インダクタLm1が、トランジスタM1のドレインへのバイアス電圧を供給するインダクタを兼ねる。また、二次側インダクタLm2には、トランジスタM2のソースにバイアス電流を供給する電流源Im2が接続され、バイアス電流Im2は、二次側トランスLm2を介してトランジスタM2に流れる。

[0034] このトランスTRも、直流成分に対しては高いインピーダンス（実効的にオープン）になり、高周波成分に対しては低いインピーダンス（実効的にショート）になる結合エレメントである。このトランスTRを介して、トランジスタM1で電圧・電流変換されたドレインN1の電流変化が、トランジスタM2のソースN2の電流変化として伝達される。それ以外の動作原理は、図4のLNAと同じである。

[0035] 図7は、第2の実施の形態におけるLNAの回路図である。図7のLNAは、図2に示したカスコード接続のLNAにおいて、ゲート接地トランジスタM2のソースN2にバイアス供給用の電流源Im2を設けている。ただし、図4のLNAのように結合容量C1とバイアス供給用インダクタLm1は設けていない。よって、図7のLNAは、高周波特性劣化の要因（2）を抑制するだけであり、要因（1）を解決するものではない。

[0036] 図7のLNAによれば、トランジスタM1のバイアス電流Im1とは独立して、電流源Im2を設けている。したがって、トランジスタM2のバイアス電流はIm1+Im2となる。そこで、この電流源Im2の電流値を高く設計することで、トランジスタM2の入カインピーダンスZm2（ $\cong 1/g_m$ ）に影響を与える相互インダクタンスgmを大きくし、入カインピーダンスZm2を小さくすることができる。それにより、図2の高周波特性劣化の要因（2）を抑制することができ、その分だけ高周波特性を改善することができる。

[0037] 図8は、第3の実施の形態におけるLNAの回路図である。このLNAの

回路構成は、図4のLNAとほとんど同じであり、バイアス供給用電流源 I_{m2} の電流値が可変であることが唯一異なる。このLNAでは、電流源 I_{m2} の電流値を可変制御することで、LNAの利得を可変制御することができる。

[0038] 図8に示される電流 i_1 は、電源VDDから、共振回路 L_o/C_o 、トランジスタM2、トランジスタM1を流れる高周波増幅動作に寄与する電流の高周波成分である。この電流 i_1 が大きいほどLNAの利得が高くなる。ところが、LNAが集積回路装置として構成されると、トランジスタM2のソース端子N2には必ず寄生容量 C_p が形成される。そして、トランジスタM2のソース端子N2から出力側をみた入力インピーダンス Z_{m2} が大きいと、寄生容量 C_p へのリーク電流が大きくなり、電流 i_1 は小さくなり、増幅器の利得は低下する。一方、入力インピーダンス Z_{m2} が小さいと、寄生容量 C_p へのリーク電流が小さくなり、電流 i_1 は大きくなり、利得は上昇する。

[0039] そこで、前述のとおり、トランジスタM2の入力インピーダンス Z_{m2} は、相互インダクタンス g_m の逆数に比例するので、バイアス電流 I_{m2} を小さくすれば、相互インダクタンス g_m も小さくなり、入力インピーダンス Z_{m2} は大きくなり、寄生容量 C_p へのリーク電流が大きくなり、電流 i_1 は小さくなり、増幅器の利得は低下する。一方、バイアス電流 I_{m2} を大きくすれば、相互インダクタンス g_m も大きくなり、入力インピーダンス Z_{m2} が小さくなり、寄生容量 C_p へのリーク電流が小さくなり、電流 i_1 は大きくなり、増幅器の利得は上昇する。よって、バイアス電流 I_{m2} を可変制御することで、LNAの利得を可変制御することができる。

[0040] 図9は、第3の実施の形態におけるLNA（図8）の利得可変制御の原理を別の側面から説明する図である。図9において、(A)はLNA全体の利得特性を示す図である。つまり、特定の周波数帯（共振周波数）において高い利得を有する利得特性を有するが、前述のとおり、バイアス電流 I_{m2} を小さくすると利得 $G = V_{out} / V_{in}$ も小さくなり、 I_{m2} を大きくする

と利得 G も大きくなる。その理由は以下の通りである。

[0041] LNAは、入力電圧 V_{in} に対して、ソース接地トランジスタ $M1$ は電圧・電流変換してドレイン電流 i_1 に変換する。つまり、トランジスタ $M1$ の利得は、 i_1/V_{in} である。これが図9(C)に示されている。一方、そのドレイン電流 i_1 に対して、共振回路 L_o/C_o は電流・電圧変換してノード $N3$ の出力電圧 V_{out} に変換する。つまり、共振回路 L_o/C_o の利得は、 V_{out}/i_1 である。これが図9(B)に示されている。

[0042] そして、バイアス電流 I_{m2} が小さくなると、トランジスタ $M2$ の相互コンダクタンス g_m も小さくなり、入力インピーダンス Z_{m2} は大きくなり、寄生容量 C_p へのリーク電流が多くなり、トランジスタ $M1$ の電流 i_1 は小さくなる。この電流 i_1 の低下によりトランジスタ $M1$ の相互コンダクタンス g_m も減少して、トランジスタ $M1$ のカットオフ周波数が矢印のように低下する。よって、LNAの共振周波数帯での利得は低下することになる。バイアス電流 I_{m2} が大きくなると、上記と逆の現象になりLNAの共振周波数帯での利得は上昇することになる。

[0043] 図7に示した第2の実施の形態のLNAにおいても、上記と同様に、バイアス電流源 I_{m2} を可変制御可能にすることで、増幅器の利得も可変制御可能になる。

[0044] 図10は、本実施の形態のLNAの適用例を示す図である。図10の例は、無線通信装置の送信機20と受信機22の構成を示している。送信機20側では、送信信号 BB に発振器 OSC によるキャリア周波数 f_c を乗算器 $m_{i \times 1}$ で乗算し、パワーアンプ PA で増幅し、アンテナ AT から送出する。一方、受信機22側では、アンテナ AT で受信した高周波信号を本実施の形態のLNAで所望の周波数帯の信号のみを増幅し、乗算器 $m_{i \times 2}$ でキャリア周波数 f_c を乗算して中間周波数に変換し、増幅器 $IFamp$ で増幅し、さらに乗算器 $m_{i \times 3}$ が中間周波数 IF を乗算し、ローパスフィルタ LPF を通過させて、ベースバンドの受信信号 BB を生成する。アナログデジタルコンバータ ADC がこのベースバンドの信号をデジタル化し、ロジック回路24

が種々の信号処理を行う。上記のように、本実施の形態のLNAは、受信機のアンテナで受信した高周波受信信号を増幅する増幅器として利用できる。

[0045] 図11は、本実施の形態のLNAの別の適用例を示す図である。図11の例は、光通信装置の光送信機30と光受信機50の構成を示している。光送信機30では、複数の低周波の送信信号32が、マルチプレクサMUXで時分割多重される。送信信号32がx個あれば、この多重化により周波数はx倍になる。マルチプレクサMUXの多重化された高周波信号のクロックCK1をクロックアンプ34が増幅し、タイミング調整回路36が増幅された高周波クロックCK2で多重化信号S32のタイミングを取り直し、ドライバ38を介して光変調器40に供給する。光変調器40は、発光素子42の発光光を多重化信号で変調し、光アンプ44を経由して光ファイバ46に出力する。

[0046] 光受信機50では、光ファイバ46からの受信光を光リアンプ48を経由して受光し、受光素子51が電気信号に変換する。そして、増幅器52で増幅された高周波信号からタイミング抽出回路54が同期クロックCK10を抽出し、クロックアンプ56が増幅する。クロックアンプで増幅された同期クロックCK12を利用して、信号識別回路58が増幅器52からの高周波信号から受信信号を識別し、デマルチプレクサ60が多重化を元に戻してx個の受信信号62を出力する。

[0047] 上記のクロックアンプ34、56は、単一周波数の高周波クロックを増幅するものであり、本実施の形態のLNAを適用することができる。

[0048] 図12は、入力、出力インピーダンス整合回路を示す図である。図12は、図2のカスコード接続のLNAを例にして、入力インピーダンス整合回路10と出力インピーダンス整合回路12の例が示されている。入力インピーダンス整合回路10は、インダクタンスL1、L2で構成され、出力インピーダンス整合回路12は、インダクタンスL3で構成されている。この整合回路10、12は、図4、6、7、8のLNAにおいても同様に適用できる。

産業上の利用可能性

[0049] 本発明のLNAによれば、低電圧電源による集積回路装置であっても、カスコード増幅器の周波数特性を改善することができる。

請求の範囲

- [1] ゲートに高周波入力信号が入力されるソース接地トランジスタと、
前記ソース接地トランジスタのドレインの高周波信号がソースに入力されるゲート接地トランジスタと、
前記ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷共振回路と、
前記ソース接地トランジスタの前記ドレインと前記ゲート接地トランジスタの前記ソースとの間に設けられ、直流成分には実効的にオープンで高周波成分には実効的にショートになる結合エレメントと、
前記ソース接地トランジスタの前記ドレインと前記電源電圧との間に設けられ前記ソース接地トランジスタの前記ドレインにバイアス電圧を供給するバイアス供給用インダクタと、
前記ゲート接地トランジスタの前記ソースに接続され前記ゲート接地トランジスタにバイアス電流を供給するバイアス供給用電流源とを有する低雑音増幅器。
- [2] 請求項 1 において、
前記結合エレメントはキャパシタであることを特徴とする低雑音増幅器。
- [3] 請求項 1 において、
前記結合エレメントはトランスであり、
当該トランスの一次側インダクタが前記バイアス供給用インダクタを兼用し、二次側インダクタを介して前記バイアス供給用電流源が前記ゲート接地トランジスタの前記ソースに接続されていることを特徴とする低雑音増幅器。
- [4] 請求項 1 において、
前記バイアス供給用電流源は電流量が調整可能であり、当該電流量の調整に応じて利得が変化することを特徴とする低雑音増幅器。
- [5] 請求項 1 乃至 4 のいずれかにおいて、
前記ソース接地トランジスタに接続された入力インピーダンス整合回路と

、前記ゲート接地トランジスタの前記ドレインに接続された出カインピーダンス整合回路とを有することを特徴とする低雑音増幅器。

- [6] 請求項 1 乃至 4 のいずれかにおいて、
前記負荷共振回路は、インダクタとキャパシタを有する共振回路であることを特徴とする低雑音増幅器。
- [7] ゲートに高周波入力信号が入力されるソース接地トランジスタと、
前記ソース接地トランジスタのドレインの高周波信号がソースに入力されゲートが固定電位に接続されたゲート接地トランジスタと、
前記ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷回路とを有し、
前記ゲート接地トランジスタの前記ドレインの高周波信号を出力する低雑音増幅器において、
前記ゲート接地トランジスタの前記ソースに接続され前記ゲート接地トランジスタにバイアス電流を供給するバイアス供給用電流源を有する低雑音増幅器。
- [8] 請求項 7 において、
前記バイアス供給用電流源は電流量が可変制御可能であり、当該電流量の変化に応じて利得が変化することを特徴とする低雑音増幅器。
- [9] ゲートに高周波入力信号が入力されるソース接地トランジスタと、
前記ソース接地トランジスタのドレインの高周波信号がソースに入力され、ゲートが固定電位に接続されたゲート接地トランジスタと、
前記ゲート接地トランジスタのドレインと電源電圧との間に設けられた負荷回路とを有し、
前記ゲート接地トランジスタの前記ドレインの高周波信号を出力する低雑音増幅器において、
前記ソース接地トランジスタの前記ドレインとゲート接地トランジスタの前記ソースとの間に設けられ、直流成分には実効的にオープンで高周波成分には実効的にショートになる結合エレメントと、

前記ソース接地トランジスタの前記ドレインと前記電源電圧との間に設けられ前記ソース接地トランジスタにバイアス電圧を供給する第1のバイアス供給回路と、

前記ゲート接地トランジスタの前記ソースに接続され前記ゲート接地トランジスタにバイアス電流を供給する第2のバイアス供給回路とを有する低雑音増幅器。

[10] 請求項9において、

前記第1のバイアス供給回路は、インダクタを有することを特徴とする低雑音増幅器。

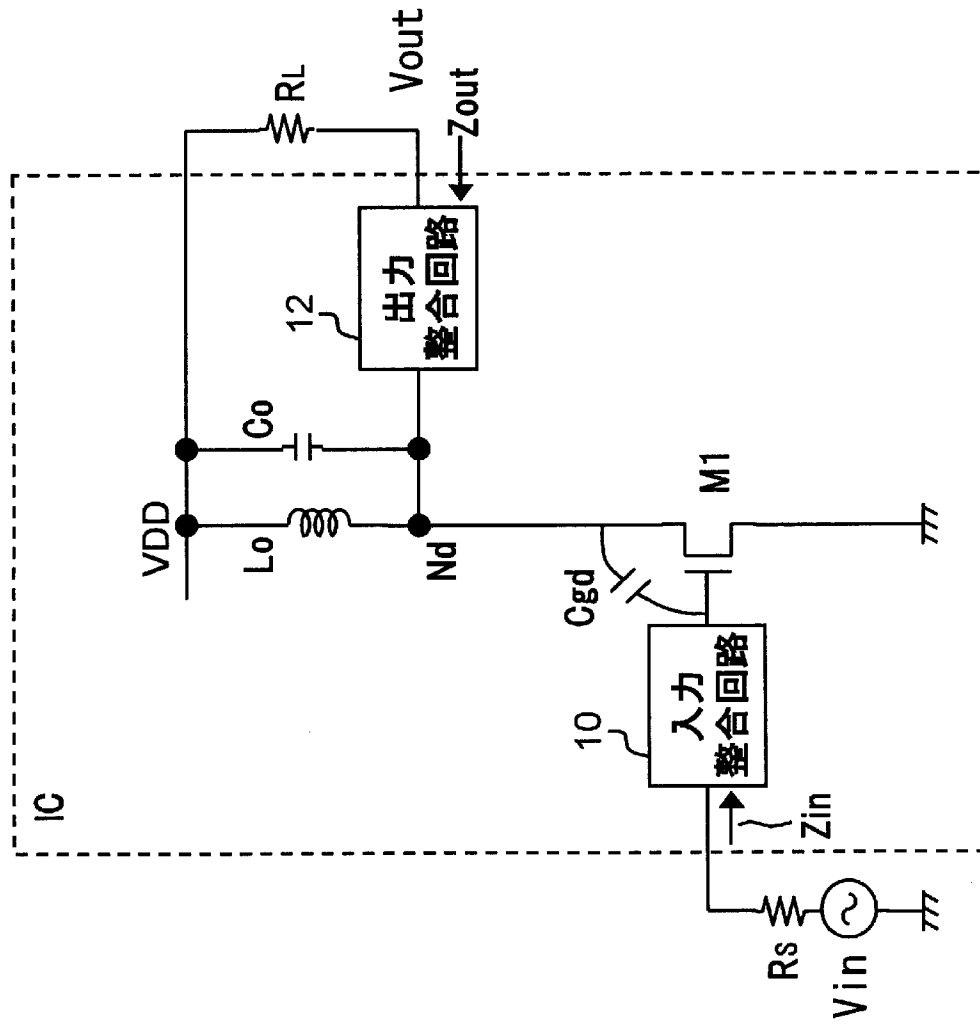
[11] 請求項9において、

前記第2のバイアス供給回路は、電流源を有することを特徴とする低雑音増幅器。

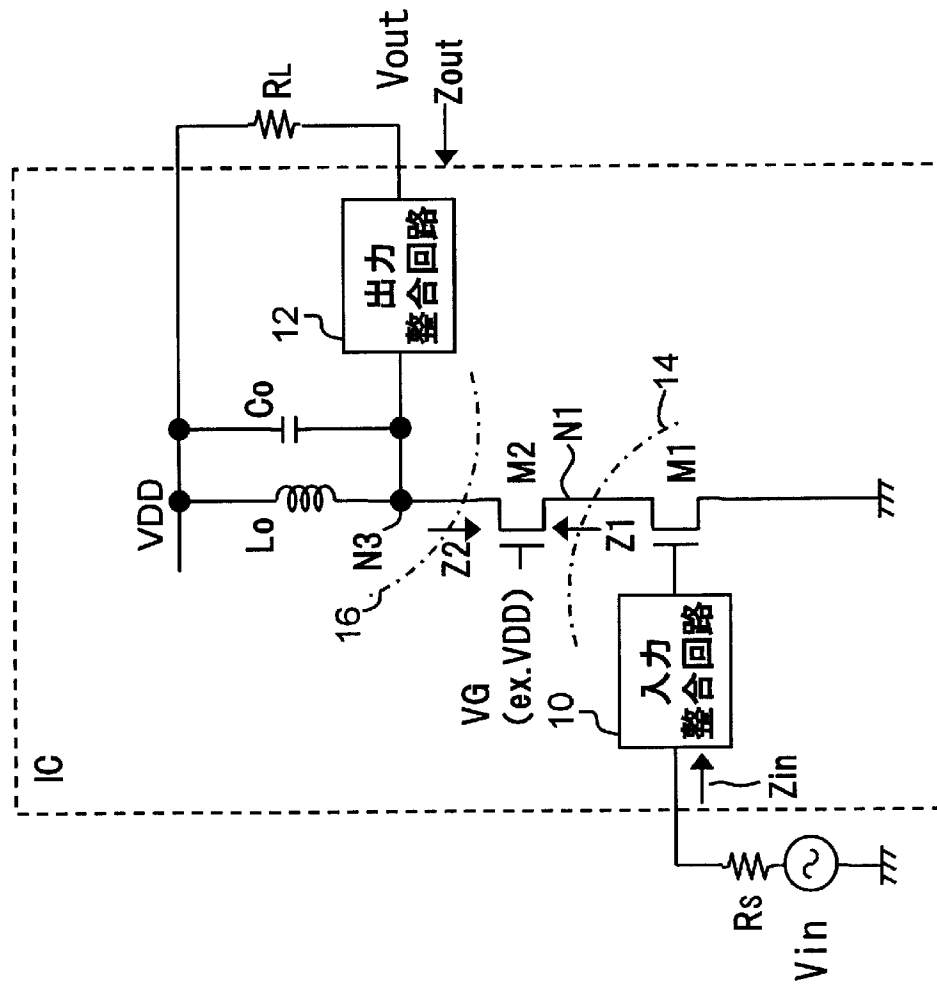
[12] 請求項9において、

前記バイアス供給用電流源は電流量が可変制御可能であり、当該電流量の変化に応じて利得が変化することを特徴とする低雑音増幅器。

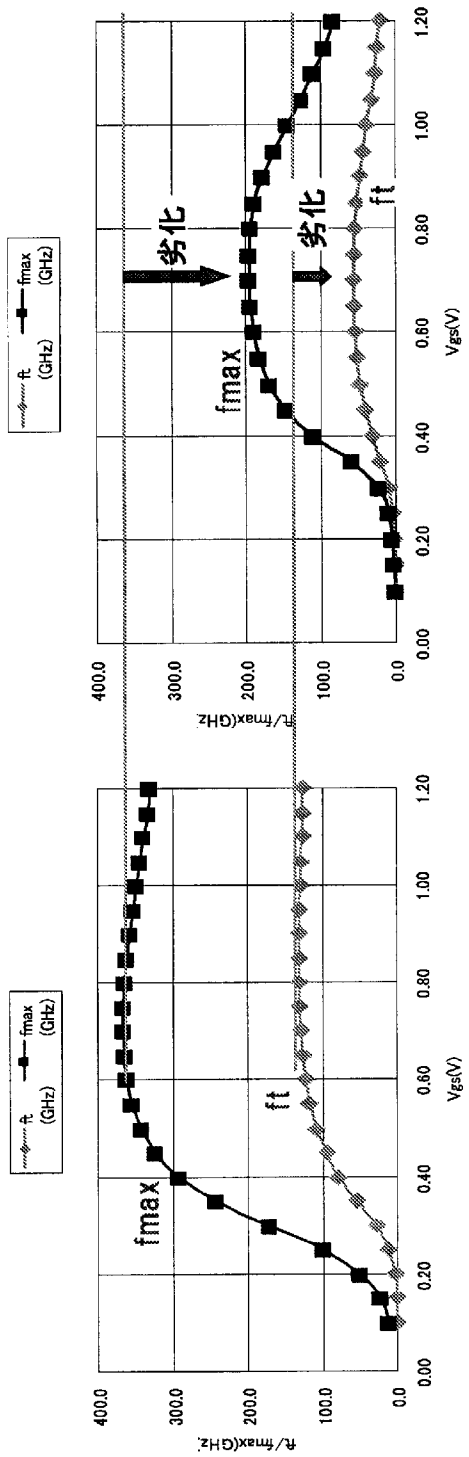
[図1]



[図2]



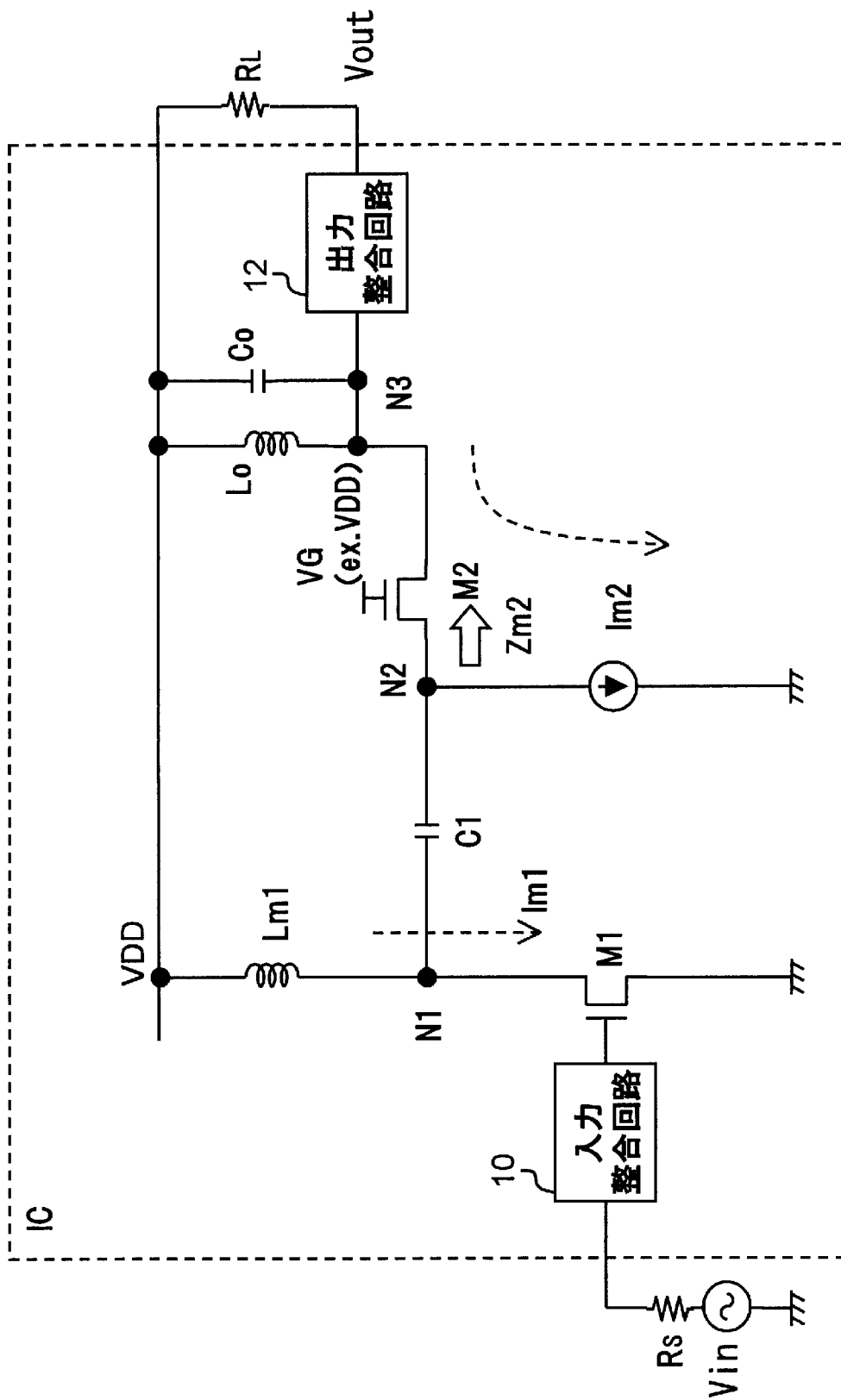
[図3]



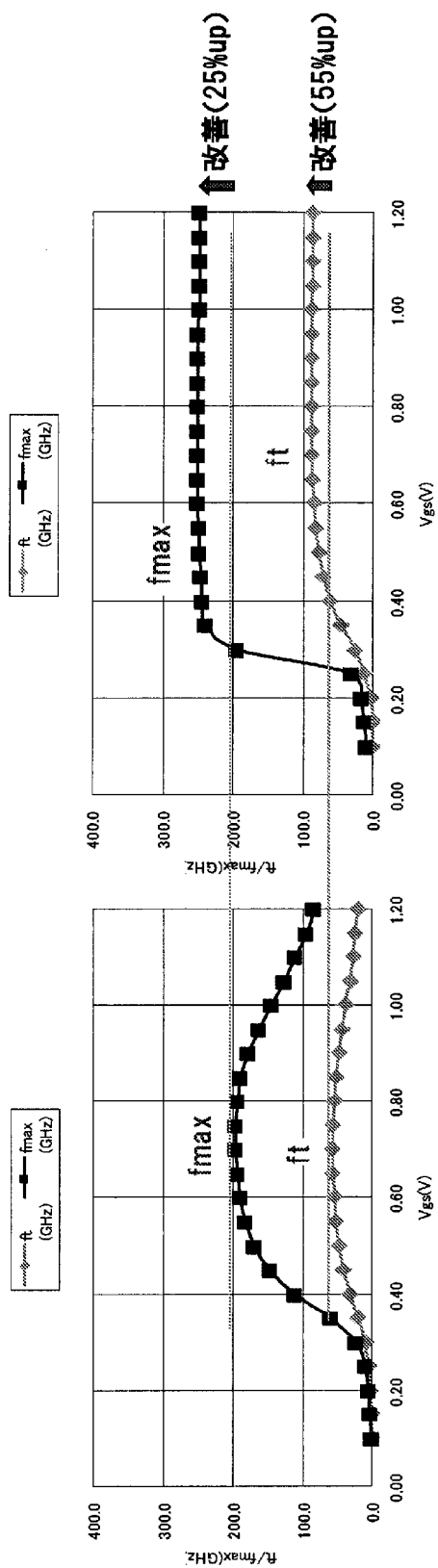
(B) with M2

(A) without M2

[図4]



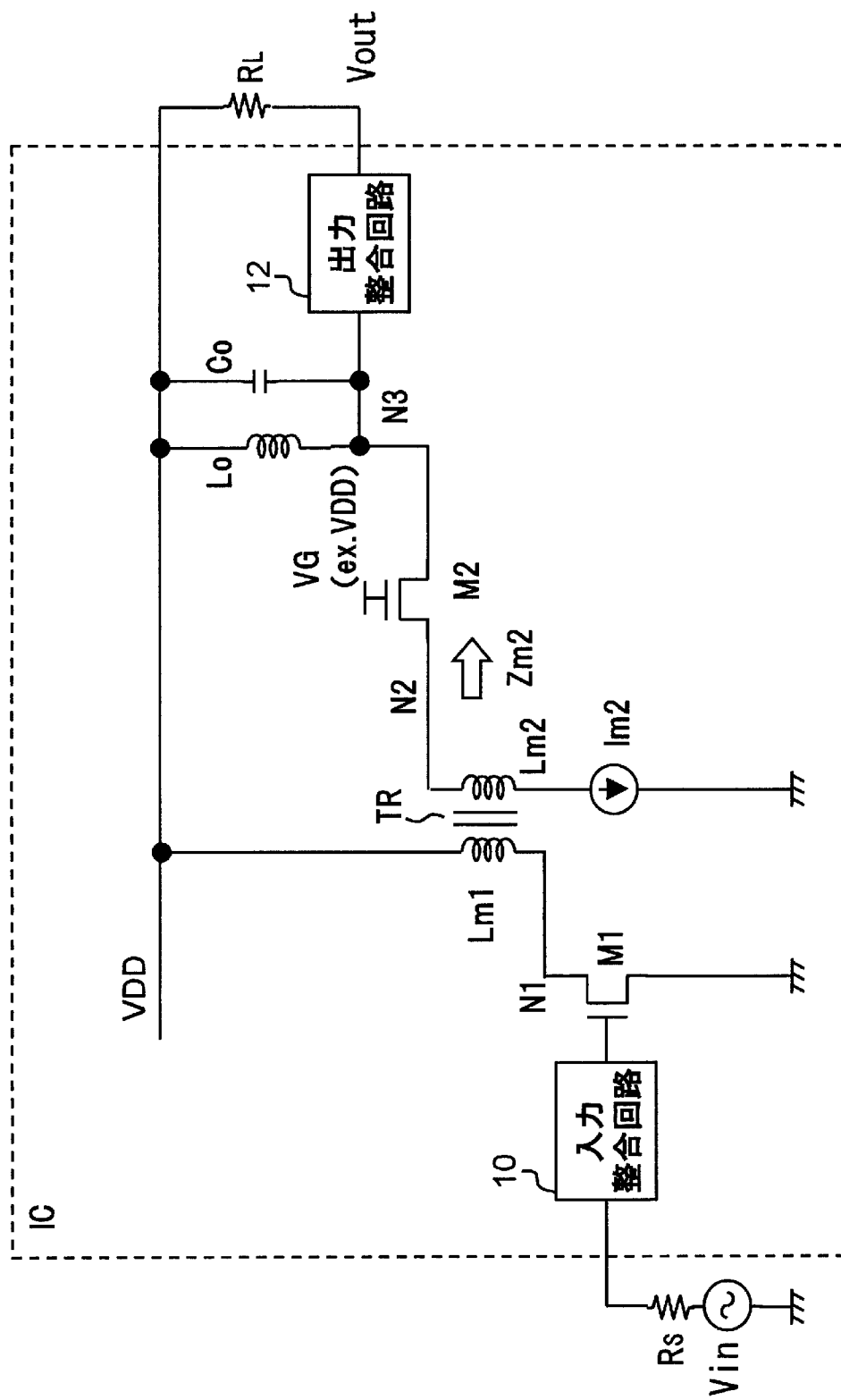
[図5]



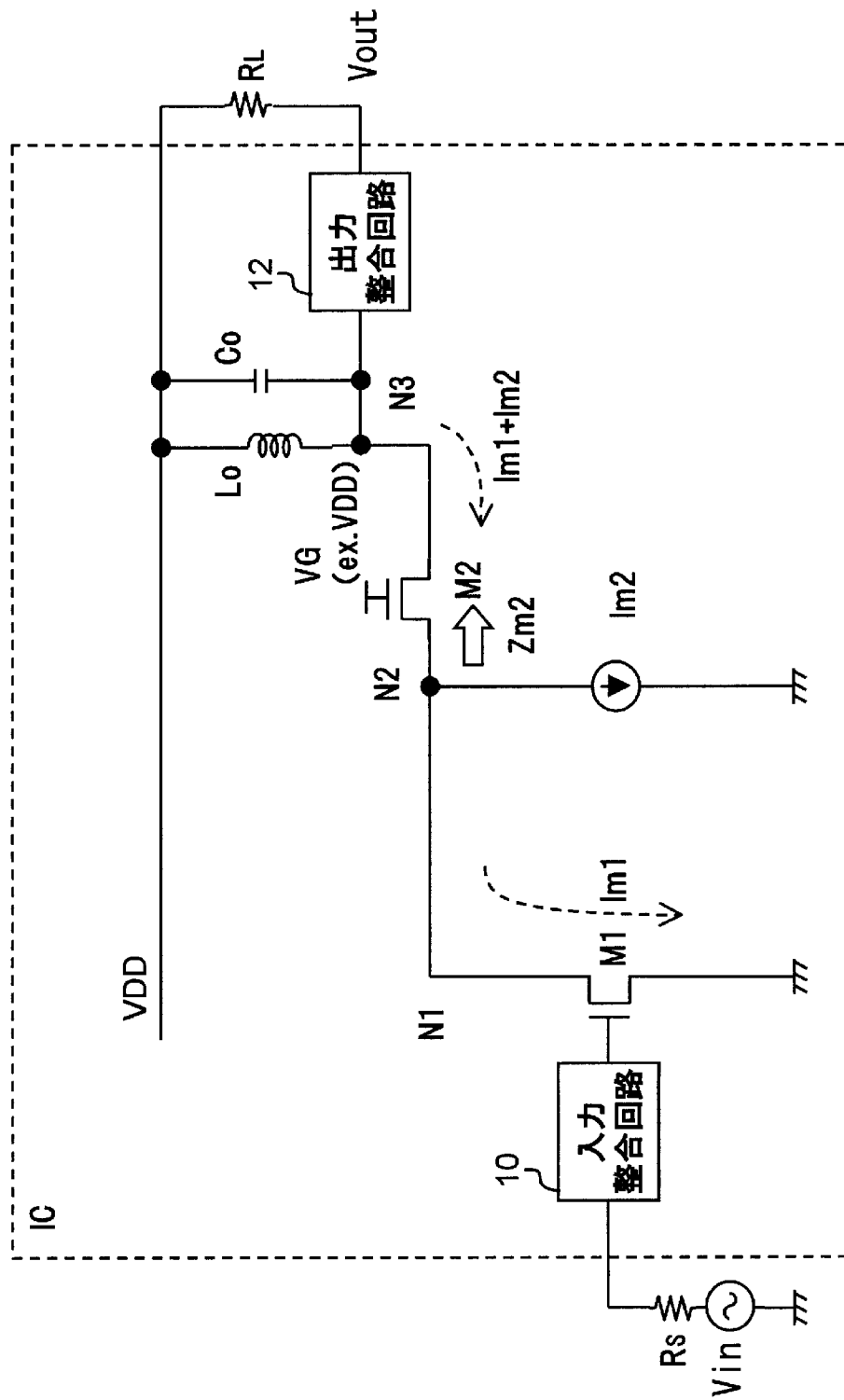
(B) 本実施の形態

(A) with M2

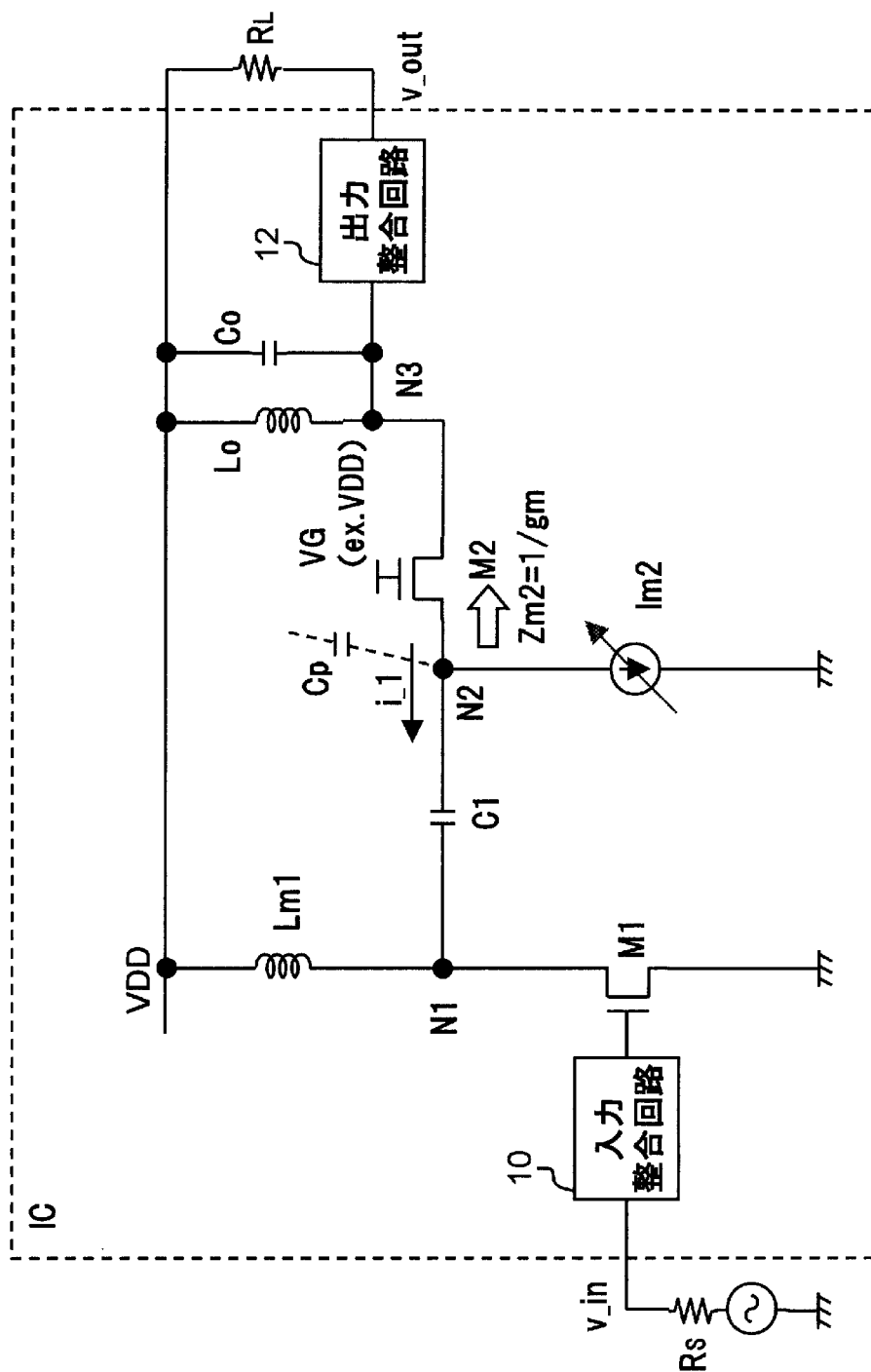
[図6]



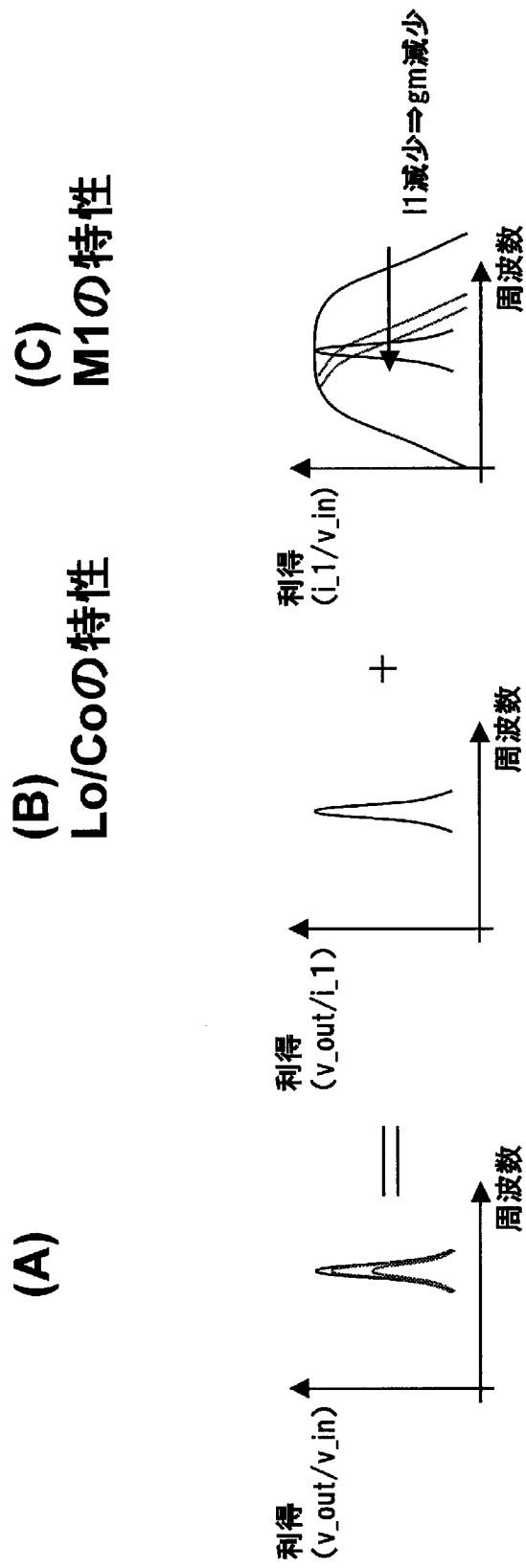
[図7]



[図8]

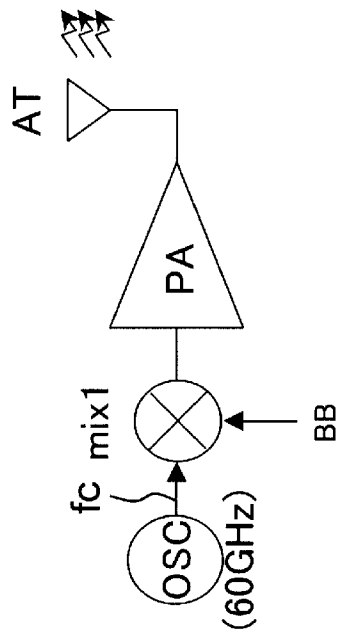


[図9]

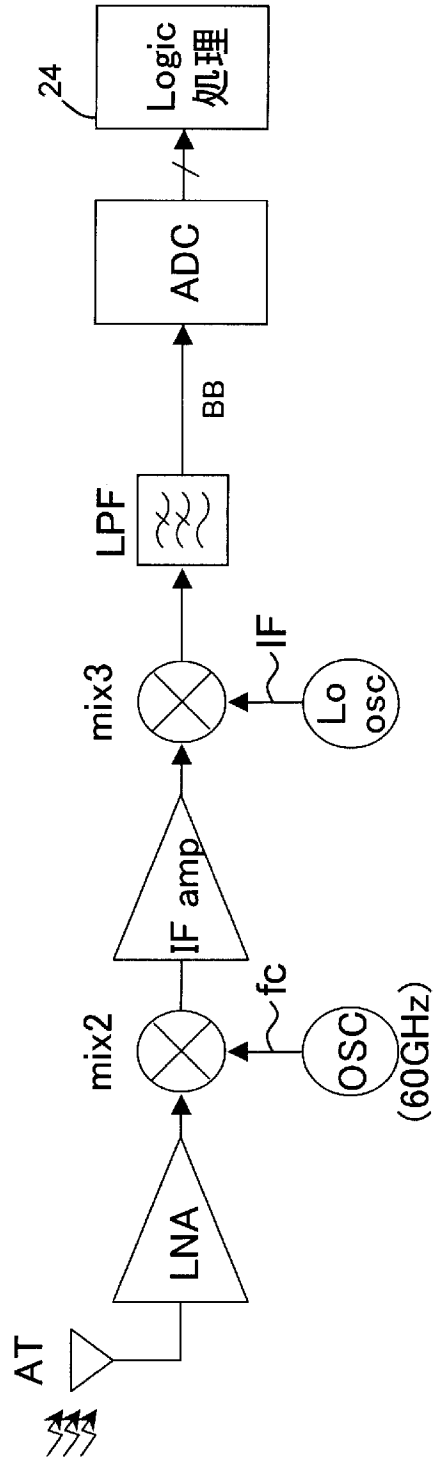


[図10]

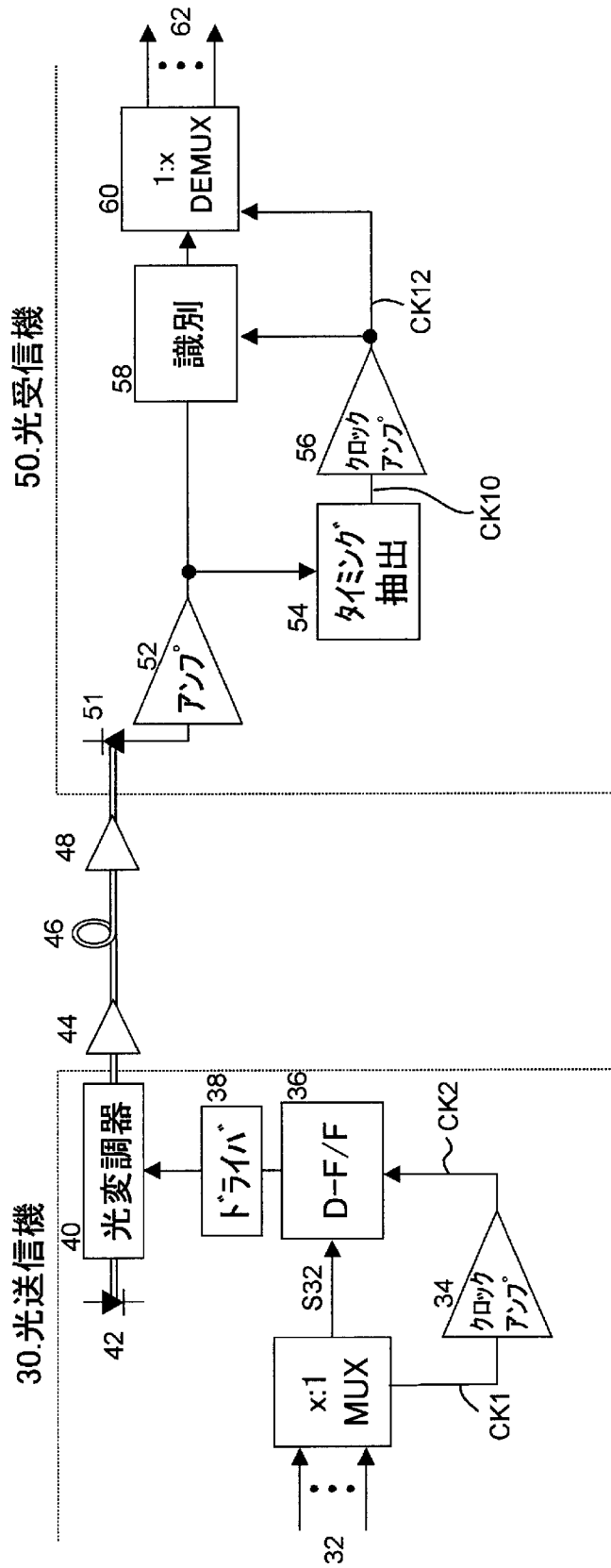
20.送信機



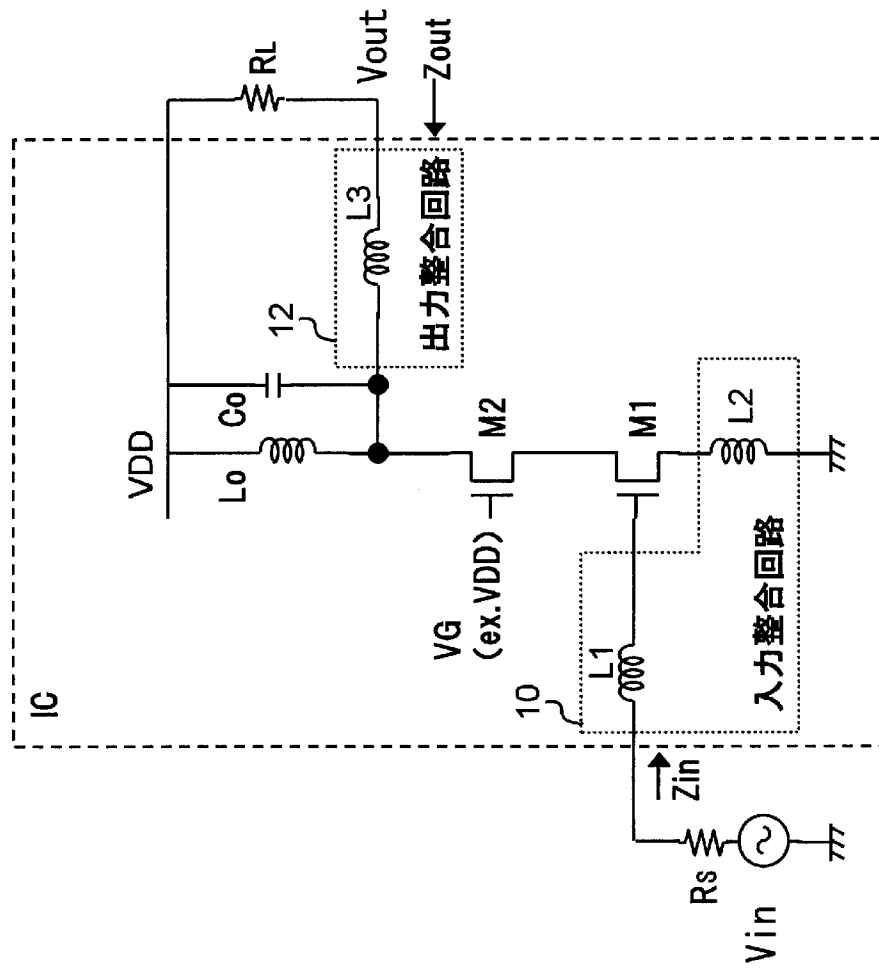
22.受信機



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/000242

A. CLASSIFICATION OF SUBJECT MATTER
H03F1/22 (2006.01) i, H03F1/44 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03F1/22, H03F1/44

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 63-051709 A (Matsushita Electric Industrial Co., Ltd.), 04 March, 1988 (04.03.88), Page 1, lower right column, line 7 to page 2, upper left column, line 14; Fig. 4 (Family: none)	1, 2, 5-7, 9-11 3, 4, 8, 12
Y A	US 5966051 A (Conexant Systems, Inc.), 12 October, 1999 (12.10.99), Full text; all drawings & WO 99/054994 A	1, 2, 5-7, 9-11 3, 4, 8, 12

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 May, 2007 (24.05.07)	Date of mailing of the international search report 05 June, 2007 (05.06.07)
--	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/000242

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 61-121504 A (Matsushita Electric Industrial Co., Ltd.), 09 June, 1986 (09.06.86), Page 2, lower left column, line 1 to page 3, upper left column, line 20; Fig. 1 (Family: none)	1, 2, 5-7, 9-11 3, 4, 8, 12

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H03F1/22(2006.01)i, H03F1/44(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H03F1/22, H03F1/44

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2007年
 日本国実用新案登録公報 1996-2007年
 日本国登録実用新案公報 1994-2007年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 63-051709 A (松下電器産業株式会社) 1988.03.04, 第1頁右下欄第7行~第2頁左上欄第14行目、第4図 (ファミリーなし)	1, 2, 5-7, 9-11 3, 4, 8, 12
Y A	US 5966051 A (Conexant Systems, Inc.) 1999.10.12, 全文、全図 & WO 99/054994 A	1, 2, 5-7, 9-11 3, 4, 8, 12
Y A	JP 61-121504 A (松下電器産業株式会社) 1986.06.09, 第2頁左下欄第1行目~第3頁左上欄第20行目、第1図 (ファミリーなし)	1, 2, 5-7, 9-11 3, 4, 8, 12

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 24.05.2007	国際調査報告の発送日 05.06.2007
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 野元 久道 電話番号 03-3581-1101 内線 3576	5W	9184
---	--	----	------