



(12) 发明专利申请

(10) 申请公布号 CN 113366654 A

(43) 申请公布日 2021.09.07

(21) 申请号 201980090991.8

(22) 申请日 2019.11.05

(30) 优先权数据

2019-015774 2019.01.31 JP

(85) PCT国际申请进入国家阶段日

2021.07.30

(86) PCT国际申请的申请数据

PCT/JP2019/043308 2019.11.05

(87) PCT国际申请的公布数据

W02020/158086 JA 2020.08.06

(71) 申请人 株式会社日本显示器

地址 日本东京

(72) 发明人 尾关芳孝

(74) 专利代理机构 北京康信知识产权代理有限公司 11240

代理人 马强

(51) Int.Cl.

H01L 29/786 (2006.01)

G02F 1/167 (2019.01)

G09F 9/30 (2006.01)

H01L 21/336 (2006.01)

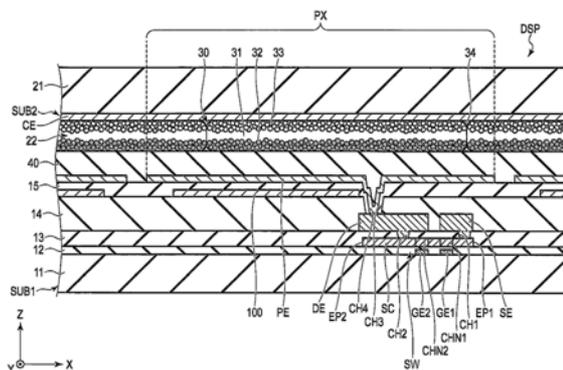
权利要求书2页 说明书10页 附图10页

(54) 发明名称

显示装置及晶体管

(57) 摘要

根据实施方式提供了一种显示装置,具备:显示面板,具有配置有多个像素的像素部和设置在该像素部的周边的周边部;驱动电路,设置在周边部,驱动像素。在像素部或周边部设置有晶体管,晶体管具备半导体层、与半导体层重叠的第一及第二栅极电极、源极电极、漏极电极。源极电极至少在俯视观察时覆盖作为第一栅极电极和半导体层的重叠区域的第一沟道区域而形成。漏极电极在俯视观察时至少覆盖作为第二栅极电极和半导体层的重叠区域的第二沟道区域而形成。



1. 一种显示装置,具备:

显示面板,具有配置有多个像素的像素部和设置在该像素部的周边的周边部;以及驱动电路,设置在所述周边部,驱动所述像素,

在所述像素部或所述周边部设置有晶体管,该晶体管具备:半导体层,具有第一端部及第二端部;第一栅极电极,在靠近该第一端部的位置与该半导体层重叠;第二栅极电极,在该第一栅极电极与所述第二端部之间与该半导体层重叠;源极电极,与所述第一端部连接;漏极电极,与所述第二端部连接,

所述第一及第二栅极电极配置在第一层上,

所述源极电极及所述漏极电极配置在与所述第一层不同的第二层上,

所述源极电极在俯视观察时至少覆盖作为所述第一栅极电极和半导体层的重叠区域的第一沟道区域而形成,

所述漏极电极在俯视观察时至少覆盖作为所述第二栅极电极和半导体层的重叠区域的第二沟道区域而形成。

2. 根据权利要求1所述的显示装置,

所述第一沟道区域和第二沟道区域的形状及面积相同,

所述第一沟道区域与所述源极电极重叠的部分的面积和所述第二沟道区域与所述漏极电极重叠的部分的面积相同。

3. 根据权利要求1所述的显示装置,

所述周边部包括保护电路,

所述保护电路构成为交替配置按照所述第一栅极电极及所述第二栅极电极的顺序排列配置的第一栅极电极部和所述第二栅极电极及所述第一栅极电极排列配置的第二栅极电极部,

所述源极电极及所述漏极电极形成为相互啮合的梳齿形的形状,以使该源极电极配置在与所述第一栅极电极重叠的位置,该漏极电极配置在与所述第二栅极电极重叠的位置。

4. 根据权利要求1所述的显示装置,

所述源极电极具备超过所述第一沟道区域而延伸的第一延伸部,所述漏极电极具备超过所述第二沟道区域而延伸的第二延伸部,所述第一延伸部的第一延伸宽度小于所述第二延伸部的第二延伸宽度。

5. 根据权利要求1所述的显示装置,

所述晶体管是在基材与所述半导体层之间配置有所述第一及第二栅极电极的底栅型的晶体管。

6. 根据权利要求1所述的显示装置,

所述晶体管是在所述半导体层与所述源极电极及所述漏极电极之间配置有所述第一及第二栅极电极的顶栅型的晶体管。

7. 一种显示装置,具备

显示面板,具有配置有多个像素的像素部和设置在该像素部的周边的周边部;以及驱动电路,设置在所述周边部,驱动所述像素,

在所述像素部或所述周边部设置有晶体管,该晶体管具备:半导体层,具有第一端部及第二端部;第一栅极电极,在靠近该第一端部的位置与半导体层重叠;第二栅极电极,在靠

近所述第二端部的位置与半导体层重叠;源极电极,与所述第一端部连接;漏极电极,与所述第二端部连接;以及金属部件,

所述第一及第二栅极电极配置在第一层上,

所述源极电极、所述漏极电极及所述金属部件配置在与所述第一层不同的第二层上,

所述金属部件在俯视观察时至少覆盖作为所述第一栅极电极和半导体层的顶部区域的第一沟道区域及作为所述第二栅极电极和半导体层的顶部区域的第二沟道区域而形成。

8. 一种晶体管,具备:

半导体层,具有第一端部及第二端部;

第一栅极电极,在靠近所述第一端部的位置与半导体层重叠;

第二栅极电极,在靠近所述第二端部的位置与半导体层重叠;

源极电极,与所述第一端部连接;以及

漏极电极,与所述第二端部连接,

所述第一及第二栅极电极配置在第一层上,

所述源极电极及所述漏极电极配置在与所述第一层不同的第二层上,

所述源极电极在俯视观察时至少覆盖作为所述第一栅极电极和半导体层的顶部区域的第一沟道区域而形成,

所述漏极电极在俯视观察时至少覆盖作为所述第二栅极电极和半导体层的重叠区域的第二沟道区域而形成。

显示装置及晶体管

技术领域

[0001] 本发明的实施方式涉及显示装置及晶体管。

背景技术

[0002] 一般地,已知在元件基板与对置基板之间夹持电泳元件的电泳显示装置 (EPD: Electrophoretic Display)。

[0003] 根据该电泳显示装置,通过驱动在该电泳显示装置中排列的各像素中包括的像素晶体管,能够在该各像素中显示例如白色或黑色等。

[0004] 但是,电泳显示装置的驱动电压较大,上述像素晶体管也被施加高电压。

[0005] 因此,在电泳显示装置中,由于施加在像素晶体管上的高电压所引起的发热,有可能产生特性异常或动作异常。

[0006] 在先技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2009-049080号公报

发明内容

[0009] 因此,本发明要解决的课题在于提供一种能够抑制发热引起的异常的显示装置及晶体管。

[0010] 根据实施方式,提供了一种显示装置,具备:显示面板,具有配置有多个像素的像素部和设置在该像素部的周边的周边部;以及驱动电路,设置在所述周边部,驱动所述像素。在所述像素部或所述周边部设置有晶体管,该晶体管具备:半导体层,具有第一端部及第二端部;第一栅极电极,在靠近该第一端部的位置与半导体层重叠;第二栅极电极,在该第一栅极电极与所述第二端部之间与该半导体层重叠;源极电极,与所述第一端部连接;漏极电极,与所述第二端部连接。所述第一及第二栅极电极配置在第一层上。所述源极电极及所述漏极电极配置在与所述第一层不同的第二层上。所述源极电极在俯视观察时至少覆盖作为所述第一栅极电极和半导体层的重叠区域的第一沟道区域而形成。所述漏极电极在俯视观察时至少覆盖作为所述第二栅极电极和半导体层的重叠区域的第二沟道区域而形成。

附图说明

[0011] 图1是示出第一实施方式所涉及的显示装置的结构的一例的俯视图。

[0012] 图2是示出像素的沿第一方向的剖面的一例的图。

[0013] 图3是示出像素晶体管的一例的俯视图。

[0014] 图4是示出本实施方式的比较例中的像素的沿第一方向的剖面的一例的图。

[0015] 图5是示出本实施方式的比较例中的像素晶体管的一例的俯视图。

[0016] 图6是用于说明源极电极及漏极电极的结构的一例的图。

[0017] 图7是用于说明保护二极管的结构的一例的图。

- [0018] 图8是示出顶栅型的像素晶体管的一例的图。
- [0019] 图9是示出第二实施方式中的像素的沿第一方向的剖面的一例的图。
- [0020] 图10是示出本实施方式中的像素晶体管的一例的俯视图。
- [0021] 图11是示出本实施方式中的像素晶体管的其他例的俯视图。
- [0022] 图12是示出顶栅型的像素晶体管的一例的图。

具体实施方式

[0023] 以下,参照附图对本实施方式进行说明。另外,公开只不过是一例而已,本领域技术人员能够容易想到的保持发明的主旨的适当变更,当然包括在本发明的范围内。另外,为了使说明更加明确,附图与实际的方式相比,有时示意性地表示各部分的宽度、厚度、形状等,但只不过是一例而已,并不限定本发明的解释。另外,在本说明书和各图中,对发挥与已经说明的图相同或类似的功能的构成要素标注相同的参照附图标记,有时适当省略重复的详细说明。

[0024] (第一实施例)

[0025] 图1是示出第一实施方式所涉及的显示装置的结构的一例的俯视图。在图1所示的例子中,第一方向X、第二方向Y及第三方向Z相互正交,但也可以相互以90度以外的角度交叉。第一方向X及第二方向Y相当于与构成显示装置DSP的基板的主面平行的方向,第三方向Z相当于显示装置DSP的厚度方向。在本实施方式中,将表示第三方向Z的箭头的前端侧的位置称为上方(或简称为上),将箭头的后端侧的位置称为下方(或简称为下)。另外,假设在表示第三方向Z的箭头的前端侧存在观察显示装置DSP的观察位置,将从该观察位置向由第一方向X及第二方向Y规定的X-Y平面观察称为俯视观察。

[0026] 图1所示的显示装置DSP具备包括第一基板SUB1及第二基板SUB2的显示面板1。显示面板1具有作为像素部的显示区域DA和作为设置在该像素部的周边的周边部的非显示区域NDA。

[0027] 显示区域DA在俯视观察时位于第一基板SUB1及第二基板SUB2重叠的区域。在显示区域DA(像素部)中,在第一方向X及第二方向Y上呈矩阵状地配置有多个像素PX。

[0028] 非显示区域NDA形成为框状。包括栅极驱动器GD1及GD2和源极驱动器SD的驱动电路(驱动显示面板1的驱动电路)位于非显示区域NDA,设置在第一基板SUB1上。

[0029] 柔性布线基板2与第一基板SUB1连接。IC芯片3与柔性布线基板2连接。另外,IC芯片3也可以与第一基板SUB1连接。另外,上述栅极驱动器GD1及GD2和源极驱动器SD例如也可以内置在IC芯片3中。

[0030] 另外,在本实施方式所涉及的显示装置DSP中,也可以在第一基板SUB1上设置保护二极管4及5。保护二极管4配置在柔性布线基板2与源极驱动器SD之间,经由该保护二极管4供给的信号被输入到源极驱动器SD。保护二极管5配置在分别与栅极驱动器GD1及GD2对应的位置,经由该保护二极管5供给的信号被输入到栅极驱动器GD1及GD2。

[0031] 图2示出设置在像素部的像素PX的沿第一方向X的剖面的一例。如图2所示,第一基板SUB1具备基材11及绝缘膜12~15。

[0032] 基材11是由绝缘性的玻璃或聚酰亚胺树脂等树脂形成的绝缘基板。由于基材11相对于第二基板SUB2位于观察位置的相反侧,因此例如是不透明的基材,但也可以是透明的

基材。

[0033] 这里,上述像素PX(像素电路)包括作为开关元件的像素晶体管(薄膜晶体管)SW,但在本实施方式中,该像素晶体管SW具有双栅极结构。即,像素晶体管SW具有半导体层SC、两个栅极电极GE1及GE2、一个源极电极SE和一个漏极电极DE。

[0034] 栅极电极GE1及GE2位于基材11上,被绝缘膜(栅极绝缘膜)12覆盖。栅极电极GE1及GE2由铝(Al)、钛(Ti)、银(Ag)、钼(Mo)、钨(W)、铜(Cu)、铬(Cr)等金属材料或组合这些金属材料的合金等形成。另外,栅极电极GE1及GE2既可以是单层结构,也可以是层叠结构。

[0035] 半导体层SC位于绝缘膜12上,被绝缘膜13覆盖。半导体层SC在俯视观察时配置在与上述栅极电极GE1及GE2重叠的位置。半导体层SC例如由多晶硅(例如,低温多晶硅)形成,但也可以由非晶硅或氧化物半导体形成。

[0036] 另外,在图2所示的例子中,像素晶体管SW是在基材11与半导体层SC之间(即,在半导体层SC的下方)配置有栅极电极GE1及GE2的底栅型的晶体管。

[0037] 源极电极SE及漏极电极DE位于绝缘膜13上,被绝缘膜14覆盖。源极电极SE及漏极电极DE由相同的材料形成,例如使用上述金属材料形成。

[0038] 源极电极SE在贯通绝缘膜13的贯通孔CH1中与半导体层SC接触(连接)。漏极电极DE在贯通绝缘膜13的贯通孔CH2中与半导体层SC接触(连接)。

[0039] 即,晶体管SW具备:半导体层SC;栅极电极GE1,在靠近该半导体层SC的一个端部(第一端部)EP1的位置与半导体层SC重叠;栅极电极GE2,在该栅极电极GE1与另一个端部(第二端部)EP2之间与半导体层SC重叠;源极电极SE,与半导体层SC的端部EP1连接;漏极电极DE,与该半导体层SC的端部EP2连接。

[0040] 另外,栅极电极GE1及GE2与扫描线连接,源极电极SE与信号线连接,但在图2中省略了该扫描线及信号线。

[0041] 电容电极100位于绝缘膜14上,被绝缘膜(电容绝缘膜)15覆盖。电容电极100例如是由铟锡氧化物(ITO)或铟锌氧化物(IZO)等透明导电材料形成的透明电极。电容电极100也可以由不透明的金属材料(非透明导电材料)形成。另外,虽然在图2中省略了,但电容电极100例如也可以与供电线等接触。

[0042] 像素电极PE位于绝缘膜15上。像素电极PE对配置在显示区域DA的多个像素PX各设置一个。

[0043] 像素电极PE在贯通绝缘膜14的贯通孔CH3及贯通绝缘膜15的贯通孔CH4中与漏极电极DE接触。像素电极PE是由上述ITO或IZO等透明导电材料形成的透明电极。像素电极PE可以由具有光反射性的金属材料(非透明导电材料)形成。像素电极PE隔着绝缘膜15与电容电极100重叠,形成像素PX的电容。

[0044] 绝缘膜12、13及15相当于由硅氧化物(SiO)、硅氮化物(SiN)、硅氧氮化物(SiON)等无机材料形成的无机绝缘膜。这些绝缘膜12、13及15既可以分别是单层结构,也可以是层叠结构。

[0045] 绝缘膜14相当于由丙烯酸树脂等有机材料形成的有机绝缘膜(有机平坦化膜)。绝缘膜14形成为比上述无机绝缘膜(绝缘膜12、13及15)厚。通过以规定的厚度形成该有机绝缘膜,比该有机绝缘膜更靠向下方的凹凸被吸收,有机绝缘膜上变得平坦。由此,能够抑制在该有机绝缘膜上形成的电容电极或像素电极的凹凸。

[0046] 这里,本实施方式所涉及的显示装置DSP例如是电泳显示装置(EPD: Electrophoretic Display)。在该情况下,第二基板SUB2具备基材21、共用电极CE及电泳元件22。

[0047] 基材21由绝缘性的玻璃或聚酰亚胺树脂等树脂形成。由于基材21相对于第一基板SUB1位于观察位置侧,因此是透明的基材。

[0048] 共用电极CE位于基材21与电泳元件22之间。共用电极CE是由ITO或IZO等透明导电材料形成的透明电极。另外,共用电极CE与上述电容电极100为相同电位。

[0049] 电泳元件22位于像素电极PE与共用电极CE之间。电泳元件22由在X-Y平面内几乎没有间隙地排列的多个微胶囊30形成。

[0050] 微胶囊30具有例如 $20\mu\text{m}\sim 70\mu\text{m}$ 左右的粒径。另外,例如在一边的长度为一百~数百 μm 左右的矩形或多边形上的像素电极PE上,配置有1个~10个左右的微胶囊30。

[0051] 微胶囊30具备分散介质31、多个黑色粒子32和多个白色粒子33。微胶囊30的外壳34例如由丙烯酸树脂等透明树脂形成。

[0052] 分散介质31是在微胶囊30内分散黑色粒子32及白色粒子33的液体。

[0053] 黑色粒子32及白色粒子33例如被称为电泳粒子,具有彼此相反极性的电荷。例如,黑色粒子32带正电,白色粒子33带负电。

[0054] 另外,微胶囊30除了黑色粒子32及白色粒子33之外,也可以具备红、绿、蓝、黄、青、品红等其他颜色的电泳粒子。另外,上述其他颜色的电泳粒子也可以与黑色粒子32及白色粒子33中的至少一方置换。

[0055] 在上述结构的电泳元件22中像素PX显示黑色的情况下,像素电极PE与共用电极CE相比相对地保持为高电位。即,在将共用电极CE的电位作为基准电位时,像素电极PE保持为正极性。由此,带正电的黑色粒子32被向共用电极CE吸引,另一方面,带负电的白色粒子33被向像素电极PE吸引。结果,在从第二基板SUB2的上方(即,观察位置)观察像素PX时,视觉确认为黑色。

[0056] 另一方面,在像素PX显示白色的情况下,像素电极PE与共用电极CE相比相对地保持为低电位。即,在将公共电极CE的电位作为基准电位时,像素电极PE保持为负极性。由此,带负电的白色粒子33被向共用电极CE侧吸引,另一方面,带正电的黑色粒子32被向像素电极PE吸引。结果,在从第二基板SUB2的上方(即,观察位置)观察像素PX时,视觉确认为白色。

[0057] 另外,上述第一基板SUB1及第二基板SUB2通过粘接层40贴合。在图2所示的例子中,粘接层40位于像素电极PE与电泳元件22之间。

[0058] 图3是示出本实施方式中的像素晶体管SW的一例的俯视图。另外,如上所述,像素晶体管SW具有具备两个栅极电极(即,栅极电极GE1及GE2)的双栅极结构。

[0059] 如图3所示,栅极电极GE1及GE2与扫描线G形成在同一层上,与该扫描线G连接。扫描线G沿第一方向X延伸,与图1所示的栅极驱动器GD1及GD2的一方连接。源极电极SE与信号线S连接,该信号线S与源极电极SE及漏极电极DE形成在同一层上。信号线S沿第二方向Y延伸,与图1所示的源极驱动器SD连接。像素晶体管SW位于扫描线G和信号线S的交叉部。

[0060] 栅极电极GE1及GE2在第一方向X上隔开间隔地排列配置。另外,栅极电极GE1及GE2配置在与半导体层SC重叠的位置。

[0061] 另外,栅极电极GE1及GE2在俯视观察时形成为相同的形状及相同的大小(面积)。

[0062] 源极电极SE在贯通孔CH1中与半导体层SC电连接。漏极电极DE在贯通孔CH2中与半导体层SC电连接。另外,像素电极PE在贯通孔CH4中与漏极电极DE电连接。在该情况下,漏极电极DE也作为与像素电极PE接触的接触部的底座发挥作用。

[0063] 这里,栅极电极GE1具备沿信号线S的第一端部GE1a和设置在该第一端部GE1a与栅极电极GE2之间的第二端部GE1b。相对于该栅极电极GE1,源极电极SE沿栅极线G延伸,在俯视观察时与第一端部GE1a及第二端部GE1b两者重叠。

[0064] 另外,栅极电极GE2具备沿与栅极线G交叉(例如,正交)的方向的第三端部GE2a和设置在该第三端部GE2a与栅极电极GE1之间的第四端部GE2b。相对于该栅极电极GE2,漏极电极DE沿栅极线G延伸,在俯视观察时与第三端部GE2a及第四端部GE2b两者重叠。

[0065] 即,在本实施方式中,源极电极SE在第一方向X上完全覆盖栅极电极GE1(与栅极电极GE1对应的沟道区域的上部)而形成,漏极电极DE完全覆盖栅极电极GE2(与栅极电极GE2对应的沟道区域的上部)而形成。沟道区域是指半导体层中的将栅极电极GE1正投影而与该栅极电极GE1重叠的区域CHN1以及将栅极电极GE2正投影而与该栅极电极GE2重叠的区域CHN2。

[0066] 另外,在图3所示的例子中,在俯视观察时,源极电极SE的漏极电极DE侧的端部与栅极电极GE1的端部GE1b一致,但只要源极电极SE在第一方向X上完全覆盖栅极电极GE1即可。因此,源极电极SE的漏极电极DE侧的端部也可以超过栅极电极GE1的栅极电极GE2侧的端部GE1b而进一步延伸。

[0067] 同样地,漏极电极DE的源极电极SE侧的端部也可以超过栅极电极GE2的端部GE2b而进一步延伸。

[0068] 以下,对本实施方式所涉及的显示装置DSP的作用进行说明。这里,图4是示出本实施方式的比较例中的像素PX的沿第一方向X的剖面的图。另外,图5是本实施方式的比较例中的像素晶体管SW'的俯视图。

[0069] 另外,在图4及图5中,对与上述图2及图3相同的部分标注与该图2及图3相同的参照图标记。这里,省略对与图2及图3相同的部分的说明。以下的说明也同样。

[0070] 在本实施方式的比较例中,像素晶体管SW'具有单栅极结构。即,像素晶体管SW'分别具有一个栅极电极GE'、一个源极电极SE及一个漏极电极DE。

[0071] 另外,在本实施方式的比较例中,源极电极SE在俯视观察时不与栅极电极GE'重叠。另外,漏极电极DE'在俯视观察时仅与栅极电极GE'的漏极电极DE侧的一部分重叠。

[0072] 即,本实施方式的比较例与本实施方式的不同点在于,像素晶体管SW'具有单栅极结构,并且栅极电极GE'未被源极电极SE及漏极电极DE完全覆盖。

[0073] 这里,假设在上述本实施方式的比较例所涉及的显示装置DSP'中显示图像的情况。在该情况下,伴随该像素晶体管SW'的开关驱动,像素晶体管SW'被施加例如40V以上的高电压。因此,在像素晶体管SW'的沟道区域CHN'中产生强电场,热载流子被加速。

[0074] 结果,在该沟道区域CHN'(与栅极电极GE'重叠的半导体层SC的区域)局部地产生伴随热载流子的产生的高热,在像素晶体管SW'的上部形成的有机绝缘膜(绝缘膜14)有可能烧损。

[0075] 这样的有机绝缘膜的烧损会影响像素晶体管SW'的阈值特性(V_{th}特性),因此成为像素晶体管SW'的特性异常及动作异常的原因。

[0076] 另外,在图4及图5所示的例子中,漏极电极DE与栅极电极GE'的一部分重叠,但如果像这样仅与一部分重叠,则无法防止在电泳显示装置中施加的高电压下的上述有机绝缘膜的烧损。

[0077] 这里,为了防止上述有机绝缘膜的烧损,在本实施方式的比较例中,考虑例如用漏极电极DE(漏极金属)完全覆盖(重叠)栅极电极GE'的结构。

[0078] 另一方面,可以认为这样的结构,根据漏极电极DE的电压状态而产生的电场会影响沟道区域CHN',使晶体管特性发生变化。即,可以认为在电路设计上,像素晶体管(包括源极电极SE及漏极电极DE)整体成为非对称结构,在源极电极SE-正施加及漏极电极DE-负施加的情况和将它们反转的情况下,晶体管特性发生变化(不对称)。因此,有时会损害良好的晶体管特性。

[0079] 与此相对,在本实施方式中,像素晶体管SW具有双栅极结构,形成覆盖该双栅极结构中的一个栅极电极GE1(与该栅极电极GE1对应的沟道区域)的源极电极SE,并且形成覆盖另一个栅极电极GE2(与该栅极电极GE2对应的沟道区域)的漏极电极DE。

[0080] 由此,在与栅极电极GE1对应的沟道区域中产生的热被源极电极SE分散,在与栅极电极GE2对应的沟道区域中产生的热被漏极电极DE分散。

[0081] 如上所述,在本实施方式中,像素晶体管SW具备:半导体层SC,具有第一端部EP1及第二端部EP2;栅极电极(第一栅极电极)GE1,在靠近半导体层SC的第一端部EP1的位置与该半导体层SC重叠;栅极电极(第二栅极电极)GE2,在该栅极电极GE1与半导体层SC的第二端部EP2之间与该半导体层SC重叠;源极电极SE,与半导体层SC的第一端部EP1连接;漏极电极DE,与半导体层SC的第二端部EP2连接。另外,在本实施方式中,栅极电极GE1及GE2与源极电极SE及漏极电极DE配置在不同的层上。

[0082] 另外,在本实施方式中,源极电极SE在俯视观察时与栅极电极GE1的端部GE1a及GE1b重叠。另外,漏极电极DE在俯视观察时与栅极电极GE2的端部GE2a及GE2b重叠。

[0083] 即,在本实施方式中,在使像素晶体管SW设置为双栅极结构的基础上,分别延伸源极电极SE及漏极电极DE,使其与栅极电极GE1及GE2重叠(直到中间节点为止都被该源极电极SE及漏极电极DE覆盖)。由此,高电压下的显示装置DSP(例如,电泳显示装置)的驱动引起的像素晶体管的发热能够被该源极电极SE及漏极电极DE分散(散热)。由此,能够抑制向有机绝缘膜的局部传热,防止该有机绝缘膜烧损(即,提高容许耐压),因此能够抑制发热引起的异常。

[0084] 另外,在本实施方式中,俯视观察时的栅极电极GE1及GE2的形状及面积(大小)相同,栅极电极GE1与源极电极SE重叠的部分的面积和栅极电极GE2与漏极电极DE重叠的部分的面积相同。

[0085] 即,在本实施方式中,通过使与对应于栅极电极GE1的沟道区域(第一沟道区域)CHN1重叠的源极电极SE的宽度以及对应于栅极电极GE2的沟道区域(第二沟道区域)CHN2重叠的漏极电极DE的宽度(即,金属宽度)相同,S-D反转时的晶体管特性(V_{th} 、导通电流)变成对称,在驱动设计观点下,能够得到容易确保余量的良好的晶体管特性。

[0086] 这里,在本实施方式中,源极电极SE只要至少延伸到该源极电极SE的端部与对应于该栅极电极GE1的沟道区域CHN1的端部一致的位置即可(即,源极电极SE与对应于栅极电极GE1的第一端部GE1a的沟道区域CHN1的端部以及对应于第二端部GE1b的沟道区域CHN1的

端部重叠即可), 但该源极电极SE也可以延伸到该源极电极SE的端部超过对应于栅极电极GE1的沟道区域CHN1的端部的位置。换言之, 在本实施方式中, 源极电极SE在俯视观察时至少覆盖对应于栅极电极GE1的沟道区域CHN1而形成。

[0087] 同样地, 在本实施方式中, 漏极电极DE只要至少延伸到该漏极电极DE的端部与对应于该栅极电极GE2的沟道区域CHN2的端部一致的位置即可(即, 漏极电极DE与对应于栅极电极GE2的第三端部GE2a的沟道区域CHN2的端部及对应于第四端部GE2b的沟道区域CHN2的端部重叠即可), 但该漏极电极DE也可以延伸到该漏极电极DE的端部超过对应于栅极电极GE2的沟道区域CHN2的端部的位置。换言之, 在本实施方式中, 漏极电极DE在俯视观察时至少覆盖对应于栅极电极GE2的沟道区域CHN2而形成。

[0088] 在该情况下, 为了提高上述发热中的散热的效率, 优选源极电极SE和漏极电极DE的面积都较大。作为其结果, 可以考虑超过栅极电极GE1的第二端部GE1b的源极电极SE的端部和超过栅极电极GE2的第二端部GE2b的漏极电极DE的端部在栅极电极间相互接近, 但如果过度接近, 则源极电极SE与漏极电极DE电连接, 有可能短路。因此, 假设源极电极SE的端部和漏极电极DE的端部以不短路的程度接近。另外, 为了防止源极电极SE及漏极电极DE短路, 例如也可以对源极电极SE的漏极电极DE侧的角部(端部)及漏极电极DE的源极电极SE侧的角部(端部)进行倒角加工。

[0089] 另外, 源极电极SE与面积较大的信号线S连接(一体地形成), 因此, 即使在与栅极电极GE1对应的沟道区域中发热, 也容易将该热向信号线S侧散热(容易释放)。另一方面, 漏极电极DE形成为岛状, 与源极电极SE相比难以散热。因此, 如图6所示, 例如将源极电极SE超过栅极电极GE1而延伸的宽度W1(第一宽度)形成为小于漏极电极DE超过栅极电极GE2而延伸的宽度W2(第二宽度)。

[0090] 根据这样的结构, 能够较大地形成漏极电极DE, 能够提高对与栅极电极GE2对应的沟道区域CHN2中的发热的分散效果。

[0091] 另外, 在本实施方式中, 主要对像素部(显示区域DA)中包括的像素晶体管SW进行了说明, 但本实施方式也可以应用于周边部(非显示区域NDA)中包括的例如保护二极管(保护电路)等。

[0092] 这里, 参照图7对保护二极管的结构的一例进行简单说明。在本实施方式中, 只要上述图1所示的保护二极管4及5中的至少一方具有图7所示的结构即可。

[0093] 保护二极管4、5具体包括与二极管连接的薄膜晶体管, 例如使保护二极管4、5的阈值电压高于像素PX中包括的像素晶体管。根据这样的保护二极管4、5, 在浪涌电流侵入的情况下能够保护像素晶体管(像素电路)。

[0094] 如图7所示, 在保护二极管4、5中, 栅极电极具有交替配置按照栅极电极GE1及GE2的顺序排列配置的栅极电极部(第一栅极电极部)201和按照栅极电极GE2及GE1的顺序排列配置的栅极电极部(第二栅极电极部)202的结构。

[0095] 对于这样的栅极电极, 源极电极SE及漏极电极DE分别形成为梳齿状, 在俯视观察时相互啮合地配置。由此, 源极电极SE配置在与栅极电极GE1重叠的位置, 漏极电极DE配置在与栅极电极GE2重叠的位置。

[0096] 在图7所示的保护二极管4、5中, 与上述像素晶体管SW同样地, 栅极电极GE1被源极电极SE覆盖, 并且栅极电极GE2被漏极电极DE覆盖, 因此能够使在晶体管的沟道区域中产生

的热分散。另外,在图7中,省略了半导体层SC。

[0097] 这里对保护二极管4、5进行了说明,但即使是周边部中包括的其他晶体管,也同样地,通过设置为双栅极结构,并形成与两个栅极电极分别重叠的源极电极及漏极电极,能够在晶体管的沟道区域中产生的热分散。

[0098] 另外,在本实施方式中,对像素晶体管SW是底栅型的晶体管的情况进行了说明,但如图8所示,本实施方式也可以应用于在源极电极SE及漏极电极DE各自与半导体层SC之间(即,半导体层SC上)配置栅极电极GE1及GE2的顶栅型的晶体管。

[0099] 在图8所示的例子中,第一基板SUB1与底栅型的情况同样地具备基材11及绝缘膜12~15,但在基材11与半导体层SC之间进一步设置有底涂层16。另外,底涂层16相当于由无机材料形成的无机绝缘膜。另外,对于与图2等相同的部分,这里省略其详细说明。

[0100] 另外,在本实施方式中,主要对显示装置DSP为电泳显示装置的情况进行了说明,但在本实施方式中说明的晶体管也可以应用于电泳显示装置以外的显示装置(例如,液晶显示装置)。另外,在本实施方式中说明的晶体管也可以应用于显示装置以外的电子设备等。以下的实施方式也同样。

[0101] (第二实施方式)

[0102] 接着,对第二实施方式进行说明。另外,关于本实施方式所涉及的显示装置的结构,由于与上述第一实施方式相同,因此适当使用图1进行说明。

[0103] 图9是示出本实施方式中的像素PX的沿第一方向X的剖面的一例的图。另外,对与上述图2相同的部分标注相同的参照附图标记并省略其详细说明。这里,主要对与图2不同的部分进行说明。

[0104] 在上述第一实施方式中,对源极电极SE与栅极电极GE1重叠,漏极电极DE与栅极电极GE2重叠的情况进行了说明,本实施方式在与栅极电极GE1及GE2重叠的位置配置浮动金属(金属部件)这一点上与该第一实施方式不同。

[0105] 如图9所示,浮动金属FM位于绝缘膜13上,被绝缘膜14覆盖。另外,浮动金属FM配置在与源极电极SE及漏极电极DE相同的层上,并夹在该源极电极SE及漏极电极DE之间的位置。另外,浮动金属FM使用上述金属材料形成。

[0106] 另外,在图9所示的例子中,像素晶体管SW是底栅型的晶体管。

[0107] 图10是本实施方式中的像素晶体管SW的俯视图。另外,对与上述图3相同的部分标注相同的参照附图标记,并省略其详细说明。这里,主要对与图3不同的部分进行说明。

[0108] 本实施方式中的像素晶体管SW与上述第一实施方式同样地具有双栅极结构。

[0109] 源极电极SE在贯通孔CH1中与半导体层SC电连接。漏极电极DE在贯通孔CH2中与半导体层SC电连接。

[0110] 另外,在本实施方式中,源极电极SE在俯视观察时不与栅极电极GE1及GE2重叠。同样地,漏极电极DE在俯视观察时不与栅极电极GE1及GE2重叠。

[0111] 这里,在本实施方式中,如上所述,在被源极电极SE和漏极电极DE夹着的位置形成有浮动金属FM。

[0112] 浮动金属FM与栅极电极GE1的端部GE1a及GE1b和栅极电极GE2的端部GE2a及GE2b全部重叠。

[0113] 在该情况下,浮动金属FM至少延伸到该浮动金属FM的源极电极SE侧的端部与栅极

电极GE1的端部GE1a在俯视观察时一致的位置,并至少延伸到该浮动金属FM的漏极电极DE侧的端部与栅极电极GE2的端部GE2a在俯视观察时一致的位置。

[0114] 即,在本实施方式中,形成有在第一方向X上完全覆盖栅极电极GE1及GE2(与栅极电极GE1及GE2分别对应的沟道区域CHN1及CHN2的上部)的浮动金属FM。

[0115] 在图10所示的例子中,在俯视观察时,浮动金属FM的第一方向X的两端部分别与栅极电极GE1的端部GE1a及栅极电极GE2的端部GE2a一致,但浮动金属FM只要覆盖栅极电极GE1及GE2即可。因此,浮动金属FM的两端部既可以进一步向源极电极SE侧及漏极电极DE侧的双方延伸,也可以仅进一步向该源极电极SE侧及漏极电极DE侧的一方延伸。

[0116] 如上所述,在本实施方式中,在将像素晶体管SW设置为双栅极结构的基础上,在与栅极电极GE1(与该栅极电极GE1对应的沟道区域CHN1)及栅极电极GE2(与该栅极电极GE2对应的沟道区域CHN2)重叠的位置配置有浮动金属FM(金属部件)。

[0117] 由此,在与栅极电极GE1对应的沟道区域CHN1中产生的热及在与栅极电极GE2对应的沟道区域CHN2中产生的热被浮动金属FM分散。

[0118] 因此,在本实施方式中,能够抑制向有机绝缘膜的传热,防止该有机绝缘膜烧损,因此能够抑制发热引起的异常。

[0119] 另外,在上述图10所示的例子中,在俯视观察时,浮动金属FM的第二方向Y的宽度比栅极电极GE1及GE2的第二方向Y的宽度窄,但也可以使该浮动金属FM的第二方向Y的宽度进一步向该第二方向Y延伸。由此,能够增大浮动金属FM的面积,可靠地覆盖栅极电极GE1及GE2,因此能够进一步提高对上述像素晶体管SW的沟道区域中的发热的分散效果。

[0120] 另外,在图10中,对形成有与栅极电极GE1(对应的沟道区域CHN1)及栅极电极GE2(对应的沟道区域CHN2)重叠的一个浮动金属FM的情况进行了说明,但如图11所示,也可以是形成有与栅极电极GE1重叠的第一浮动金属FM1及与栅极电极GE2重叠的第二浮动金属FM2的结构。

[0121] 即使是形成有图11所示的第一浮动金属FM1及第二浮动金属FM2的结构,也能够通过第一浮动金属FM1分散在与栅极电极GE1对应的沟道区域CHN1中产生的热,通过第二浮动金属FM2分散在与栅极电极GE2对应的沟道区域CHN2中产生的热,因此能够抑制发热引起的异常。

[0122] 另外,在本实施方式中,主要对像素部中包括的像素晶体管SW进行了说明,但本实施方式也可以如在第一实施方式中说明的那样应用于周边部中包括的晶体管。

[0123] 另外,在本实施方式中,对像素晶体管SW是底栅型的晶体管的情况进行了说明,但本实施方式也可以如图12所示应用于顶栅型的晶体管。另外,除了在源极电极SE及漏极电极DE之间配置有浮动金属FM这一点以外,与上述图8相同,因此这里省略其详细说明。

[0124] 根据以上所述的至少一个实施方式,提供了能够抑制由沟道区域中的发热引起的异常的显示装置及晶体管。

[0125] 虽然对本发明的几个实施方式进行了说明,但这些实施方式只是作为示例而提出的,并非旨在限定发明的范围。这些实施方式能够以其他方式进行实施,能够在不脱离发明的宗旨的范围内进行各种省略、替换、变更。这些实施方式及其变形被包括在发明的范围和宗旨中,同样地被包括在权利要求书所记载的发明及其均等的范围内。

[0126] 附图标记说明

[0127] 1…显示面板;2…柔性布线基板;3…IC芯片;11、21…基材;12~16…绝缘膜;22…电泳元件;30…微胶囊;31…分散介质;32…黑色粒子;33…白色粒子;100…电容电极;201…第一栅极电极部;202…第二栅极电极部;DSP…显示装置;SUB1…第一基板;SUB2…第二基板;GD1、GD2…栅极驱动器;SD…源极驱动器;DA…显示区域(像素部);NDA…非显示区域(周边部);SC…半导体层;GE1、GE2…栅极电极;SE…源极电极;DE…漏极电极;SW…像素晶体管;PX…像素;PE…像素电极;FM…浮动金属(金属部件)。

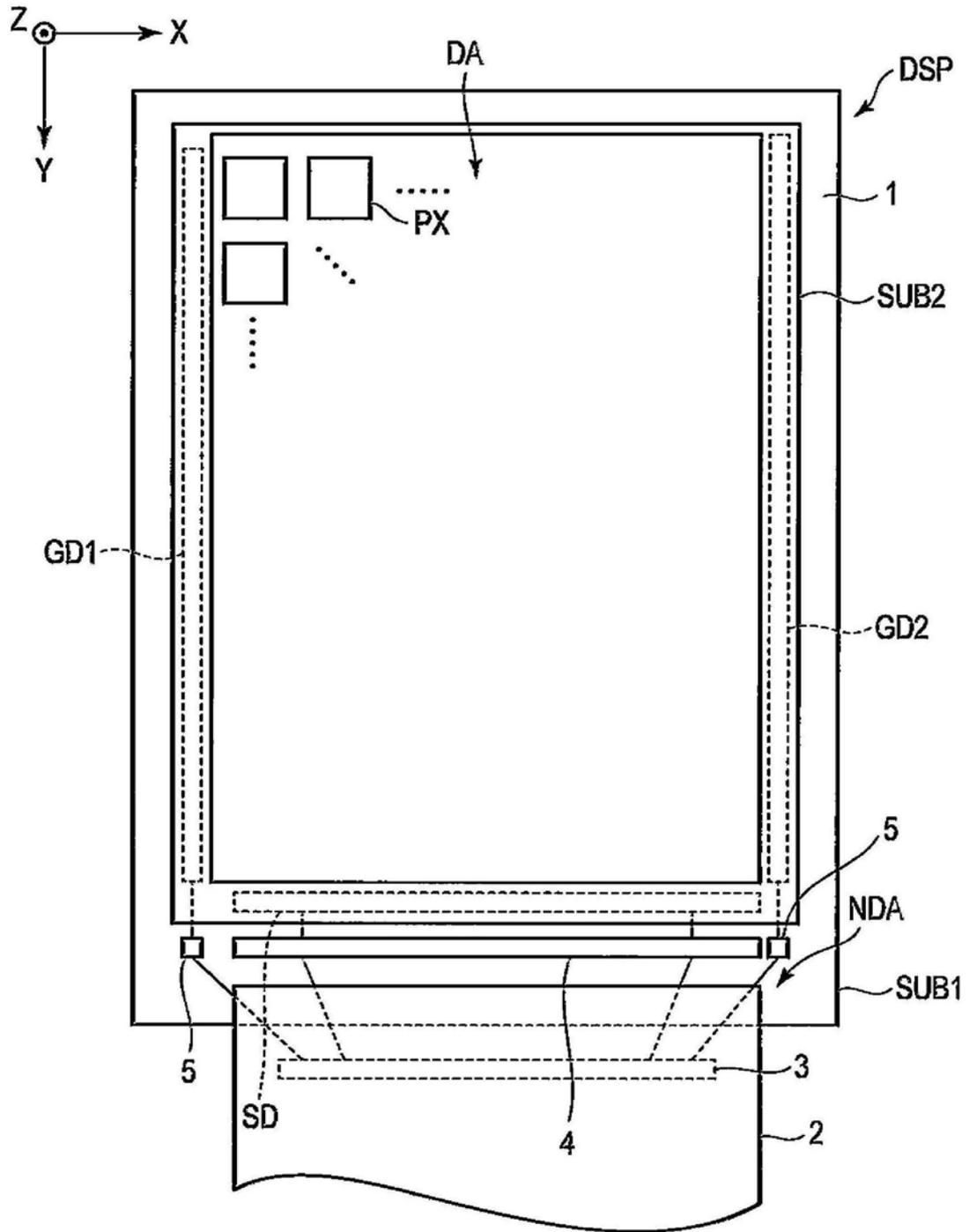


图1

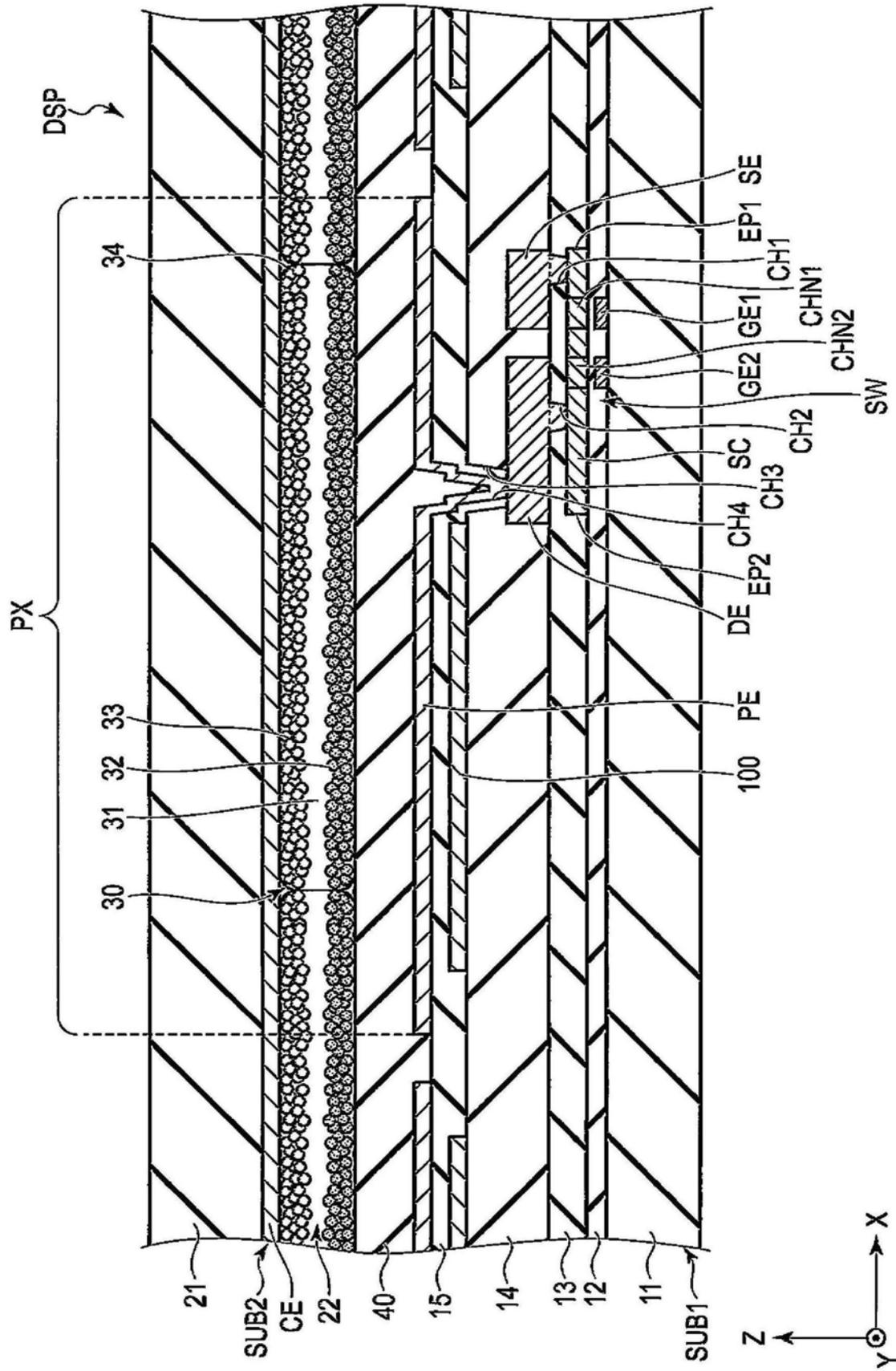


图2

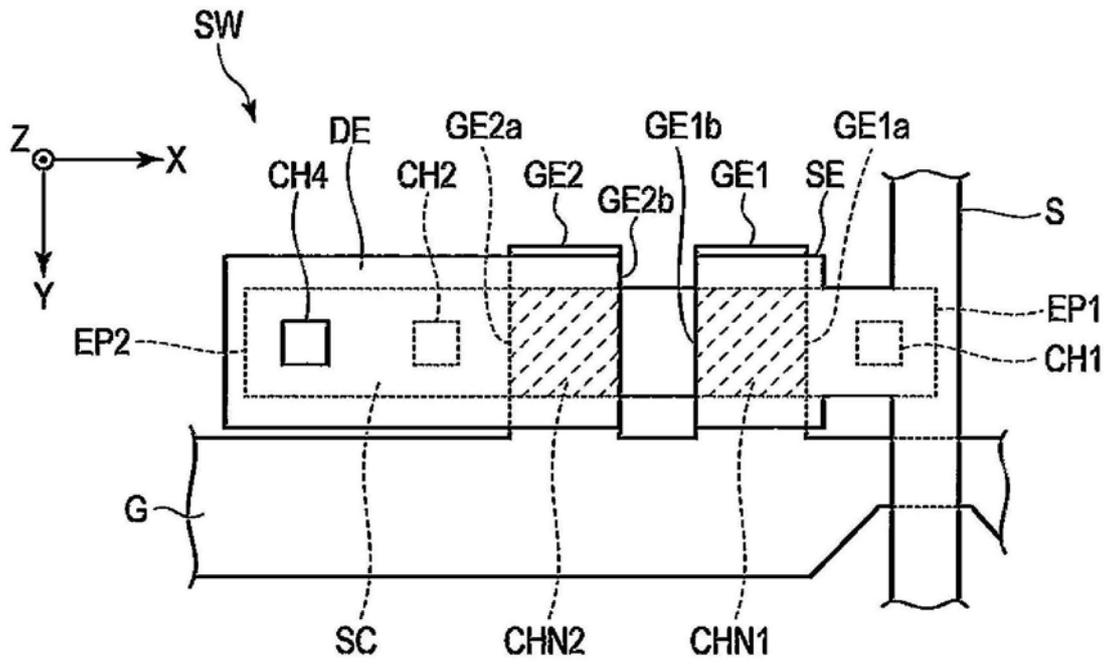


图3

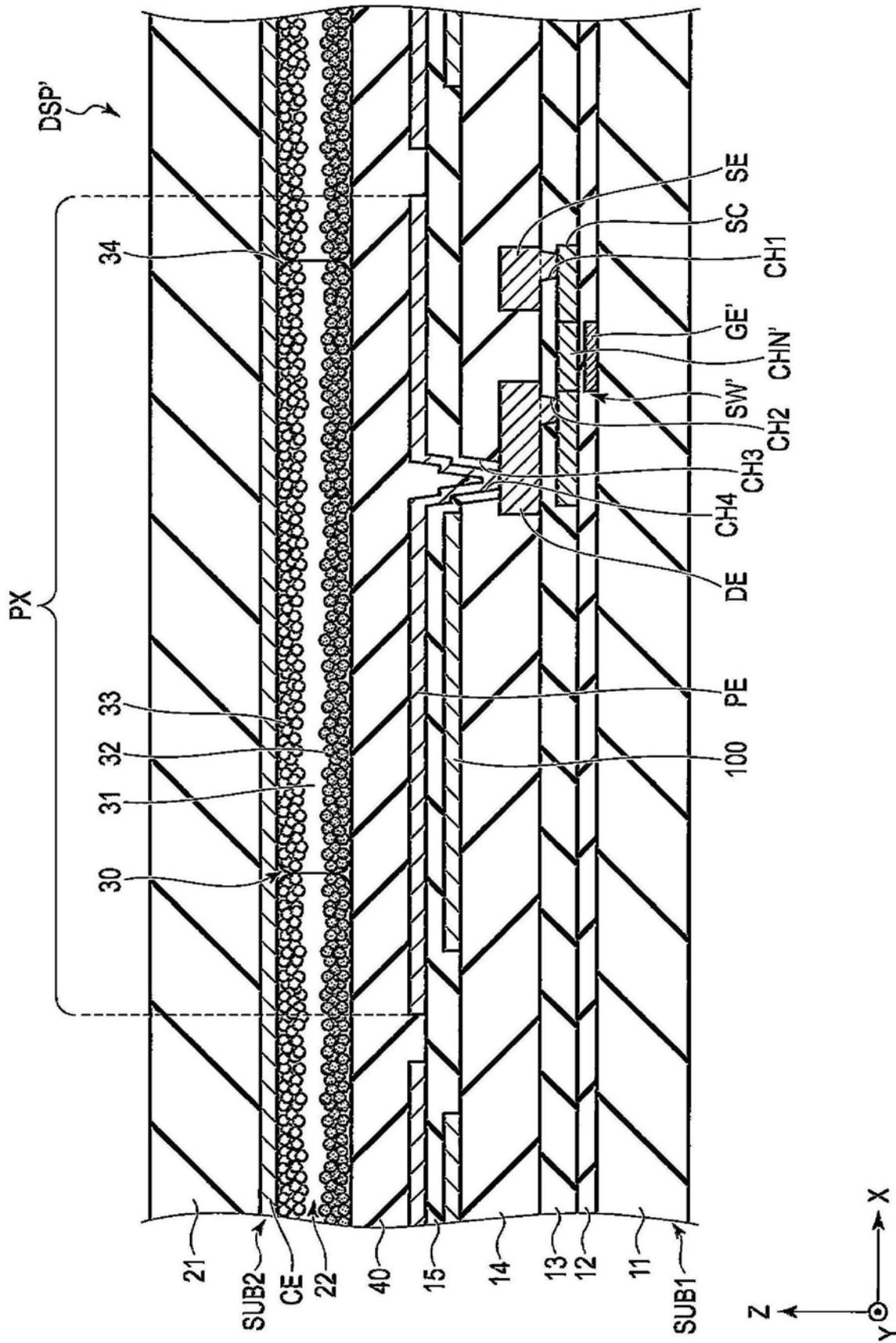


图4

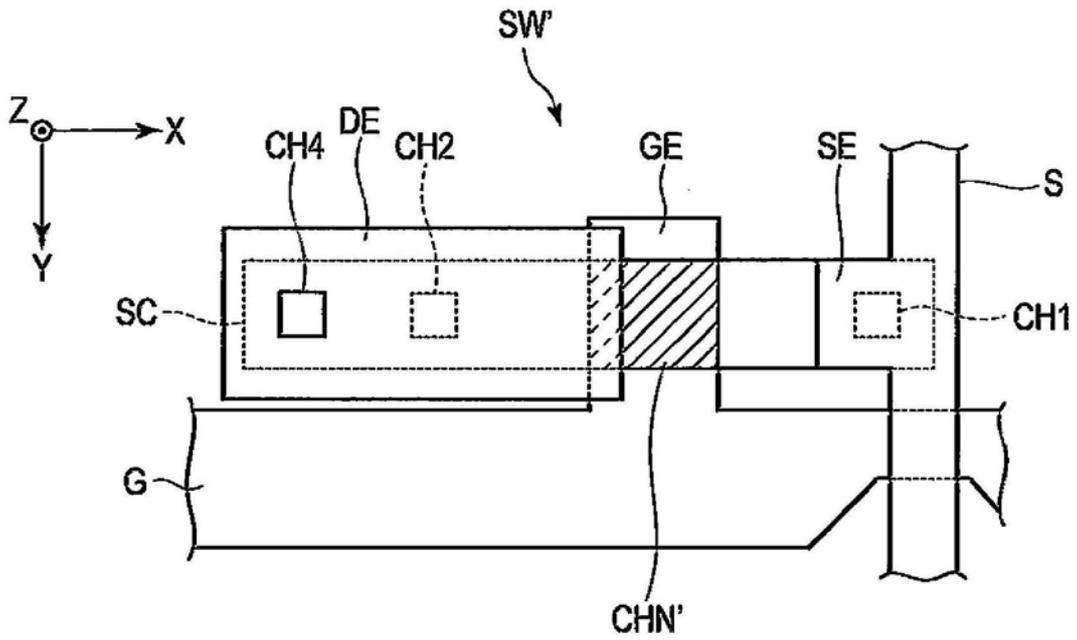


图5

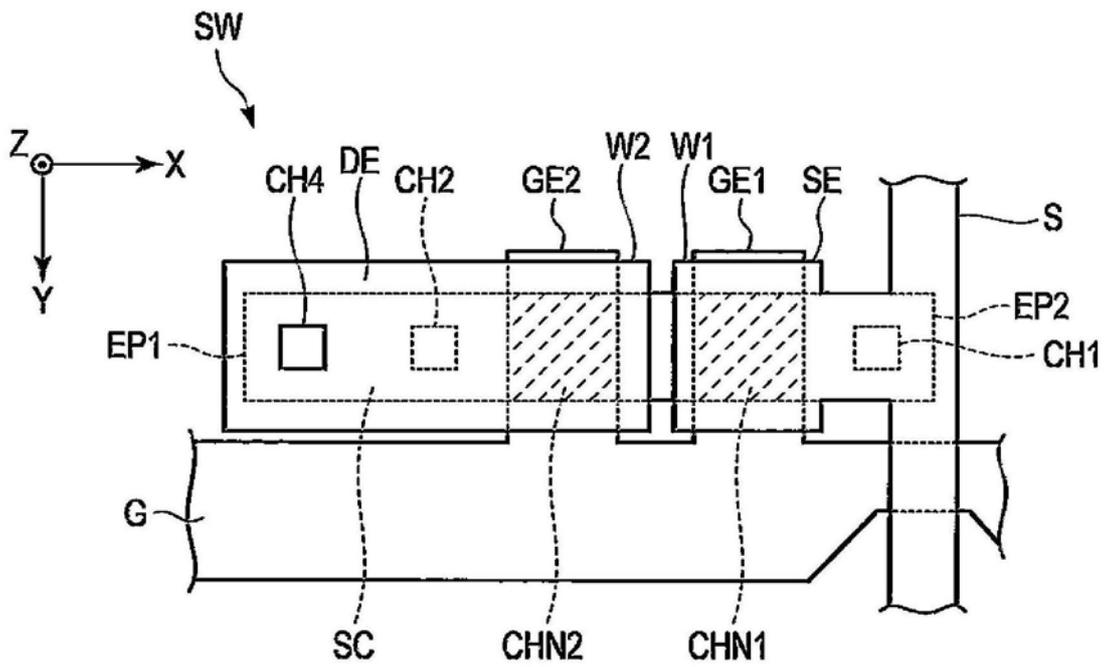


图6

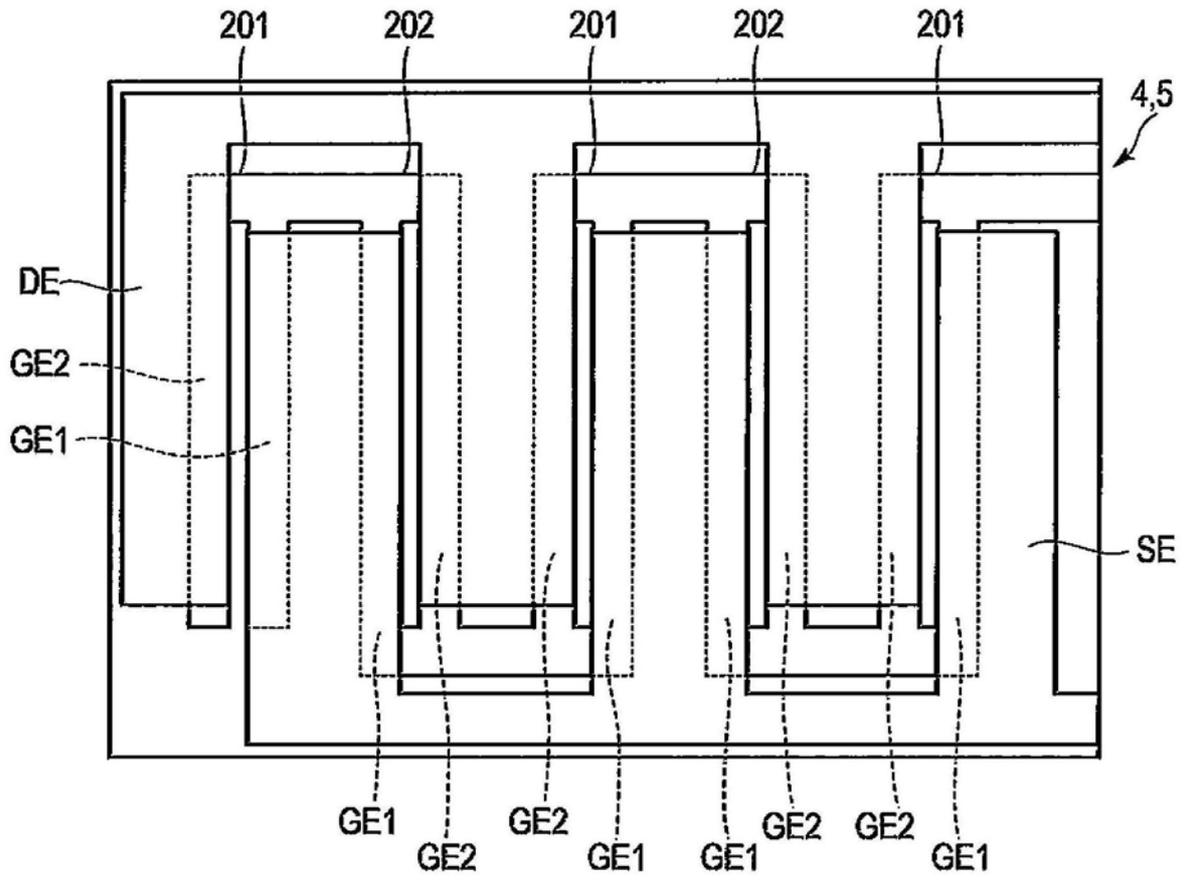


图7

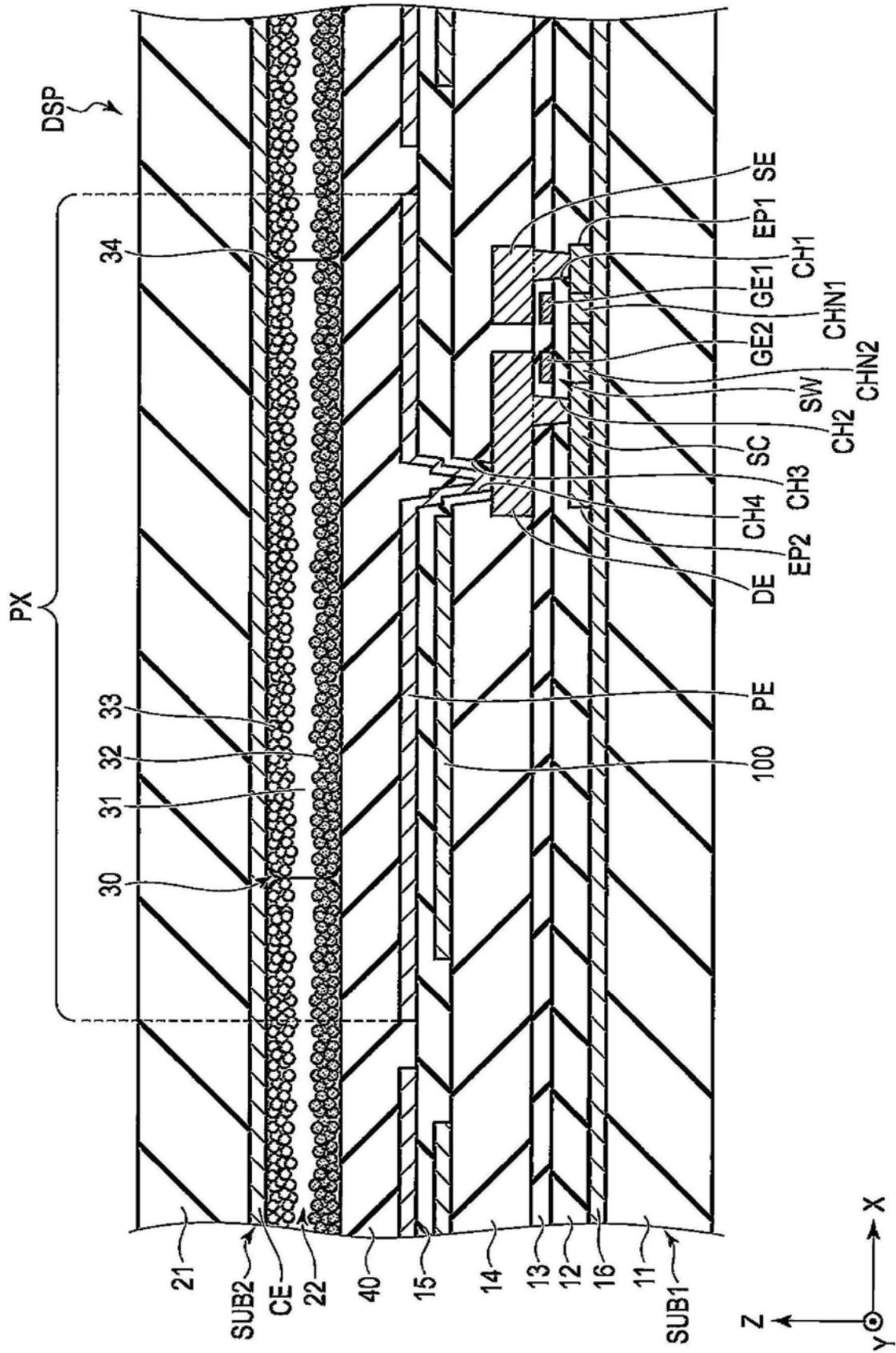


图8

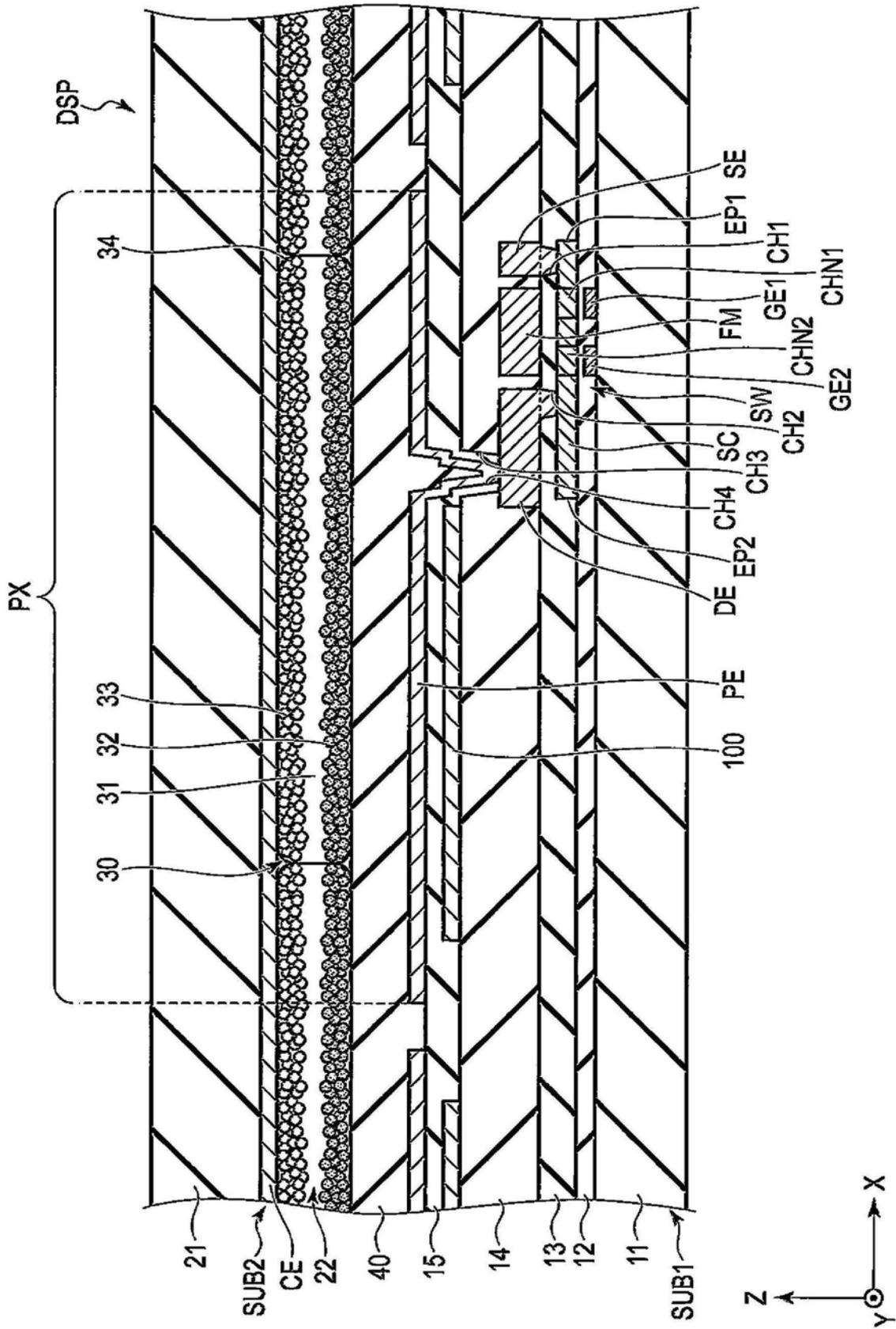


图9

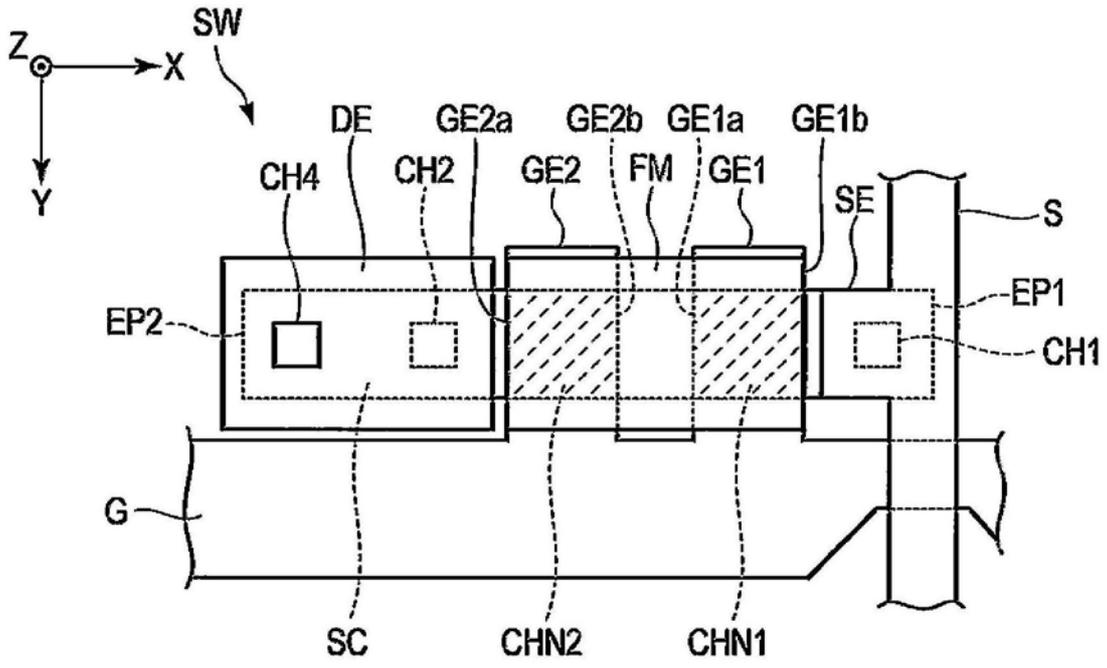


图10

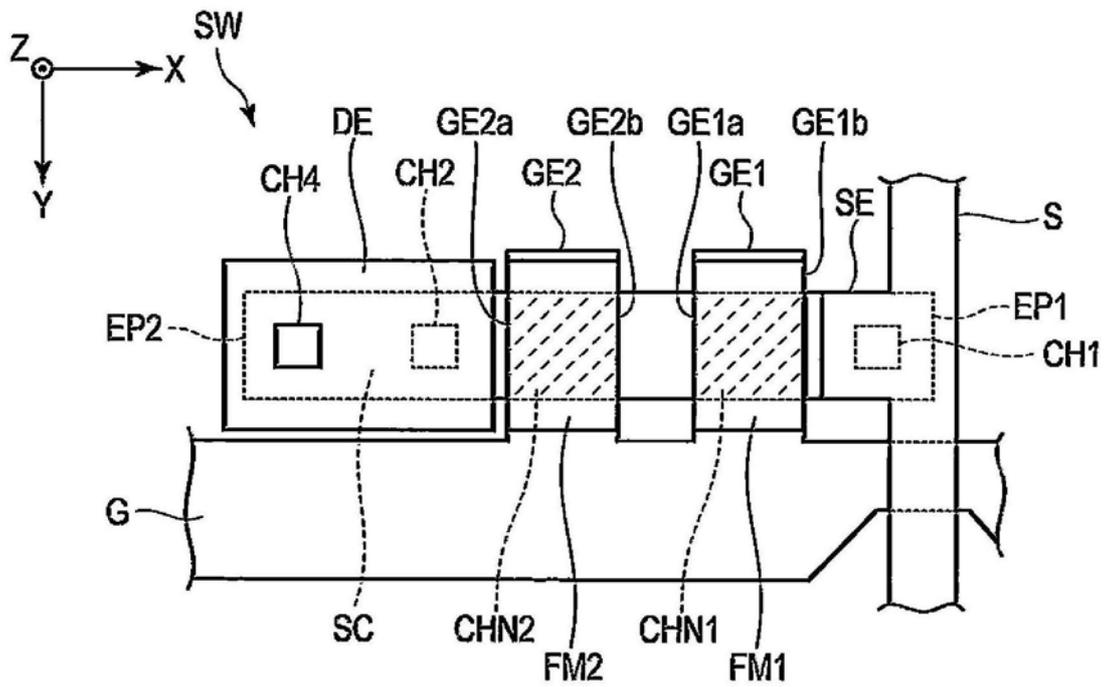


图11

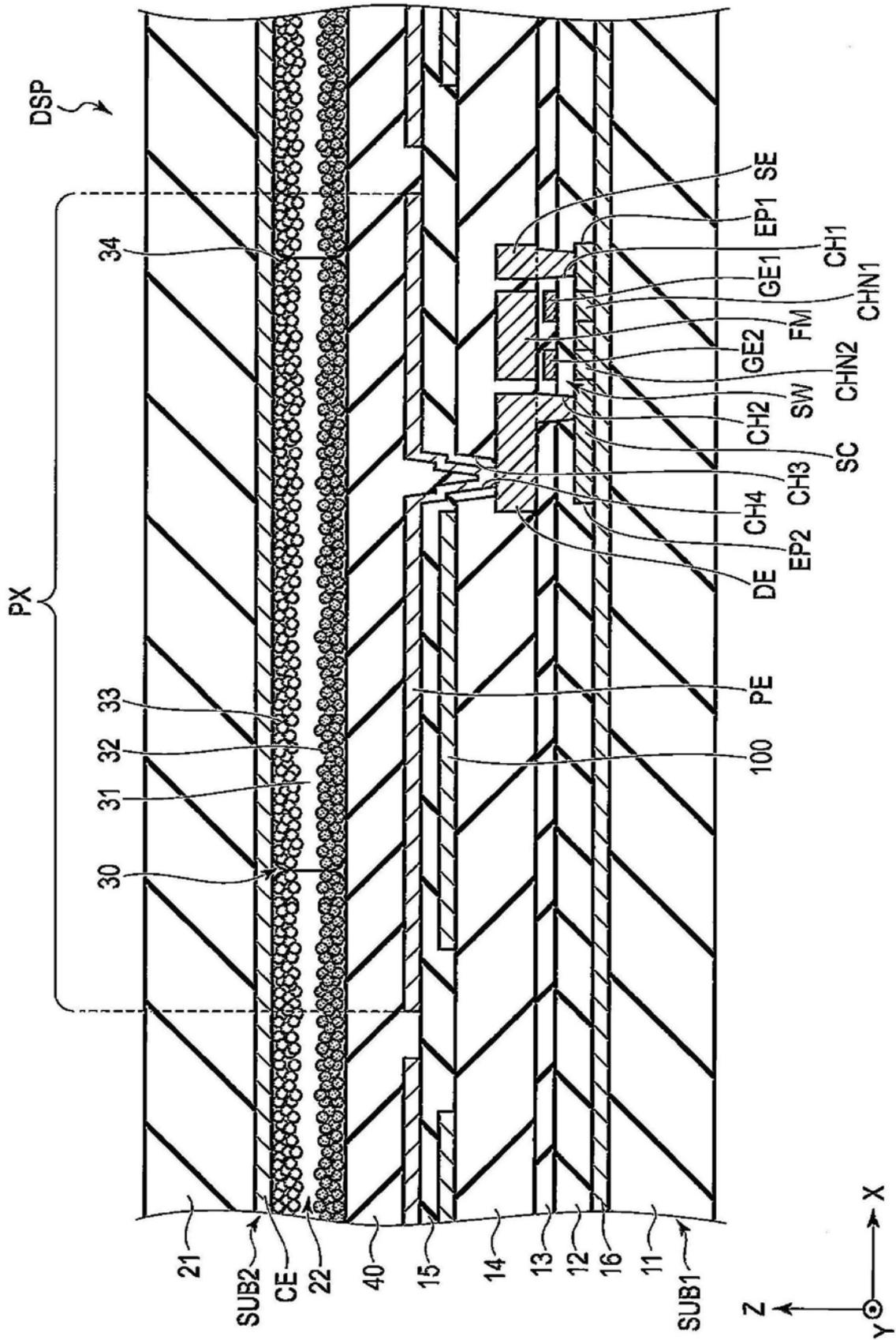


图12