



(12) 发明专利

(10) 授权公告号 CN 111341725 B

(45) 授权公告日 2022. 09. 13

(21) 申请号 201811553322.3

H01L 27/108 (2006.01)

(22) 申请日 2018.12.19

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 111341725 A

US 2017053920 A1, 2017.02.23

US 2017053920 A1, 2017.02.23

US 2006131632 A1, 2006.06.22

(43) 申请公布日 2020.06.26

US 2012034781 A1, 2012.02.09

(73) 专利权人 联华电子股份有限公司
地址 中国台湾新竹市

CN 204088326 U, 2015.01.07

CN 107968073 A, 2018.04.27

(72) 发明人 王嘉鸿 刘恩铨 陈建豪 李钊豪
李修申 江知优

CN 101154625 A, 2008.04.02

CN 102089859 A, 2011.06.08

(74) 专利代理机构 北京市柳沈律师事务所
11105

US 2010244257 A1, 2010.09.30

US 2011014786 A1, 2011.01.20

专利代理师 陈小雯

审查员 唐朝东

(51) Int. Cl.

H01L 21/8242 (2006.01)

H01L 21/768 (2006.01)

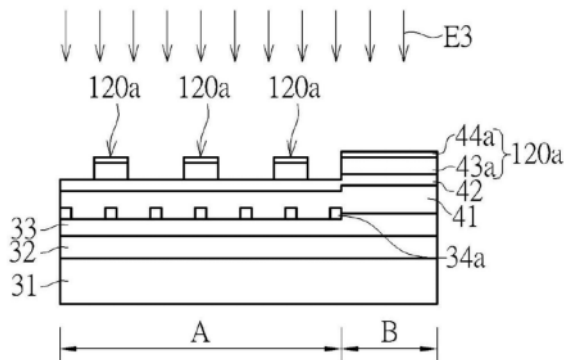
权利要求书2页 说明书6页 附图8页

(54) 发明名称

半导体图案的制作方法

(57) 摘要

本发明公开一种半导体图案的制作方法,包含:首先,提供一基底,其上有一氧化层以及一第一材料层位于该氧化层上,其中一第一区域以及一第二区域定义于该基底上,接着进行一第一蚀刻步骤,移除部分该第一区域内的该第一材料层,然后形成多个第一图案于该第一区域内的该第一材料层上,再形成一第二复合层于该第一图案上,接下来,形成一第二图案层于该第一区域内的该第二复合层上,以及进行一第二蚀刻步骤,以该第一图案与该第二图案为一掩模,移除部分该第二复合层、该第一材料层以及该氧化层。



1. 一种半导体图案的制作方法,包含:
提供基底,其上有氧化层以及第一材料层位于该氧化层上,其中第一区域以及第二区域定义于该基底上;
进行第一蚀刻步骤,移除部分该第一区域内的该第一材料层;
形成多个第一图案于该第一区域内的该第一材料层上,其中该第一图案是由第一侧壁图案转移(sidewall image transfer,SIT)步骤形成;
形成第二复合层于该第一图案上;
形成第二图案于该第一区域内的该第二复合层上;以及
进行第二蚀刻步骤,以该第一图案与该第二图案为掩模,移除部分该第二复合层、该第一材料层以及该氧化层。
2. 如权利要求1所述的制作方法,其中该第一蚀刻步骤之后,该第一材料层具有阶梯状剖面,且位于该第一区域内的顶面低于该第二区域内的顶面。
3. 如权利要求1所述的制作方法,其中该第一材料层包含先进曝光图样薄膜(advanced pattern film,APF)。
4. 如权利要求1所述的制作方法,其中该第一侧壁图案转移包含:
在第一材料层上形成第一复合层以及第一牺牲图案层;
在该第一牺牲图案层上形成第一间隙壁材料层;
进行第三蚀刻步骤,移除部分该第一间隙壁材料层;
完全移除该第一牺牲图案层;以及
以剩余的该第一间隙壁材料层为掩模,蚀刻部分该第一复合层。
5. 如权利要求1所述的制作方法,其中该第二图案是由第二侧壁图案转移(sidewall image transfer,SIT)步骤形成。
6. 如权利要求5所述的制作方法,其中该第二侧壁图案转移包含:
在第一材料层上形成该第二复合层以及第二牺牲图案层;
在该第二牺牲图案层上形成第二间隙壁材料层;
进行第四蚀刻步骤,移除部分该第二间隙壁材料层;
完全移除该第二牺牲图案层;以及
以剩余的该第二间隙壁材料层为掩模,蚀刻部分该第二复合层。
7. 如权利要求1所述的制作方法,其中该氧化层被蚀刻后,形成多个该存储点接触孔(storage node contact hole)。
8. 如权利要求1所述的制作方法,其中该第一图案仅位于该第一区域内。
9. 如权利要求1所述的制作方法,其中该第二图案仅位于该第一区域内。
10. 如权利要求4所述的制作方法,其中该第一复合层包含氮氧化硅层、有机介电层(organic dielectric layer,ODL)以及氮氧化硅层。
11. 如权利要求1所述的制作方法,其中该第二复合层包含氮氧化硅层、有机介电层(organic dielectric layer,ODL)以及氮氧化硅层。
12. 如权利要求1所述的制作方法,其中该第一图案包含多个相互平行的直条结构,沿着第一方向排列。
13. 如权利要求12所述的制作方法,其中该第二图案包含多个相互平行的直条结构,沿

着第二方向排列,其中该第二方向与该第一方向不平行。

14. 如权利要求1所述的制作方法,其中该半导体图案作为半导体结构中的存储节点接触孔。

15. 如权利要求1所述的制作方法,其中部分该第一图案与部分该第二图案位于该第一材料层之上。

半导体图案的制作方法

技术领域

[0001] 本发明涉及一种形成半导体装置布局的方法,特别是涉及用来形成一随机动态处理存储器元件的半导体装置布局的方法。

背景技术

[0002] 随着各种电子产品朝小型化发展的趋势,动态随机存取存储器(dynamic random access memory, DRAM)的设计也必须符合高集成度及高密度的要求。对于具备凹入式栅极结构的动态随机存取存储器而言,由于其可以在相同的半导体基底内获得更长的载流子通道长度,以减少电容结构的漏电情形产生,因此在目前主流发展趋势下,其已逐渐取代仅具备平面栅极结构的动态随机存取存储器。

[0003] 一般来说,具备凹入式栅极结构的动态随机存取存储器是由数目庞大的存储单元(memory cell)聚集形成一阵列区,用来存储数据,而每一存储单元可由一晶体管元件与一电荷贮存装置串联组成,以接收来自于字符线(word line, WL)及位线(bit line, BL)的电压信号。因应产品需求,阵列区中的存储单元密度需持续提升,造成相关制作工艺与设计上的困难度与复杂度不断增加。因此,现有技术还待进一步改良以有效提升相关存储器元件的效能及可靠度。

发明内容

[0004] 本发明的一目的在于提供一种形成半导体装置布局的方法,其是先建立该半导体装置的布局设计图,以便模拟出各元件图案之间的对应关系,在于该半导体装置上形成实际的半导体结构。因此,本实施例的布局方法可有效形成线宽及元件间距日益缩小的微小元件,避免上述元件的距离在曝光制作工艺中会因为光学特性的影响而有其物理上的限制。

[0005] 本发明提供一种半导体图案的制作方法,包含:首先,提供一基底,其上有一氧化层以及一第一材料层位于该氧化层上,其中一第一区域以及一第二区域定义于该基底上,接着进行一第一蚀刻步骤,移除部分该第一区域内的该第一材料层,然后形成多个第一图案于该第一区域内的该第一材料层上,再形成一第二复合层于该第一图案上,接下来,形成一第二图案层于该第一区域内的该第二复合层上,以及进行一第二蚀刻步骤,以该第一图案与该第二图案为一掩模,移除部分该第二复合层、该第一材料层以及该氧化层。

[0006] 整体来说,本发明形成半导体装置布局的方法是利用一光掩模布局设计分别建立一半导体装置的开口图案与一阻挡层的开口图案,以同时定义出具有高集成度与高密度的半导体结构,并且进一步区分出该半导体装置的核心区与周边区。由此,本发明形成半导体装置布局的方法有利于在制作工艺简化的前提下,形成结构更为优化的半导体装置,例如可应用在一随机动态处理存储器(dynamic random access memory, DRAM)元件制作工艺,以形成该随机动态处理存储器元件的存储节点(storage node, SN)。

[0007] 本发明的特点在于,第一图案以及第二图案较佳都仅形成于第一区域内,而不形

成于第二区域内。后续制作工艺步骤中将会在第一区域内将图案(第一图案与第二图案)转移至下方材料层中,因此会在第二区域内先覆盖一掩模层。由于光致抗蚀剂层的填缝能力(gap fill ability)较佳,容易深入图案之间的微小缝隙并且不容易移除,因此本发明在形成第一图案之间就先定义出第一区域A与第二区域B的范围。而在后续制作工艺中,通过调整图案化光致抗蚀剂的形状,使之完整覆盖第二区域,就不会在第二区域内形成图案。由此可以避免上述光致抗蚀剂层填入第二区域内的图案缝隙而难以移除的问题,进而增加半导体元件的制作工艺良率。

附图说明

- [0008] 图1为本发明优选实施例中线图案的立体示意图;
- [0009] 图2为本发明优选实施例中线图案的俯视示意图;
- [0010] 图3为本发明优选实施例中材料层的剖面示意图;
- [0011] 图4为本发明优选实施例中图案转移过程中的线图案的俯视示意图;
- [0012] 图5-图17为本发明优选实施例中图案转移制作工艺的剖面示意图。
- [0013] 主要元件符号说明
- [0014] 2、3:间隙壁材料
- [0015] 2a、3a:间隙壁
- [0016] 10:绝缘层
- [0017] 20:材料层
- [0018] 21:氮化硅层
- [0019] 22:硼磷硅玻璃层
- [0020] 23:氧化层
- [0021] 24:含碳的氮化硅层
- [0022] 25:等离子体增强氧化物层
- [0023] 26:含碳的氮化硅层
- [0024] 30:材料层
- [0025] 31:非晶硅层
- [0026] 32、32a:氧化层
- [0027] 33、33a、33b:先进曝光图样薄膜层
- [0028] 34、34a:有机介电层
- [0029] 35、35a:有机介电层
- [0030] 36、36a:有机介电层
- [0031] 38:图案化光致抗蚀剂
- [0032] 39:图案化光致抗蚀剂
- [0033] 41、41a:有机介电层
- [0034] 42、42a、42b、42c:氮氧化硅层
- [0035] 43、43a:有机介电层
- [0036] 44、44a:氮氧化硅层
- [0037] 46:图案化光致抗蚀剂

- [0038] 50:图案化光致抗蚀剂
- [0039] 110、110a:第一线图案
- [0040] 112:第一间隙壁图案
- [0041] 120、120a:第二线图案
- [0042] 122:第二间隙壁图案
- [0043] 130:重叠区域
- [0044] A:第一区域
- [0045] B:第二区域
- [0046] D1:第一方向
- [0047] D2:第二方向
- [0048] E1、E2、E3、E4、E5:蚀刻制作工艺
- [0049] T1:顶面
- [0050] T2:顶面

具体实施方式

[0051] 为使熟悉本发明所属技术领域的一般技术者能更进一步了解本发明,下文特列举本发明的优选实施例,并配合所附的附图,详细说明本发明的构成内容及所欲达成的功效。

[0052] 为了方便说明,本发明的各附图仅为示意以更容易了解本发明,其详细的比例可依照设计的需求进行调整。在文中所描述对于图形中相对元件的上下关系,在本领域的人都应能理解其是指物件的相对位置而言,因此都可以翻转而呈现相同的构件,此都应同属本说明书所揭露的范围,在此容先叙明。

[0053] 图1绘示本发明优选实施例中线图案的立体示意图。如图1所示,多个第一线图案110与多个第二线图案120可位于不同平面中,且第一线图案110与第二线图案120可以一绝缘层10隔绝。图1仅绘示绝缘层10为单层,但在其他实施例中绝缘层10可为多层。图1仅绘示一第一区域A。在此第一区域A中的第一线图案110沿着一第一方向D1延伸,而第二线图案120沿着一第二方向D2延伸,其中较佳第一方向与第二方向不互相平行。如图2所示,绘示第一线图案110与第二线图案120的俯视示意图。图2中的a图绘示第一线图案110沿着第一方向D1延伸,而图2中的b图绘示第二线图案120沿着第二方向D2延伸。第二方向D2不同于第一方向D1,因而第一线图案110与第二线图案120交会出重叠区域130。在一实施例中,如应用在自对准双图案化(self-aligned double patterning, SADP)制作工艺中用以定义下方材料图案的掩模,可仅有第一线图案110与第二线图案120交会出的重叠区域130能蚀刻至下层材料层。如图2中的c图所示,第一线图案110与第二线图案120所交会出的重叠区域130为具有菱形的俯视图案,因而可在第一线图案110与第二线图案120下方的材料层形成具有菱形开口的孔洞。在一实施例中,经过多次蚀刻之后,具有菱形开口的孔洞在材料层中可能钝化为具有圆形开口的孔洞。

[0054] 请参考图3与图4,本发明形成第一线图案110及第二线图案120,并以自对准双图案化(self-aligned double patterning, SADP)制作工艺在下方材料中定义图案的方法,可详细包含下述步骤,但本发明不以此为限。

[0055] 图3绘示本发明优选实施例中材料层的剖面示意图。本实施例将本发明应用于图

案化动态随机存取存储器的电容的存储节点,而图3所绘示的材料层为欲形成下方存储节点图案(未绘示)的掩模层。如图3所示,图1-图2的第一线图案110与第二线图案120下方的材料层可例如由下而上包含由原子层沉积制作工艺形成的一氮化硅层21、一硼磷硅玻璃层22、一氧化层23、一含碳的氮化硅层24、一等离子体增强氧化物层25、一含碳的氮化硅层26、一非晶硅层31、一氧化层32、一先进曝光图样薄膜层(advanced pattern film,APF) 33,其中例如氮化硅层21的厚度为210埃(angstrom)、硼磷硅玻璃层22的厚度为8000埃、氧化层23的厚度为500埃、含碳的氮化硅层24的厚度为350埃、等离子体增强氧化物层25的厚度为5300埃、含碳的氮化硅层26的厚度为2700埃、非晶硅层31的厚度为7000埃、氧化层32的厚度为2400埃、先进曝光图样薄膜层33的厚度为2500埃,但本发明不以此为限。

[0056] 本实施例是将图1的第一线图案110及第二线图案120形成于图3的材料层20/30上并将图案转移至图3的材料层20/30中。图4则绘示图案转移过程中的线图案的俯视示意图。如图4中的a图所示,形成多个如图2的第一线图案110。接着,如图4中的b图所示,形成多个第一间隙壁图案112围绕第一线图案110,再移除第一线图案110。之后,如图4中的c图所示,形成多个如图2中的b图所示的第二线图案120。而后,如图4中的d图所示,形成多个第二间隙壁图案122围绕第二线图案120,再移除第二线图案120。如此一来,即可由形成于不同层的第一线图案110以及第二线图案120形成位于不同层且彼此交错的第一间隙壁图案112以及第二间隙壁图案122,如图4中的e图所示。第一间隙壁图案112以及第二间隙壁图案122交错出的重叠区域130为孔洞,其中在本实施例中的孔洞为菱形孔洞,但本发明不以此为限。

[0057] 值得注意的是,上述孔洞可作为半导体元件中的存储节点接触孔(storage node contact hole)使用。在现有步骤中,当第一间隙壁图案112以及第二间隙壁图案122完成后,将会进行一修整步骤(trimming process)用以定义出半导体元件的元件区与周边区。举例来说,图4中的e图中将第一区域A的位置定义于图上,其中第一区域A例如为一元件区,代表在后续步骤中,所欲形成半导体元件例如存储节点接触的区域,而位于第一区域A以外的区域则定义为第二区域B,第二区域B例如为一周边区。在现有步骤中,当第一间隙壁图案112以及第二间隙壁图案122分别形成后,在第二区域B内形成例如一光致抗蚀剂层作为掩模层覆盖第二区域B,然后再以一蚀刻步骤将第一区域A内的第一间隙壁图案112以及第二间隙壁图案122分别转移至下方材料层中。然而申请人发现上述步骤可能会产生部分问题,那就是由于第一间隙壁图案112以及第二间隙壁图案122各图案之间的间隙相当密集,因此在第二区域B内,形成光致抗蚀剂层后,光致抗蚀剂层会深入间隙壁图案(第一间隙壁图案112以及第二间隙壁图案122)之间的微小空隙,在后续步骤中将难以移除该光致抗蚀剂层,尤其是位于第一区域A与第二区域B的边界部分,容易发现光致抗蚀剂层残留于间隙壁图案之间的空隙的问题。如此一来,将不利于后续形成的半导体结构的良率。

[0058] 为了避免上述问题,请参考图5至图13,其绘示本发明优选实施例中图案转移制作工艺的剖面示意图。其中为了清楚说明本案特征,图5-图13绘示例如第一区域A与第二区域B的边界部分区域的剖面示意图。在本实施例中,图3的材料层20/30为一掩模层,其中掩模层较佳为一堆叠的掩模层。在一优选实施例中,是以多次制作工艺将图2的第一线图案110及第二线图案120逐步转移至图3的材料层20/30。为简化本发明,仅将图案逐步转移至图3的材料层30的步骤绘示于图5-图13,而材料层30的图案再转移至材料层20为本领域所熟知,故不再赘述。

[0059] 首先,图5绘示形成如图2的第一线图案110的方法。如图5所示,先形成一图案化光致抗蚀剂38覆盖材料层30,尤其是覆盖第二区域B内的先进曝光图样薄膜层33上,此时图案化光致抗蚀剂38并未形成于第一区域A内。接着如图6所示,进行一蚀刻步骤E1,移除部分第一区域A内的先进曝光图样薄膜层33。此时从剖视图来看,先进曝光图样薄膜层33具有一阶梯状剖面,更进一步来说,先进曝光图样薄膜层33位于第一区域A内的一顶面T1低于位于第一区域A内的一顶面T2。

[0060] 上述步骤中,先利用一蚀刻步骤,降低第一区域A内的先进曝光图样薄膜层33厚度,使得第一区域A与第二区域B的分界可预先由图案的高低差所定义。

[0061] 接着,请参考图7至图9,其中图7-图9绘示上述图4中所述第一间隙壁图案112的形成方法,包含利用一侧壁图案转移(sidewall image transfer,SIT)步骤形成。在先进曝光图样薄膜层33上形成一第一图案,此处的第一图案例如与图3所示的第一间隙壁图案112相同。详细步骤如下:首先如图7所示,在先进曝光图样薄膜层33上,依序形成一氮氧化硅层34、一有机介电层((organic dielectric layer,ODL) 35以及一氮氧化硅层36,其中氮氧化硅层34的厚度例如为400埃、有机介电层35的厚度例如为850埃,氮氧化硅层36的厚度例如为200埃,但本发明不以此为限。此外,再形成一图案化光致抗蚀剂39覆盖于氮氧化硅层36上。此处的图案化光致抗蚀剂39完整覆盖第二区域B。

[0062] 接着,如图8所示,蚀刻氮氧化硅层36以及有机介电层35,而形成图案化的一有机介电层35a以及图案化的一氮氧化硅层36a于氮氧化硅层34上,接着,一间隙壁材料2全面覆盖图案化的有机介电层35a以及图案化的氮氧化硅层36a。值得注意的是,在本实施例中,图案化的有机介电层35a以及图案化的氮氧化硅层36a即构成上述图2或图4所述的第一线图案110a。然后如图9所示,进行一蚀刻步骤E2,蚀刻间隙壁材料2,而形成一间隙壁2a以及氮氧化硅层34a围绕第一线图案110a,再移除第一线图案110a。随后步骤中,可移除间隙壁2a,但保留氮氧化硅层34a。此处的氮氧化硅层34a可视为一第一图案,例如与图3所示的第一间隙壁图案112相同。

[0063] 接续步骤中,请参考图10至图13,其中图10-图13绘示上述图4中所述第二间隙壁图案122的形成方法,包含利用一侧壁图案转移(sidewall image transfer,SIT)步骤形成。详细步骤如下:如图10所示,依序形成一有机介电层(organic dielectric layer,ODL) 41、一氮氧化硅层42、一有机介电层43以及一氮氧化硅层44全面覆盖氮氧化硅层34a以及先进曝光图样薄膜层33,再形成一图案化光致抗蚀剂46覆盖氮氧化硅层44。接着如图11所示,进行一蚀刻步骤E3,蚀刻氮氧化硅层44以及有机介电层43,而形成图案化的一有机介电层43a以及图案化的一氮氧化硅层44a于氮氧化硅层42上。在本实施例中,图案化的有机介电层43a以及图案化的氮氧化硅层44a即构成第二线图案120a。如图12-图13所示,形成氮氧化硅层42a以及间隙壁3a(意即第二间隙壁图案)围绕第二线图案120a,再移除第二线图案120a。详细而言,可先如图12所示,一间隙壁材料3全面覆盖图案化的氮氧化硅层44a以及图案化的有机介电层43a(意即第二线图案120a);接着如图13所示,蚀刻间隙壁材料3,而形成氮氧化硅层42a以及间隙壁3a围绕第二线图案120a,再移除第二线图案120a,如图13所示。在本实施例中,蚀刻间隙壁材料3时,部分蚀刻氮氧化硅层42,而形成氮氧化硅层42a,但保留一氮氧化硅层42b。随后移除图案化的氮氧化硅层44a以及图案化的有机介电层43a。此处的间隙壁3a(或下方的氮氧化硅层42a)可视为一第二图案,例如与图3所示的第二间隙壁图

案122相同。

[0064] 接下来,请参考图14-图17,如图14所示,可先选择性移除间隙壁3a(或在部分实施例中,也可将间隙壁3a保留),形成一图案化光致抗蚀剂50覆盖部分的氮氧化硅层34a、氮氧化硅层42a以及间隙壁3a。值得注意的是,此时形成的图案化光致抗蚀剂50,完全覆盖第二区域B,但并未覆盖于氮氧化硅层42a上。接着,进行一蚀刻制作工艺E5,蚀刻未被图案化光致抗蚀剂50遮蔽,且氮氧化硅层34a、氮氧化硅层42a以及间隙壁3a暴露出的氮氧化硅层42b、有机介电层41以及先进曝光图样薄膜层33,因而由下而上形成一先进曝光图样薄膜层33a、一有机介电层41a以及一氮氧化硅层42c。随即,移除图案化光致抗蚀剂50,如图15所示。

[0065] 之后,继续向下蚀刻先进曝光图样薄膜层33a及曝露出的氧化层32,而形成一先进曝光图样薄膜层33b及一氧化层32a,并完全移除间隙壁3a、氮氧化硅层42c、有机介电层41a以及氮氧化硅层34a,如图16所示。其后,移除先进曝光图样薄膜层33b,并曝露出氧化层32a,如图17所示。如此一来,本发明即能精确的在边界区形成所需图案。此处所形成的图案可在后续步骤中,作为一存储点接触孔(storage node contact hole)使用。

[0066] 本发明的特征在于,上述第一图案(即氮氧化硅层34a)以及第二图案(即间隙壁3a或氮氧化硅层42a)较佳都仅形成于第一区域A内的一材料层(先进曝光图样薄膜层33)上,而不形成于第二区域B内。原因如前所述,后续制作工艺步骤中将会在第一区域A内将图案(第一图案与第二图案)转移至下方材料层中(如图14-图17),因此会在第二区域B内先覆盖一掩模层(例如图案化光致抗蚀剂50)。由于光致抗蚀剂层的填缝能力(gap fill ability)较佳,容易深入图案之间的微小缝隙并且不容易移除,因此本发明在形成第一图案之间就先定义出第一区域A与第二区域B的范围(如图5-图6所示)。而在后续制作工艺中,通过调整图案化光致抗蚀剂39与图案化光致抗蚀剂46的形状,使之完整覆盖第二区域B,就不会在第二区域B内形成图案。由此可以避免上述光致抗蚀剂层填入第二区域B内的图案缝隙而难以移除的问题,进而增加半导体元件的制作工艺良率。

[0067] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,都应属本发明的涵盖范围。

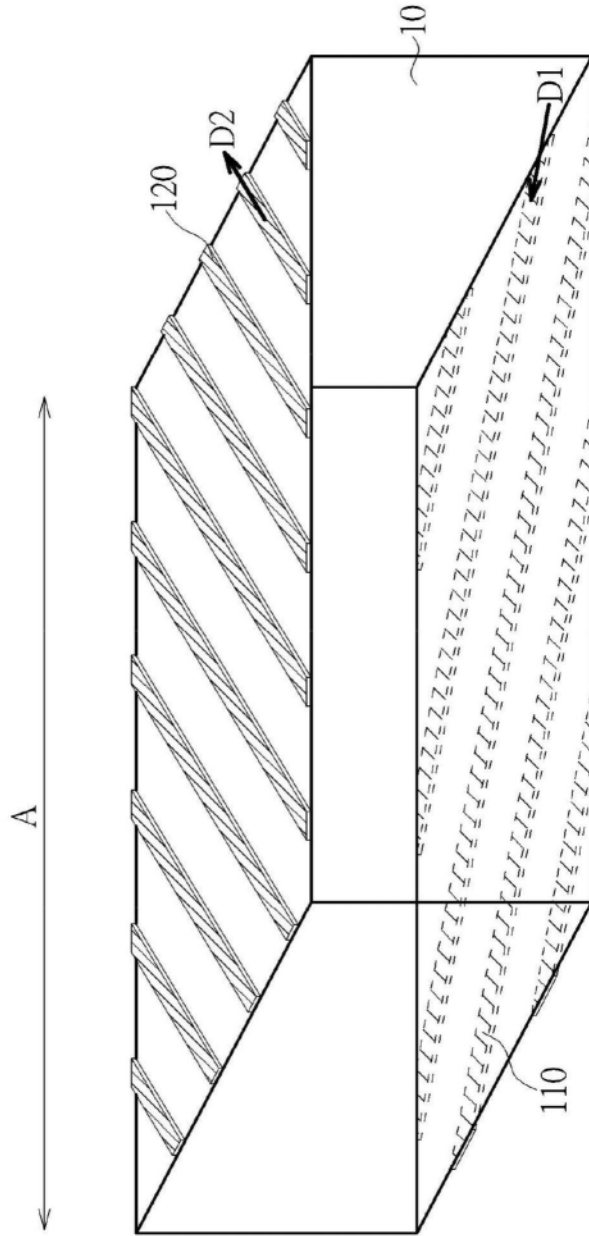


图1

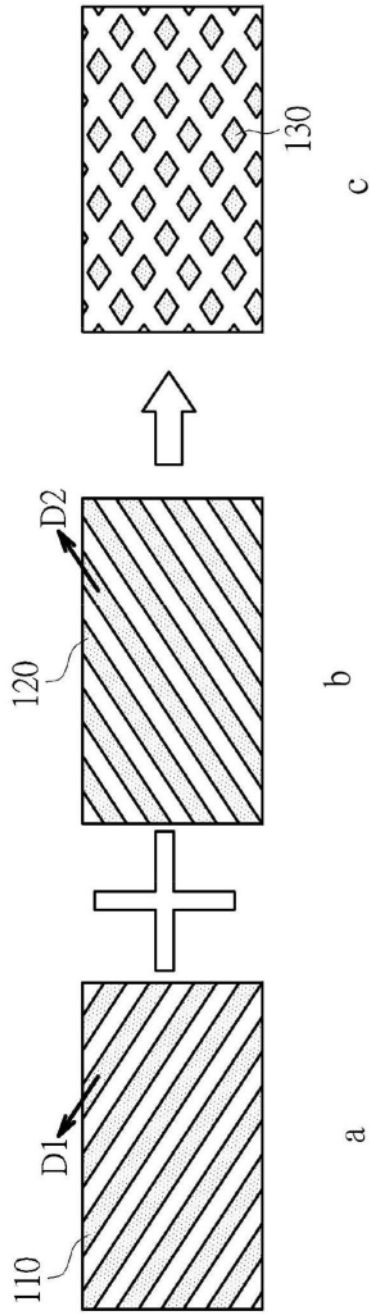


图2

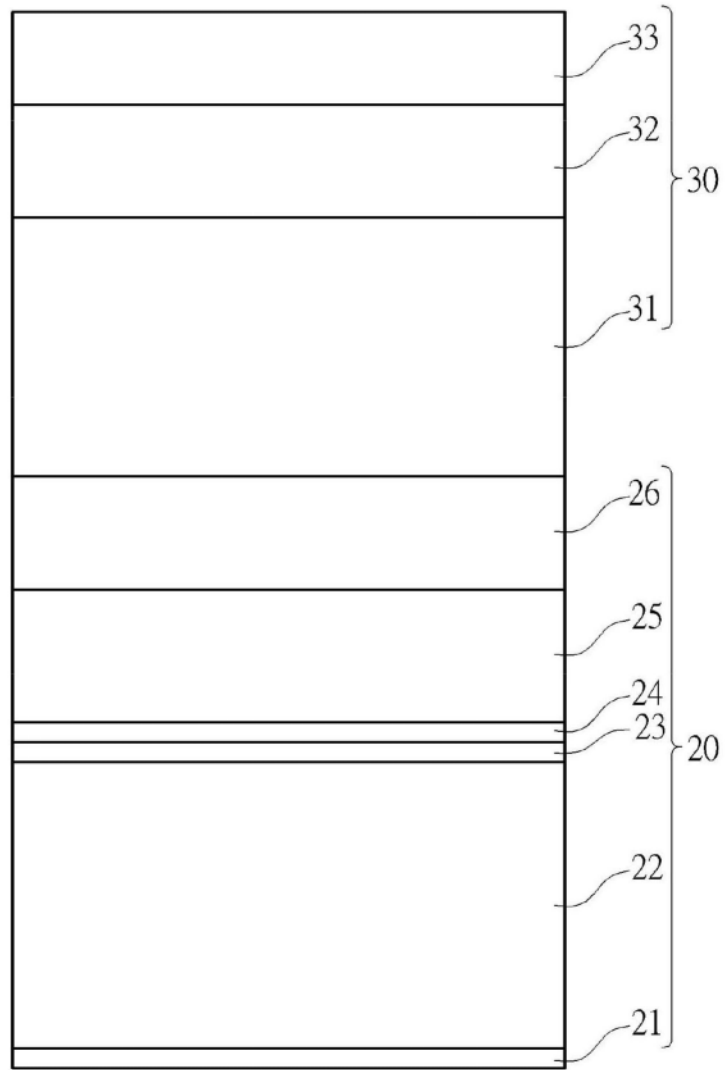


图3

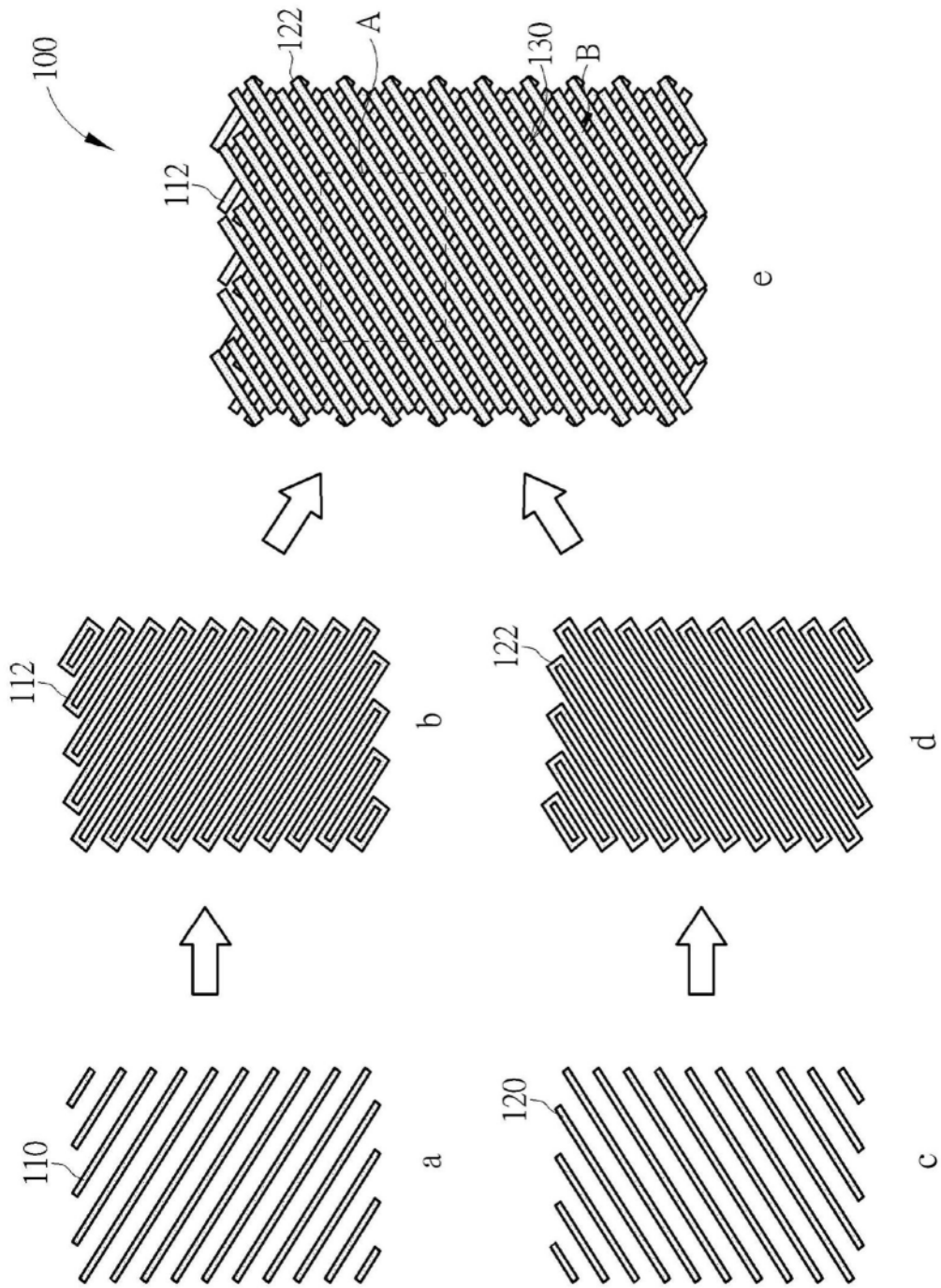


图4

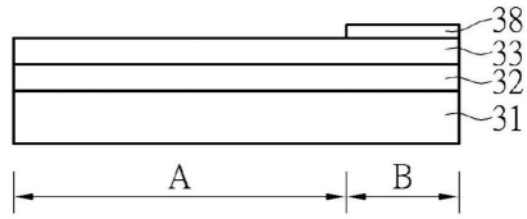


图5

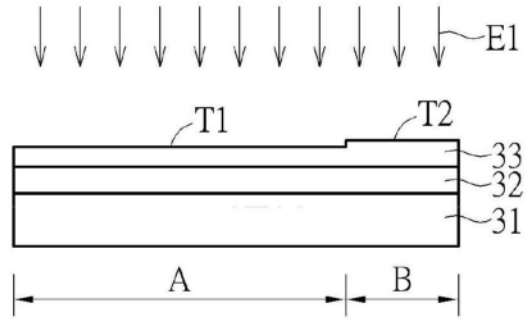


图6

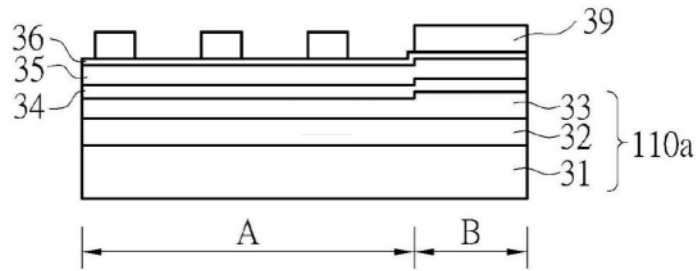


图7

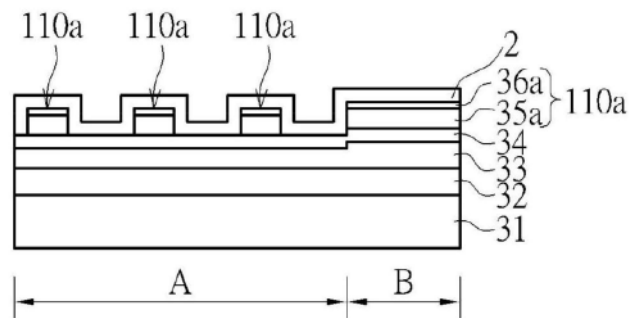


图8

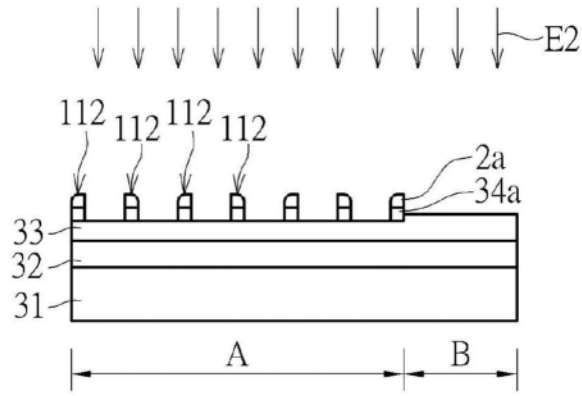


图9

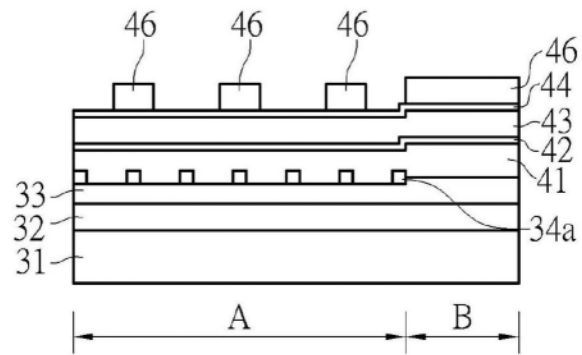


图10

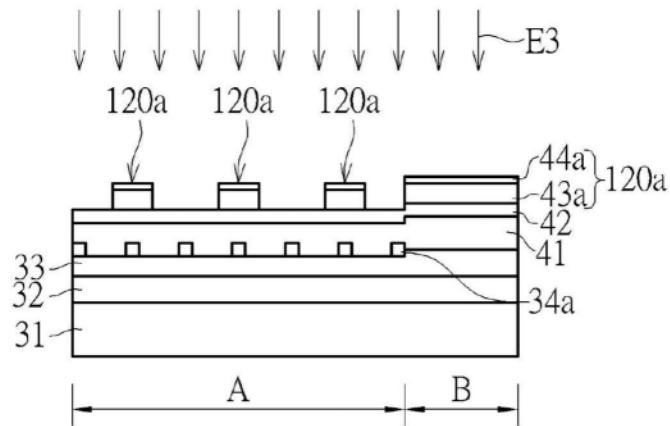


图11

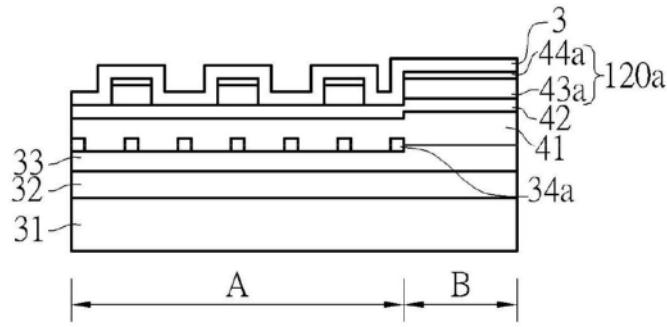


图12

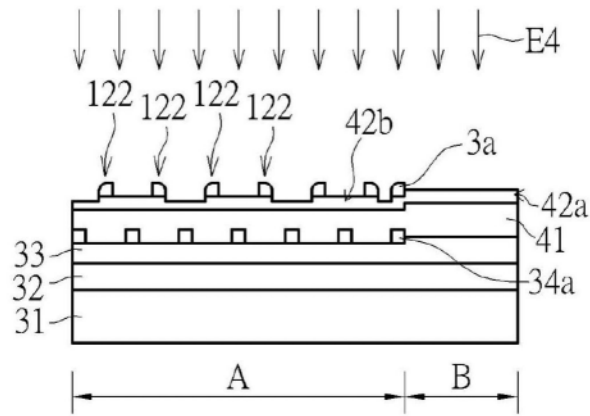


图13

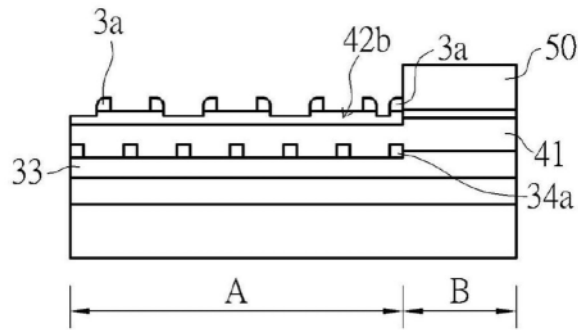


图14

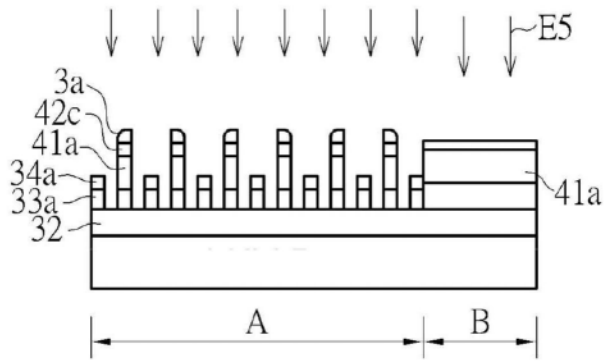


图15

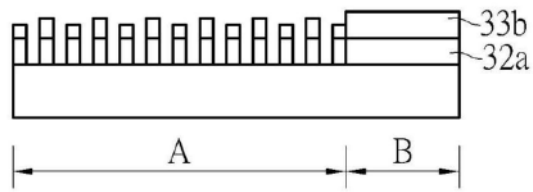


图16

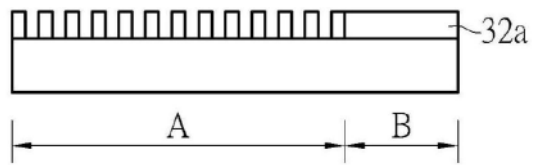


图17