

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 11/40 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월31일 10-0605590 2006년07월20일
-----------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자	10-2004-0032845 2004년05월10일	(65) 공개번호 (43) 공개일자	10-2005-0107964 2005년11월16일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자                    주식회사 하이닉스반도체  
                                      경기 이천시 부발읍 아미리 산136-1

(72) 발명자                        정헌삼  
                                      경기도이천시부발읍아미리산136-1

(74) 대리인                        특허법인 신성

심사관 : 윤난영

(54) 데이터 출력드라이버의 임피던스를 조정할 수 있는 반도체메모리 장치

요약

본 발명은 데이터 출력드라이버의 드라이빙 능력이 시스템에 최적화되도록, 데이터 출력드라이버의 임피던스값을 조정할 수 있는 디디알 동기식 메모리 장치를 제공하기 위한 것으로, 이를 위해 본 발명은 데이터 입출력 패드; 데이터 액세스 동작중에서는 상기 데이터 입출력패드를 통해 입력되는 데이터 신호를 버퍼링하여 래치하고, 상기 OCD 조정 컨트롤 동작중에는 상기 데이터 입출력 패드를 통해 입력되는 OCD 제어코드를 버퍼링하여 래치 및 얼라인하는 데이터 입력부; 메모리 코어영역에서 전달되는 데이터 신호를 외부로 출력 및 드라이빙하는 데이터 출력드라이버; 상기 데이터 입력부에서 얼라인되어 출력되는 상기 OCD 제어코드를 디코딩하여 출력하는 OCD 명령어디코더; 상기 OCD 명령어디코더에서 디코딩된 결과에 따라 상기 데이터 출력드라이버의 임피던스를 제어하기 위한 OCD 제어부; 및 데이터 액세스 동작중에는 상기 데이터 입력부에서 얼라인된 데이터를 메모리코어로 전달하기 위한 카스신호를 생성하여 출력하고, 상기 OCD 조정 컨트롤 동작중에는 상기 OCD 명령어디코더에서 상기 OCD 제어코드를 입력받아 디코딩하도록 제어하는 OCD 동작신호를 출력하는 카스신호 생성부를 구비하는 반도체 메모리 장치를 제공한다.

대표도

도 5

색인어

반도체, 메모리, OCD 조정, 레지스터, 임피던스.

명세서

도면의 간단한 설명

도1은 메모리 장치와 칩셋의 데이터 인터페이싱을 나타내는 블록구성도.

도2는 디디알 메모리 장치에서 JEDEC 스펙에 의해서 OCD 조정 컨트롤을 수행 하는 순서를 나타나는 흐름도.

도3a는 디디알 메모리 장치에서 JEDEC 스펙에 의한 OCD 조정 컨트롤을 수행하는 동작중에서 데이터 출력드라이버의 임피던스를 측정하는 동작을 나타내는 파형도.

도3b는 도3a에 도시된 바와 같이 데이터 출력드라이버의 임피던스를 측정하는 동작시, 어드레스 핀을 통해 입력되는 데이터에 따른 동작 모드를 나타내는 표.

도4a는 디디알 메모리 장치에서 JEDEC 스펙에 의한 OCD 조정 컨트롤을 수행하는 동작중에서 데이터 출력드라이버의 임피던스를 조정하는 동작을 나타내는 파형도.

도4b는 도3b에 도시된 바와 같이 데이터 출력드라이버의 임피던스를 조정하는 동작시, 데이터 핀을 통해 입력되는 데이터에 따른 동작모드를 나타내는 표.

도5는 본 발명의 바람직한 실시예에 따른 동기식 메모리 장치를 나타내는 블록구성도이다.

도6은 도5의 메모리 장치에서 OCD 제어신호 입력부를 나타내는 회로도.

도7은 도5의 메모리 장치에서 카스신호 생성부를 나타내는 블록 구성도.

도8a는 도7에 도시된 제1 카스신호 생성부를 나타내는 회로도.

도8b는 도7에 도시된 제2 카스신호 생성부를 나타내는 회로도.

도8c는 도7에 도시된 제3 카스신호 생성부를 나타내는 회로도.

도9 내지 도12은 일반적인 메모리 장치의 블록구성도와 동작 파형도.

도13은 도8a에 도시된 제1 카스신호 생성부의 동작을 나타내는 파형도.

도14는 도5의 메모리 장치에서 OCD 제어로직부와 풀업 및 풀다운 드라이버를 나타내는 블록구성도.

도15는 도13에서 H레지스터와 L레지스터를 나타내는 회로도.

도16은 도5의 메모리 장치에서 OCD 명령어 디코더를 나타내는 블록구성도.

도17은 도16의 OCD 명령어 디코더의 동작을 나타내는 블록구성도.

\* 도면의 주요부분에 대한 부호의 설명

ND1 ~ ND3 : 낸드게이트

NOR1 ~ NOR9 : 노어게이트

I1 ~ I11 : 인버터

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 특히 동기식 메모리 장치의 데이터 출력 임피던스를 조정하는 회로에 관한 것이다.

반도체 메모리 장치는 집적도의 증가와 더불어 그 동작 속도의 향상을 위하여 계속적으로 개선되어 왔다. 동작 속도를 향상시키기 위하여 메모리 장치 외부에서 주어지는 클럭과 동기되어 동작할 수 있는 소위 동기식(Synchronous) 메모리 장치가 등장되었다.

처음 제안된 것은 메모리 장치의 외부로부터의 클럭의 상승 에지(rising edge)에 동기되어 하나의 데이터 핀에서 클럭의 한 주기에 걸쳐 하나의 데이터를 입출력하는 이른바 SDR(single data rate) 동기식 메모리 장치이다.

그러나 SDR 동기식 메모리 장치 역시 고속 동작을 요구하는 시스템의 속도를 만족하기에는 불충분하며, 이에 따라 하나의 클럭 주기에 두 개의 데이터를 처리하는 방식인 디디알(DDR, double data rate) 동기식 메모리 장치가 제안되었다.

디디알 동기식 메모리 장치의 각 데이터 입출핀에서는 외부에서 입력되는 클럭의 상승 에지(rising edge)와 하강 에지(falling edge)에 동기되어 연속적으로 두 개의 데이터가 입출력되는 바, 클럭의 주파수를 증가시키지 않더라도 종래의 SDR 동기식 메모리 장치에 비하여 최소한 두 배 이상의 대역폭(band width)을 구현할 수 있어 그 만큼 고속동작이 구현 가능하다.

디디알 메모리 장치의 데이터 전송속도를 보다 더 빠르게 하기 위해 여러가지 새로운 개념이 추가되고 있는데, 세계 반도체 표준협회 또는 국제반도체표준협회의기구라고 하는 단체인 JEDEC(Joint Electron Device Engineering Council)에서 제안한 디디알II 동기식 메모리 장치의 스펙에는 디디알 메모리 장치에서 데이터를 출력하는 출력부의 임피던스(impedance)를 조정할 수 있는 Off Chip Driver(이하 OCD라 함) 조정 컨트롤(calibration control)이라는 개념이 있다.

OCD 조정 컨트롤은 칩셋등의 외부장치에서 데이터를 인터페이싱하는 메모리 장치의 출력드라이브에 흐르는 전압 또는 전류를 측정해서, 출력드라이브의 임피던스를 현재 시스템에서 최적이 되도록 조정하는 것을 말한다.

따라서 JEDEC의 디디알II 동기식 메모리 장치의 스펙을 만족하기 위해서는 메모리 장치의 출력드라이브에 임피던스를 조정할 수 있는 기능을 추가로 구비해야 한다.

도1은 메모리 장치와 칩셋의 데이터 인터페이싱을 나타내는 블럭구성도이다.

도1을 참조하여 살펴보면, 통상적으로 메모리 장치는 시스템에 적용될 때에 칩셋(chipset)과 데이터 인터페이싱(interfacing)을 하게 되는데, 메모리 장치는 칩셋으로부터 다수의 명령어 입력핀(/CS, /WE, CK, /CK,...)을 통해 명령어 신호를 입력받고, 다수의 어드레스신호 입력핀(A0 ~ A15)핀을 통해 어드레스를 입력받으며, 다수의 데이터핀을 통해 데이터를 입.출력시킨다.

또한 디디알 동기식 메모리 장치는 데이터스트로브신호 입력핀(DQS, /DQS)을 통해 데이터 스트로브 신호와 그 반전신호를 입력받게 되는데, 데이터 스트로브 신호는 데이터가 입력되는 타이밍동안 클럭킹(Clocking)되어 입력되는 신호이다. 데이터 스트로브 신호는 동기식 메모리 장치가 입력된 데이터를 얼라인시키는데 사용하고, 얼라인된 데이터를 내부코어로 전달하게 된다. 메모리 장치가 데이터를 출력시킬 때에는 내부에서 데이터 스트로브 신호를 생성하여 데이터가 출력되는 타이밍동안 클럭킹되어 출력하게 된다.

도2는 디디알 메모리 장치에서 JEDEC에서 제안한 OCD 조정 컨트롤을 수행 하는 순서를 나타내는 흐름도이다.

JEDEC의 스펙에서 제안된 OCD 조정 컨트롤 동작은 크게 데이터 출력드라이버의 임피던스를 측정하는 동작과 데이터 출력드라이버의 임피던스를 현재의 시스템에 맞게 조정하는 동작으로 나누어 진다. 또한 데이터의 출력드라이버는 풀업드라이버와 풀다운드라이버를 구비하고 있기 때문에 임피던스를 측정하는 동작은 하이레벨의 데이터를 출력하는 풀업드라이버의 임피던스를 측정하는 Drive1 모드와 로우레벨의 데이터를 출력하는 풀다운드라이버의 임피던스를 측정하는 Drive0 모드로 나누어서 진행된다.

도2를 참조하여 OCD 조정 컨트롤 동작에 대해 살펴본다.

먼저 동기식 메모리 장치의 EMRS(Extended Mode Register Set) 출력이 Drive1 모드로 되면, 모든 데이터 출력핀(DQ 핀)과 데이터 스트로브신호 출력핀(DQS)은 하이레벨을 출력하고, 반전된 데이터 스트로브신호 출력핀(/DQS)은 로우레벨을 출력하게 된다.(10)

여기서 Drive1 모드는 디디알 동기식 메모리 장치의 모든 데이터 출력드라이버에 구비되는 풀업드라이버에서 하이레벨의 데이터가 출력될 때의 출력임피던스를 측정하는 모드이다. 또한 EMRS 출력 모드는 디디알 동기식 메모리 장치의 여러 동작 상태를 규정해주기 위해 메모리 장치의 내부 레지스터에 설정된 값이 출력되는 모드를 말한다.

이어서 칩셋에서 디디알 동기식 메모리 장치의 각 데이터 출력드라이버에 구비된 풀업드라이버의 임피던스를 측정한다. 측정된 임피던스값이 현재 시스템에 최적화되어 있으면 EMRS 출력값이 Drvie0 모드로 변환되고(16), 최적의 임피던스값과 차이가 있으면 데이터 출력드라이버의 임피던스를 조정하는 조정모드로 진입한다.(12)

조정모드에서는 각 데이터를 입력핀을 통해 4비트의 제어코드가 입력되는 데이터를 코딩하여 데이터 출력드라이버의 풀업드라이버의 임피던스를 증가시키든지 또는 감소시킨다.(13) 여기서 데이터 출력드라이버의 임피던스를 측정하고, 조정하기 위한 4비트의 코드신호를 출력하는 것은 모두 칩셋이 하게 된다.

풀업드라이버의 임피던스를 조정하는 것은 구동능력이 같은 다수의 풀업용 모스트랜지스터를 병렬로 연결하고 턴온되는 풀업용 모스트랜지스터의 수를 조정함으로써 이루어진다.

이어서 EMRS 출력값이 OCD 조정 컨트롤 모드에서 해제되고(14), 다시 데이터 출력드라이버에 구비된 풀업드라이버의 임피던스를 측정한다.(10, 11)

데이터 출력드라이버에 구비된 풀업드라이버의 임피던스가 최적화되지 않았으면, 전술한 조정과정을 다시 거치게 되어 풀업드라이버가 최적의 임피던스를 갖도록 조정된다.

데이터 출력드라이버의 풀업드라이버에 대한 임피던스의 측정 및 조정이 끝나면 EMRS 출력값이 Drive0 모드로 된다. Drive0 모드에서는 Drive1모드에서와 같은 방법으로 모든 데이터의 출력드라이버에서 로우레벨이 출력되도록 한 다음 출력드라이버의 풀다운드라이버의 임피던스를 측정하고, 측정된 임피던스가 최적의 임피던스 값을 갖도록 조정하게 된다.(16,17,18,19) 조정이 끝나면 OCD 조정 컨트롤 모드가 해제된다.(21)

도3a는 디디알 메모리 장치에서 JEDEC 스펙에 의한 OCD 조정 컨트롤을 수행하는 동작중에서 데이터 출력드라이버의 임피던스를 측정하는 동작을 나타내는 파형도이다. 도3b는 도3a에 도시된 데이터 출력드라이버의 임피던스를 측정하는 동작시, 어드레스 핀을 통해 입력되는 데이터에 따른 동작 모드를 나타내는 표이다.

이하에서는 도3a와 도3b를 참조하여 JEDEC 스펙에 따라 디디알 메모리 장치의 OCD 조정 컨트롤 동작에서 동기식 메모리 장치의 출력드라이버의 임피던스를 측정하는 동작을 자세히 설명한다.

먼저 칩셋에서 디디알 동기식 메모리 장치로 EMRS 출력모드가 Drive0 또는 Drive1 모드로 되도록 제어신호를 보낸다.

이때 제어신호는 디디알 동기식 메모리 장치의 어드레스핀(A7 ~ A9)을 통해 3비트의 신호로 입력되는 데, 입력되는 신호의 종류에 따른 동작상태는 도3b에 도시되어 있다. 예를 들어 어드레스핀(A7 ~ A9)으로 001이 입력되면 Drive1 모드가 되고, 010이 입력되면 Drive0 모드가 되며, 100이 입력되면 조정모드로 된다. 여기서 111로 입력되면 디디알 동기식 메모리 장치의 출력드라이버는 기본 임피던스값을 유지하게 된다.

Drive1 모드에서는 디디알 동기식 메모리 장치의 모든 데이터 출력드라이버에서 하이레벨이 출력되도록 하여, 데이터 출력드라이버의 풀업드라이버의 임피던스값을 측정한다.

Drvie0 모드에서는 디디알 동기식 메모리 장치의 모든 데이터 출력드라이버에서 로우레벨이 출력되도록 하여, 데이터 출력드라이버의 풀다운드라이버의 임피던스값을 측정한다.

도4a는 디디알 메모리 장치에서 JEDEC 스펙에 의한 OCD 조정 컨트롤을 수행하는 동작중에서 데이터 출력드라이버의 임피던스를 조정하는 동작을 나타내는 파형도이다. 도4b는 도3b에 도시된 데이터 출력드라이버의 임피던스를 조정하는 동작시, 데이터 핀을 통해 입력되는 데이터에 따른 동작모드를 나타내는 표이다.

이하에서는 도4a와 도4b를 참조하여 JEDEC 스펙에 따라 디디알 메모리 장치의 OCD 조정 컨트롤 동작에서 동기식 메모리 장치의 출력드라이버의 임피던스를 조정하는 동작을 설명한다.

임피던스를 조정하기 위한 모드로 진입한 다음, 칩셋에서는 데이터 출력드라이버의 임피던스값을 조정하기 위해 4비트의 코드신호(DT0 ~ DT3)를 데이터입력핀을 통해 입력시킨다.

도4b에 도시된 표에는 입력된 OCD 제어신호에 따라 디디알 동기식 메모리 장치가 데이터 출력드라이버의 임피던스를 조정하는 동작이 나타나 있다.

데이터 출력드라이버의 임피던스 조정은 각각 풀업드라이버와 풀다운드라이버에 다수의 모스트랜지스터를 병렬로 연결하고, 기본적으로 일정한 수의 모스트랜지스터를 턴온시킨 다음, OCD 제어코드에 따라 턴온되는 모스트랜지스터의 수를 조정함으로써 이루어진다.

예를 들어 코드신호가 1000이면 데이터 출력드라이버의 풀다운 드라이버에서 턴온되는 모스트랜지스터를 하나 더 감소시키고, 코드신호가 1001이면 풀업드라이버에서 턴온되는 모스트랜지스터를 하나 더 증가시키고 풀다운드라이버에서 턴온되는 모스트랜지스터를 하나 더 감소시키는 것이다.

4비트의 제어코드를 입력받아 데이터 출력드라이버의 풀다운 드라이버와 풀업드라이버에서 턴온되는 모스트랜지스터의 수를 조정하고 나면, OCD 조정모드가 해제된다.

이전까지 개발된 동기식 메모리 장치에서는 데이터 출력드라이버의 임피던스를 조정하는 구성이 없었으나, 최근 개발되기 시작한 디디알 동기식 메모리 장치에서는 데이터 출력드라이버의 임피던스를 스텝화하여 제어할 수 있게 되었다. 이를 위해서는 이전에 없던 OCD 조정동작을 할 수 있는 새로운 회로가 필요하다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 데이터 출력드라이버의 드라이빙 능력이 시스템에 최적화되도록, 데이터 출력드라이버의 임피던스값을 조정할 수 있는 디디알 동기식 메모리 장치를 제공함을 목적으로 한다.

### 발명의 구성 및 작용

상기의 과제를 달성하기 위해 본 발명은 데이터 입출력 패드; 데이터 액세스 동작중에서는 상기 데이터 입출력패드를 통해 입력되는 데이터 신호를 버퍼링하여 래치하고, 상기 OCD 조정 컨트롤 동작중에는 상기 데이터 입출력 패드를 통해 입력되는 OCD 제어코드를 버퍼링하여 래치 및 얼라인하는 데이터 입력부; 메모리 코어영역에서 전달되는 데이터 신호를 외부로 출력 및 드라이빙하는 데이터 출력드라이버; 상기 데이터 입력부에서 얼라인되어 출력되는 상기 OCD 제어코드를 디코딩하여 출력하는 OCD 명령어디코더; 상기 OCD 명령어디코더에서 디코딩된 결과에 따라 상기 데이터 출력드라이버의 임피던스를 제어하기 위한 OCD 제어부; 및 데이터 액세스 동작중에는 상기 데이터입력부에서 얼라인된 데이터를 메모리코어로 전달하기 위한 카스신호를 생성하여 출력하고, 상기 OCD 조정 컨트롤 동작중에는 상기 OCD 명령어디코더에서 상기 OCD 제어코드를 입력받아 디코딩하도록 제어하는 OCD 동작신호를 출력하는 카스신호 생성부를 구비하는 반도체 메모리 장치를 제공한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시 할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도5는 본 발명의 바람직한 실시예에 따른 동기식 메모리 장치를 나타내는 블럭구성도이다.

도5를 참조하여 살펴보면, 본 실시예에 따른 메모리 장치는 데이터 액세스 동작중에서는 데이터 입출력패드를 통해 입력되는 데이터 신호를 버퍼링하여 래치얼라인하고, OCD 조정 컨트롤 동작중에는 데이터 입출력 패드를 통해 입력되는 OCD 제어코드를 버퍼링하여 래치 및 얼라인하는 데이터 입력부(400)와, 메모리 코어영역(500)에서 전달되는 데이터 신호를 외부로 출력 및 드라이빙하는 데이터 출력드라이버(520)와, 데이터 입력부(400)에서 얼라인되어 출력되는 OCD 제어코드를 디코딩하여 출력하는 OCD 명령어디코더(120)와, OCD 명령어디코더(120)에서 디코딩된 결과에 따라 데이터 출력드라이버(520)의 임피던스를 제어하기 위한 OCD 제어로직부(110)와, 데이터 액세스 동작중에는 데이터입력부(300)에서 얼라

인된 데이터를 메모리코어(500)로 전달하기 위한 카스신호를 생성하여 출력하고, OCD 조정 컨트롤 동작중에는 OCD 명령어디코더(110)에서 OCD 제어코드를 입력받아 디코딩하도록 제어하는 OCD 동작신호(ocdp6\_adj)를 출력하는 카스신호 생성부(200)를 구비한다.

또한, 본 실시예에 따른 메모리 장치는 메모리 코어영역에서 전달된 데이터를 데이터 출력드라이버(520)로 전달하거나, OCD 조정모드에서 데이터 출력드라이버가 하이레벨 또는 로우레벨을 강제로 출력될 수 있도록 제어하는 출력데이터 제어부(510)를 구비한다.

또한, 본 실시예에 따른 메모리 장치는 어드레스핀(addr<7:9>)을 통해 입력되는 OCD 제어신호에 응답하여 카스신호 생성부(200)에서 OCD 동작신호(ocdp6\_adj)를 출력하도록 OCD 모드 진입신호(ocd\_adj)를 출력하는 OCD제어신호 입력부(300)를 더 구비한다.

또한, 본 실시예에 따른 메모리 장치는 어드레스 래치부에 래치된 OCD 조정컨트롤 동작을 위한 제어코드를 입력받아 디코딩하여 데이터 출력제어부(510)와, OCD 제어로직부(110)와, OCD 명령어디코더(120)를 제어하는 EMRS 디코더(700)를 구비한다.

도6은 도5의 메모리 장치에서 OCD 제어신호 입력부를 나타내는 회로도이다.

도6을 참조하여 살펴보면, 어드레스핀(addr<7:9>)을 통해 OCD 제어를 위해 신호가 입력되면, OCD 모드 진입신호(ocd\_adj)가 활성화되어 출력되도록 회로구성되어 있다. EMRS 동작중 OCD 조정시에 따른 명령어가 어드레스핀(addr<7:9>)을 통해 입력되는데, 어드레스핀(addr<7:9>)을 통해 OCD 제어동작으로 진입하는 '001'의 신호가 입력되면, OCD 모드 진입신호(ocd\_adj)가 하이레벨로 출력되도록 되어 있는 것이다. 물론 리드/라이트 또는 액티브 동작일 때는 어드레스핀(addr<7:9>)으로는 데이터 역세스를 위한 어드레스가 입력된다.

도7은 도5의 메모리 장치에서 카스신호 생성부를 나타내는 블록 구성도이다.

도7을 참조하여 살펴보면, 카스신호 생성부(200)는 OCD 모드 진입신호(ocd\_adj)에 인에이블되어, 클럭신호(clkp4)에 응답하여 제1 카스신호(caspwt)를 생성하는 제1 카스신호 생성부(210)와, 제1 카스신호(caspwt)를 2 클럭사이클 동안 지연되어 제2 카스신호(casp\_wt)를 출력하는 제2 카스신호 생성부(220)와, OCD 구간신호(ocd\_adj)에 응답하여 제2 카스신호(casp\_wt)를 카스신호(casp6\_wt) 또는 OCD 동작신호(ocdp6\_adj)를 선택적으로 출력하는 제3 카스신호 생성부(230)를 구비한다.

도8a는 도7에 도시된 제1 카스신호 생성부(210)를 나타내는 회로도이다.

도8a를 참조하여 살펴보면, 제1 카스신호 생성부(210)는 데이터 라이트/리드 명령어를 대응하여 제1 노드를 활성화시키기 위한 리드/라이트 제어신호 입력부(212)와, OCD 조정모드시에 상기 제1 노드(A)를 활성화시키기 위한 OCD신호 입력부(211)와, 제1 노드(A)가 활성화되면, 이를 래치하여 클럭신호(clkp4)에 응답하여 제1 카스신호(caspwt)로 출력하기 위한 카스신호전달부(213)를 구비한다.

카스신호전달부(213)는 제1 노드(A)가 활성화되면, 이를 클럭신호(clkp4)에 응답하여 제2 노드(a)로 전달하기 위한 신호 전달부(213\_1)와, 신호전달부(213\_1)에 의해 제2 노드(b)에 전달된 신호를 래치하기 위한 래치(213\_2)와, 클럭신호(clkp4)에 응답하여 턴온되어 래치(213\_2)에 래치된 신호를 전달하기 위한 전송게이트(213\_3)와, 전송게이트(213\_3)에 의해 전달된 신호를 래치하기 위한 제2 래치(213\_4)와, 래치(213\_4)에 의해 래치된 신호를 에디티브레이턴시 신호(AL<0:6>)에 응답하여 전달하기 위한 제1 쉬프트용 플립플롭(213\_5)과, 제1 쉬프트용 플립플롭(213\_5)에 의해 전달된 신호를 카스레이턴시 신호(CL<0:6>)에 응답하여 제1 카스신호(caspwt)로 출력하기 위한 제2 쉬프트용 플립플롭(213\_6)을 구비한다.

여기서 에디티브레이턴시는 디디알2 동기식 메모리 장치의 동작스펙중 하나로서, 액티브 명령이 실행된 이후에 리드/라이트 명령이 입력된 타이밍부터, 실제 리드/라이트 명령이 실행될 때까지의 타이밍을 말한다. 또한, 카스레이턴시는 리드/라이트 명령이 실행된 이후부터 실제 데이터가 출력될 때까지의 타이밍을 말한다.

제1 카스신호 생성부(210)는 데이터 입력 또는 출력시 카스신호(casp6\_wt)를 생성시키기 위해 제1 카스신호(caspwt)를 먼저 생성하는 회로이다. 또한, 제1 카스신호 생성부(210)는 OCD 조정모드에서는 OCD 동작신호(ocdp6\_adj)를 출력시키기 위해서 제1 카스신호(caspwt)를 생성하는 데 이 때 동작하는 부분이 OCD 신호 입력부(211)이다.

OCD 신호 입력부(211)는 OCD 제어신호 입력부(300)에서 출력되는 OCD 모드진입신호(ocd\_adjp)와, 펄스신호(mregsetp8)와, 뱅크어드레스를 디코딩한 신호(aBA<1>)가 모두 하이레벨로 입력되면, 노드(A)를 로우레벨로 만들도록 되어 있다. 이로 인해 제1 카스신호 생성부(210)는 하이레벨의 제1 카스신호(caspwt)를 출력하게 된다. 여기서 OCD 모드 진입신호(ocd\_adjp)는 어드레스핀(add<7:9>)을 통해 '001'이 입력되면 활성화되는 신호로서, OCD 제어모드로 진입한다는 것을 알려주는 신호이고, 펄스신호(mregsetp8)는 MRS 셋팅 또는 EMRS 셋팅시에 활성화되는 펄스신호이고, 뱅크어드레스를 디코딩한 신호(aBA<1>)는 데이터 액세스시에는 뱅크어드레스가 입력되지만, 여기서는 EMRS시와 MRS시를 구분하기 위한 신호로 사용된다.

도8b는 도7에 도시된 제2 카스신호 생성부를 나타내는 회로도이고, 도8c는 도7에 도시된 제3 카스신호 생성부를 나타내는 회로도이다.

도8b를 참조하여 살펴보면, 제2 카스신호 생성부(220)는 제1 카스신호(caspwt)를 입력받는 신호입력부(221)와, 신호입력부(221)에 입력된 신호를 래치하기 위한 래치(222)와, 래치(222)에 래치된 신호를 클럭신호(clkp4)에 응답하여 전달하기 위한 전송게이트(223)와, 전송게이트(223)에 의해 전달된 신호를 한 클럭지연시켜 출력하기 위한 지연부(224)와, 지연부(224)에 의해 지연된 신호를 래치하고 제2 카스신호(casp\_wt)로 출력하기 위한 래치(225)를 구비한다.

제2 카스신호 생성부(220)는 제1 카스신호(caspwt)를 입력받아, 소정시간 동안 지연시켜 제2 카스신호(casp\_wt)로 출력하게 된다.

도8c를 참조하여 살펴보면, 제3 카스신호 생성부(230)는 제2 카스신호(casp\_wt)를 입력받는 신호입력부(231)와, 신호입력부(231)에 입력된 신호를 입력받아, OCD 제어 구간동안 활성화되어 있는 OCD 구간신호(ocd\_adj)의 활성화상태에 응답하여 OCD 동작신호(ocdp6\_adj)로 출력하는 제1 신호출력부(232)와, 신호입력부(231)에 입력된 신호를 입력받아, OCD 구간신호(ocd\_adj)의 비활성화상태에 응답하여 카스신호(casp6\_wt)로 출력하는 제2 신호출력부(233)를 구비한다.

제3 카스신호 생성부(230)는 제2 카스신호(casp\_wt)를 입력받아 OCD 구간신호(ocd\_adj)의 활성화여부에 따라, 카스신호(casp6\_wt) 또는 OCD 동작신호(ocdp6\_adj)를 출력하게 된다. OCD 구간신호(ocd\_adj)는 EMRS 셋팅시에 활성화되는 신호로서, 한번 활성화되면, 다음 셋팅시까지 변하지 않는 신호이다. 즉, MRS/EMRS 셋팅시에 카스레이턴신호(CL), 버스트랭스신호(BL)등은 셋팅후 다음 셋팅때까지 하이레벨 또는 로우레벨로 셋팅된 값이 변하지 않는데, OCD 구간신호(ocd\_adj) 역시 다음 셋팅시까지 변하지 않는 신호이다.

OCD 구간신호(ocd\_adj)가 활성화/비활성화되는 시기는 각각 OCD 조정모드로 진입할 때와 OCD 조정모드에서 탈출할 때이다. 따라서 OCD 구간신호(ocd\_adj)가 활성화되는 구간은 오로지 OCD 조정모드 시기뿐이다. 그외 메모리 장치가 액티브 동작이나 리드/라이트 동작시는 로우레벨의 값을 가진다.

제3 카스신호 생성부(230)는 OCD 구간신호(ocd\_adj)가 하이레벨로 활성화된 구간에서는 OCD 동작신호(ocdp6\_adj)를 하이레벨로 활성화시켜 출력하며, OCD 구간신호(ocd\_adj)가 로우레벨로 비활성화된 구간에서는 카스신호(casp6\_wt)를 하이레벨로 활성화시켜 출력한다.

도9 내지 도12은 일반적인 메모리 장치의 블럭구성과 동작 파형도이다.

도9는 카스신호 생성부를 나타내는 것으로, 통상적인 메모리 반도체의 카스신호 생성부는 제1 카스신호생성부와 제2 카스신호생성부와 제3 카스신호생성부를 구비하고 있다.

도10는 도9의 카스신호생성부에서 출력되는 신호의 동작타이밍을 나타내는 파형도이다. 여기서 카스신호(casp6\_wt)라는 것은 도10의 파형도에 도시되어 있듯이 데이터가 입력되어 얼라인된 후에 메모리 코어영역으로 받아들여지게 되는 기준신호이다. 디디알2 동기식 메모리 장치에서는 라이트 명령이 실행된 후에 AL+CL-1(애디티브 레이턴시+ 카스레이턴시-1) 이후에 4비트의 데이터가 순차적으로 입력되고, 2클럭이후 4비트의 데이터가 얼라인되면, 이를 메모리 코어영역으로 전달하게 되는데, 이 때 기준을 삼는 신호가 카스신호(casp6\_wt)인 것이다.

제1 카스신호생성부에서 출력되는 제1 카스신호(caspwt)는 라이트 명령이 실행된 후에 AL+CL-1 만큼 지난후에 생성되는 신호이며, 제2 카스신호생성부에서 생성되는 제2 카스신호(casp6\_wt)는 4비트의 데이터가 얼라인되는 2클럭 동안 제1 카스신호를 더 지연시킨 신호이며, 제3 카스신호생성부에서 최종 출력되는 카스신호(casp6\_wt)는 제2 카스신호(casp\_wt)를 최종적으로 타이밍조정된 신호이다.

본 실시예에 따른 카스신호생성부는 도10과, 같은 파형을 내도록 설계되었지만, OCD 동작을 위해서 OCD 조정모드에서는 OCD 동작신호(ocdp6\_adj)를 출력하도록 설계하였다.

도11은 도5의 데이터 입력부에 구비되는 회로로서, 4비트 데이터 얼라인을 위한 데이터얼라인부를 나타내는 것이고, 도 11은 도10의 회로에 의해서 데이터가 얼라인되는 타이밍을 나타내는 것이다.

OCD 조정모드에 입력되는 OCD 제어코드도 일반적인 데이터가 얼라인되는 타이밍과 같은 타이밍에 얼라인된다. 따라서 OCD 동작신호(ocdp6\_adj)도 카스신호와 같은 타이밍에 생성되어 출력되도록 설계된다. 여기에 관한 자세한 파형도가 도 13다.

도13는 도7에 도시된 카스신호 생성부의 동작을 나타내는 파형도이다.

도13를 참조하여 살펴보면, 데이터가 얼라인되는 타이밍, 즉 OCD 제어코드가 얼라인 되는 타이밍에 OCD 동작신호 (ocdp6\_adj)가 생성되는 것을 알 수 있다.

도7의 제1 카스신호 생성부(210)는 전술한 바와 같이 제1 카스신호(caspwt)를 생성하여 출력하게 되는데, 제1 카스신호 (caspwt)는 EMRS 모드중 OCD 조정모드로 진입한 후에 'AC+CL\_1'의 클럭후에 생성된다.

이어서 제2 카스신호 생성부(220)는 제1 카스신호(caspwt)를 2클럭 지연시킨 후 제2 카스신호(caspwt)를 생성하여 출력 하고, 제3 카스신호 생성부(230)는 제2 카스신호(caspwt)를 OCD 구간신호(ocd\_adj)에 응답하여 OCD 동작신호(ocdp6\_adj)로 출력하게 된다. 여기서 2클럭 지연시키는 것은 연속적으로 입력된 4비트의 데이터를 얼라인시키는데 필요한 시간 이다.

OCD 동작신호(ocdp6\_adj)가 생성되어 출력되면, OCD 명령어 디코더(1210)는 데이터 입력부(400)에서 얼라인되어 입력 된 OCD 제어코드를 디코딩하여 OCD 제어로직부(110)로 출력하게 된다. OCD 제어로직부(110)에서는 데이터 입력부 (400)에서 출력되는 디코딩된 신호에 응답하여 풀업드라이버와 풀다운드라이버의 출력임피던스를 조정하게 된다.

도14는 도5의 메모리 장치에서 OCD 제어로직부(110)와 데이터 출력드라이버(520)의 풀업 및 풀다운 드라이버를 나타내 는 블럭구성도이다.

도14를 참조하여 살펴보면, OCD 제어로직부(110)는 풀업 OCD 제어로직부(121)와 풀다운 OCD 제어로직부(112)를 구비 한다.

풀업 OCD 제어로직부(111)는 OCD 명령어 디코더(120)에서 출력되는 증가제어신호(pd\_inc, pu\_inc)와 감소제어신호 (pu\_dec, pd\_dec)를 입력받아 풀업드라이버(521)의 출력임피던스를 조정하기 위한 다수의 임피던스 조정신호(drv70u ~ drv140u)를 출력하는 다수의 레지스터(H레지스터, L레지스터)를 구비한다.

풀업 OCD 제어로직부(111)에 구비되는 레지스터는 H레지스터와 L레지스터로 구성되는데, 각각 하나의 임피던스 조정신 호(예를 들어 drv100u)를 출력하고 있다.

풀업 OCD 제어로직부(111)는 초기동작시 EMRS 디코더(700)에서 출력되는 디폴트신호(OCD\_Default)에 의해서 다수의 임피던스 조정신호(drv70u ~ drv140u)중 기본값에 해당되는 임피던스 조정신호(예를 들어 drv70u~drv100u)를 활성화 시켜 출력하고, 이후에 OCD명령어 디코더(120)에서 출력되는 증가제어신호(pd\_inc)와 감소제어신호(pu\_dec)에 따라서 활성화되어 출력하는 임피던스 조정신호의 수를 순차적으로 변화시키게 된다.

파워업신호(pwrup)는 메모리 장치에 전원전압이 안정적으로 공급됨을 알려주는 신호인데, 여기서는 풀업 OCD 제어로직 부(111)에 구비되는 H레지스터와 L레지스터의 인에이블 신호로 사용되었다.

또한, 스위치(SW1)와 스위치(SW2)는 H레지스터의 출력신호(out)를 임피던스 조정신호(drv70u)로 출력하거나, 전원전압 (VDD)을 그대로 임피던스 조정신호(drv70u)로 출력하는 것을 선택하기 위한 것이다.



메모리 장치 동작하는 중에 데이터 출력드라이버의 임피던스를 조정하는 데 있어서, 첫번째 조정신호인 임피던스 조정신호(drv70u)는 항상 활성화되어 있는 상태를 유지하게 된다. 따라서 다수의 임피던스 조정신호(drv70u ~ drv140u)는 데이터 출력드라이버(600)의 출력임피던스에 따라 누적하여 활성화되기 때문에, 전원전압을 바로 임피던스 조정신호(drv70u)로 전달하여 항상 임피던스 조정신호(drv70u)를 활성화되도록 유지시키는 것이다.

한편, 도13은 풀업드라이버(610)의 출력임피던스를 조정하기 위한 풀업 OCD 제어로직부(110a)만을 나타내었는데, 폴다운드라이버(620)의 출력임피던스를 조정하기 위한 폴다운 OCD 제어로직부(112)를 나타내는 블럭구성은 풀업 OCD 제어로직부(111)와 같은 구성으로 되어 그 블럭구성은 생략하였다.

도15는 도14에서 H레지스터와 L레지스터를 나타내는 회로도이다.

도15를 참조하여 살펴보면, H레지스터는 하이레벨의 디폴트 신호(OCD\_Default)를 디폴트입력단(default)으로 전달받아 버퍼링하여 출력하거나, 증가제어신호(pu\_inc)를 증가신호입력단(inc)를 통해 입력받고, 이전단에 구비된 H레지스터의 출력신호(out)를 제1 입력단(pre)를 통해 입력받아 논리곱하여 출력하는 제1 신호입력부(112)와, 감소제어신호(pu\_dec)를 감소신호입력단(dec)를 통해 입력받아 반전한 다음, 다음단에 연결된 레지스터의 출력신호(out)를 제2 입력단(next)을 통해 입력받아 논리합하여 출력하는 제2 신호입력부(113)와, 파워업신호(pwrup)에 인에이블되며 제1 및 제2 신호입력부(112,113)의 출력을 두 입력으로 하는 RS플립플롭수단(115)과, 파워업신호(pwrup)에 인에이블되어 RS플립플롭수단(115)의 출력신호를 버퍼링하여 레지스터의 출력신호로 출력하는 신호출력부(116)와, 파워업신호(pwrup)를 입력받아 RS플립플롭수단(115)과, 신호출력부(116)로 출력하는 인에이블 버퍼부(111,114)를 구비한다.

또한, L레지스터는 이전단에 구비된 레지스터(L레지스터 또는 H레지스터)의 출력신호(out)를 제1 입력단(pre)를 통해 입력받아 논리곱하여 출력하는 제1 신호입력부(151)와, 디폴트 신호(OCD\_Default)를 디폴트입력단(default)를 통해 입력받아 버퍼링하여 출력하거나, 감소제어신호(pu\_dec)를 감소신호입력단(dec)를 통해 입력받아 반전한 다음, 다음단에 연결된 레지스터의 출력신호(out)를 제2 입력단(next)을 통해 입력받아 논리합하여 출력하는 제2 신호입력부(152)와, 파워업신호(pwrup)에 인에이블되며 제1 및 제2 신호입력부(151,152)의 출력을 두 입력으로 하는 RS플립플롭수단(153)과, 파워업신호(pwrup)에 인에이블되어 RS플립플롭수단(155)의 출력신호를 버퍼링하여 레지스터의 출력신호(out)로 출력하는 신호출력부(155)와, 파워업신호(pwrup)를 입력받아 RS플립플롭수단(153)과, 신호출력부(155)로 출력하는 인에이블 버퍼부(154)를 구비한다.

도16는 도5의 메모리 장치에서 OCD 명령어 디코더를 나타내는 블럭구성도이다.

도16를 참조하여 살펴보면, OCD 명령어 디코더(120)는 데이터 입력부로부터 얼라인되어 입력되는 OCD제어코드를 상기 OCD 동작신호에 응답하여 래치하는 OCD래치부와, OCD래치부에 래치된 OCD제어코드를 디코딩하여 다수의 OCD제어 동작에 대응하는 다수의 출력신호중 선택된 하나를 활성화시켜 출력하는 디코더(122)와, 디코더(122)에 의해 활성화된 신호(예를 들어 nop\_nop)에 응답하여 풀업드라이버의 드라이빙능력 강화신호 및 약화신호 또는 폴다운드라이버의 드라이빙능력 강화신호 및 약화신호를 출력하는 OCD 인코더(123)를 구비한다.

도17은 도15의 OCD 명령어 디코더의 동작을 나타내는 파형도이다.

도17에는 얼라인되어 입력되는 OCD 제어코드에 응답하여 최종적으로 풀업드라이버의 드라이빙능력 강화신호 및 약화신호 또는 폴다운드라이버의 드라이빙능력 강화신호 및 약화신호가 생성되는 것이 도시되어 있다.

계속해서 도5 내지 도17을 참조하여 본 실시예에 따른 메모리 장치의 전체적인 동작을 설명한다.

전술한 바와 같이, 메모리 장치의 속도가 점점 더 증가되면서, 보다 안정적이면서도 고속으로 데이터를 입출력시킬 수 있는 여러 기술이 제안되고 있다. 본 발명에 관한 OCD 조정모드에 관한 기술도 데이터의 입출력을 보다 고속으로 하기 위한 기술로서, JEDEC에서 디디알 동기식 메모리 장치에 관한 스펙으로 제안한 것이다.

OCD 조정모드는 데이터 출력드라이버의 출력임피던스를 조정할 수 있도록 구현한 다음, 시스템에 최적화되도록 데이터 출력드라이버의 출력임피던스를 조정하는 기술이다.

이를 위해서는 OCD 조정모드로 진입한 다음 데이터 출력드라이버의 출력임피던스를 측정하고, 측정된 출력드라이버의 출력임피던스를 현재 시스템에 최적화된 출력 임피던스값으로 조정하게 된다. 따라서 메모리 장치에서는 OCD 조정모드를 구현하려면 OCD 제어코드를 입력받는 OCD 제어코드 입력핀 및 OCD 제어코드 입력부와, 입력된 OCD 제어코드를 디코딩하여 데이터 출력드라이버의 임피던스를 조정하는 제어부가 필요하다.

도5에 도시된 바와 같이, 본 발명의 핵심적 특징은 따로 OCD 제어코드를 입력받는 제어코드 입력부를 두지 않고 통상적으로 메모리 장치에 데이터를 입력받는 데이터 입력부를 OCD 제어코드를 입력받는 입력패스로 이용한다는 것이다.

본 발명에서는 통상적인 데이터 액세스 동작중에서는 데이터 입,출력핀(DQ pad)으로 데이터를 입력받아 내부 메모리 코어 영역(500)으로 전달하고, OCD 조정모드인 경우에는 데이터 입,출력핀(DQ pad)을 통해 OCD 제어코드를 입력받아 이를 디코딩하여 데이터 출력드라이버(200)의 출력임피던스를 조정하게 된다.

특히 본 실시예에 따른 반도체 메모리 장치는 OCD 조정모드에서 OCD 명령어디코더가 동작하게 만드는 신호인 OCD 동작신호(ocdp6\_adj)를 카스신호를 출력하는 카스신호생성부(200)에서 생성하여 출력하는 것이다. 이를 위해서는 카스신호생성부(200)의 제1 카스신호생성부(210)에 OCD 동작모드 감지부(211)를 추가하였다.

카스신호생성부(200)은 정상적인 데이터 입출력 동작일 때에는 카스신호(casp6\_wt)를 출력하고, OCD 동작모드에서는 OCD 동작신호(ocdp6\_adj)를 출력하게 된다.

OCD 조정모드에 의해 출력임피던스값이 시스템에 최적화된 데이터 출력드라이버(200)는 메모리 장치가 데이터를 출력하기 위한 리드동작시에 메모리 코어영역(500)에서 전달되는 출력데이터(data)를 데이터 입출력핀(DQ pad)을 통해 출력하게 된다. 이 때 데이터 출력드라이버는 현재 메모리 장치의 출력핀에 인가된 출력임피던스에 최적화되어 있기 때문에, 고속으로 데이터를 신뢰성있게 출력할 수 있게 되는 것이다.

계속해서 OCD 컨트롤 조정모드에서 본 발명에 의한 메모리 장치의 동작을 살펴본다.

전술한 바와 같이 OCD 컨트롤 조정모드는 데이터 출력드라이버의 출력임피던스를 측정하는 모드와 측정된 출력임피던스를 바탕으로 출력드라이버의 출력임피던스를 조정하는 모드로 구분된다.

먼저 명령어 해석부(700)에서는 입력되는 명령어 신호를 디코딩하여 EMRS 디코더(700)로 OCD 컨트롤 조정모드로 진입했음을 알려준다.

이어서 어드레스 입력핀(Address<7:9>)을 통해 입력되어 어드레스 래치부(900)에 래치된 제어신호 '001'(도3b 참조)에 의해 EMRS 디코더(700)에서는 풀업드라이버의 임피던스를 측정하기 위한 신호 제1 측정 활성화신호(OCD\_Drive1)를 활성화시킨다.

풀업측정신호(OCD\_Drive1)가 활성화되면 풀업드라이버(610)에서 하이레벨을 입출력패드(DQ pad)를 통해 출력하고, 칩셋에서는 이 때의 임피던스를 측정한다.

이어서 어드레스 입력핀(Address<7:9>)을 통해 입력되어 어드레스 래치부(900)에 래치된 제어신호 '100'(도3b를 참조)에 의해 EMRS 디코더(700)는 OCD 조정신호(OCD\_Adjust)를 활성화시킨다.

OCD 조정신호(OCD\_Adjust)가 활성화되면, 입출력패드(DQ pad)를 통해 4비트의 제어코드가 순차적으로 입력된다. 입력되는 제어코드는 데이터 입력버퍼(310)에 의해 버퍼링되어 데이터 래치부(300)에 의해 래치되고, 이어서 데이터얼라인부(400)의 OCD코드 얼라인부에 얼라인되어 OCD 명령어 디코더(120)로 입력된다.

이어서 OCD 명령어디코더(120)에서는 입력되는 4비트의 제어코드를 디코딩하여 풀업 OCD 제어로직부(110a)를 제어하고, 풀업 OCD 제어로직부(110a)는 풀업드라이버의 출력임피던스를 조정하기 위한 신호(drv70u ~ drv140u)를 출력한다.

이어서 풀업드라이버(610)는 출력임피던스를 조정하기 위한 신호(drv70u ~ drv140u)에 응답하여 출력임피던스를 조정한다. 풀업드라이버의 출력임피던스를 조정하는 것은 다수의 풀업용 모스트랜지스터를 병렬로 구비하여 턴온되는 풀업용 모스트랜지스터의 수를 조정함으로써 이루어진다.

이후에서는 풀업드라이버(610)를 통해 출력단을 풀업시킴으로서 하이레벨의 데이터를 출력할 때에 조정된 출력임피던스로 출력단을 풀업시키게 된다.

한편, 풀다운 드라이버의 출력임피던스를 조정하기 위한 동작도 전술한 풀업 드라이버의 출력임피던스를 조정하는 동작과 같은방법이므로 그 과정은 생략한다.

이상에서 살펴본 바와 같이, 본 발명에 의한 메모리 장치는 OCD 조정모드를 구현하는 데 있어서 추가적인 입출력핀과 OCD 제어코드의 입력패스를 추가로 구비하지 않고, 데이터 입출력패드와 데이터가 입력되는 패스를 이용하여 OCD 제어코드를 입력받아 디코딩하기 때문에, 현재 개발되고 있는 메모리 장치에서 추가되는 면적을 최소화하면서 OCD 조정모드를 구현할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

### 발명의 효과

본 발명에 의해서 동기식 메모리 장치에서 새롭게 추가되는 회로를 최소화하면서도 데이터의 출력드라이버의 출력임피던스를 시스템에 맞게 최적화하는 OCD 조정을 구현할 수 있다. 특히 동기식 메모리 장치에서 필수적으로 구비되는 카스신호를 발생시키는 카스회로에 최소한의 회로만을 부가하여 메모리 장치가 OCD 제어동작이 구현하였기 때문에, 최소한의 회로면적 증가만으로 출력드라이버의 출력임피던스를 조절할 수 있게 되었다.

### (57) 청구의 범위

#### 청구항 1.

OCD 조정 컨트롤 동작을 통해 데이터 출력드라이버의 출력임피던스를 조정할 수 있는 메모리 장치에 있어서,

데이터 입출력 패드;

데이터 액세스 동작중에서는 상기 데이터 입출력패드를 통해 입력되는 데이터 신호를 버퍼링하여 래치하고, 상기 OCD 조정 컨트롤 동작중에는 상기 데이터 입출력 패드를 통해 입력되는 OCD 제어코드를 버퍼링하여 래치 및 얼라인하는 데이터 입력부;

메모리 코어영역에서 전달되는 데이터 신호를 외부로 출력 및 드라이빙하는 데이터 출력드라이버;

상기 데이터 입력부에서 얼라인되어 출력되는 상기 OCD 제어코드를 디코딩하여 출력하는 OCD 명령어디코더;

상기 OCD 명령어디코더에서 디코딩된 결과에 따라 상기 데이터 출력드라이버의 임피던스를 제어하기 위한 OCD 제어로직부; 및

데이터 액세스 동작중에는 상기 데이터입력부에서 얼라인된 데이터를 메모리코어로 전달하기 위한 카스신호를 생성하여 출력하고, 상기 OCD 조정 컨트롤 동작중에는 상기 OCD 명령어디코더에서 상기 OCD 제어코드를 입력받아 디코딩하도록 제어하는 OCD 동작신호를 출력하는 카스신호 생성부

를 구비하는 반도체 메모리 장치.

#### 청구항 2.

제 1 항에 있어서,

어드레스핀을 통해 입력되는 OCD 제어신호에 응답하여 상기 카스신호 생성부에서 상기 OCD 동작신호를 출력하도록 OCD 모드 진입신호를 출력하는 OCD 제어신호 입력부를 더 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 3.

제 2 항에 있어서,

상기 카스신호 생성부는

상기 OCD 모드 진입신호에 인에이블되어, 제1 카스신호를 생성하는 제1 카스신호 생성부;

상기 제1 카스신호를 상기 OCD 제어코드가 얼라인되는 동안 지연시켜 제2 카스신호를 출력하는 제2 카스신호 생성부; 및

상기 OCD 모드 진입신호에 응답하여 상기 제2 카스신호를 상기 카스신호 또는 상기 OCD 동작신호로 출력하는 제3 카스신호 생성부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 4.

제 3 항에 있어서,

상기 제1 카스신호 생성부는

데이터 라이트/리드 명령어를 대응하여 제1 노드를 활성화시키기 위한 리드/라이트 제어신호 입력부;

OCD 조정모드시에 상기 제1 노드를 활성화시키기 위한 OCD신호 입력부; 및

상기 제1 노드가 활성화되면, 이를 래치하여 클럭신호에 응답하여 상기 제1 카스신호로 출력하기 위한 카스신호전달부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

### 청구항 5.

제 4 항에 있어서,

상기 카스신호전달부는

상기 제1 노드가 활성화되면, 이를 클럭신호에 응답하여 제2 노드로 전달하기 위한 신호부;

상기 신호 전달부에 의해 상기 제2 노드에 전달된 신호를 래치하기 위한 제1 래치;

상기 클럭신호에 응답하여 턴온되어 상기 제1 래치에 래치된 신호를 전달하기 위한 전송게이트; 및

상기 전송게이트에 의해 전달된 신호를 래치하고 상기 제1 카스신호로 출력하기 위한 제2 래치;

상기 제2 래치에 의해 래치된 신호를 에디티브레이턴시 신호에 응답하여 전달하기 위한 제1 쉬프터용 플립플롭; 및

상기 제1 쉬프터용 플립플롭에 의해 전달된 신호를 카스레이턴시 신호에 응답하여 상기 제1 카스신호로 출력하기 위한 제2 쉬프터용 플립플롭을 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 6.

제 3 항에 있어서,

상기 제2 카스신호 생성부는

상기 제1 카스신호를 입력받는 신호입력부;

상기 신호입력부에 입력된 신호를 래치하기 위한 제1 래치;

상기 제1 래치에 래치된 신호를 클럭신호에 응답하여 전달하기 위한 전송게이트;

상기 전송게이트에 의해 전달된 신호를 한 클럭지연시켜 출력하기 위한 지연부; 및

상기 지연부에 의해 지연된 신호를 래치하고 상기 제2 카스신호로 출력하기 위한 제2 래치를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 7.

제 3 항에 있어서,

상기 제3 카스신호 생성부는

상기 제2 카스신호를 입력받는 신호입력부;

상기 신호입력부에 입력된 신호를 입력받아, OCD 제어 구간동안 활성화되어 있는 OCD 구간신호의 활성화상태에 응답하여 상기 OCD 동작신호로 출력하는 제1 신호출력부; 및

상기 신호입력부에 입력된 신호를 입력받아, 상기 OCD 구간신호의 비활성화상태에 응답하여 상기 카스신호로 출력하는 제2 신호출력부를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

## 청구항 8.

제 1 항에 있어서,

상기 OCD 명령어 디코더는

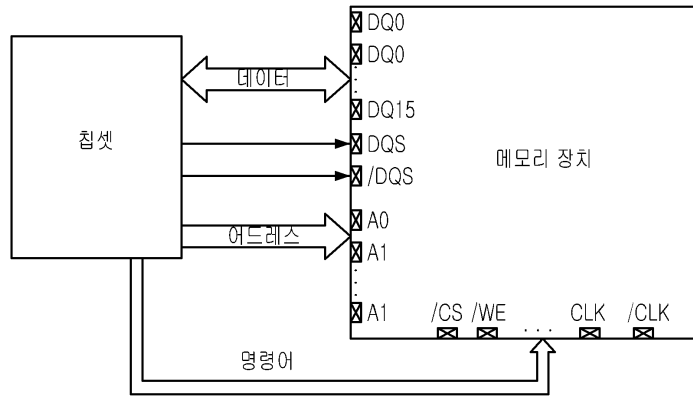
상기 데이터 입력부로부터 얼라인되어 입력되는 OCD제어코드를 상기 OCD 동작신호에 응답하여 래치하는 OCD 래치부;

상기 OCD래치부에 래치된 OCD제어코드를 디코딩하여 다수의 OCD제어동작에 각각 대응하는 다수의 출력신호중 선택된 하나를 활성화시켜 출력하는 디코더; 및

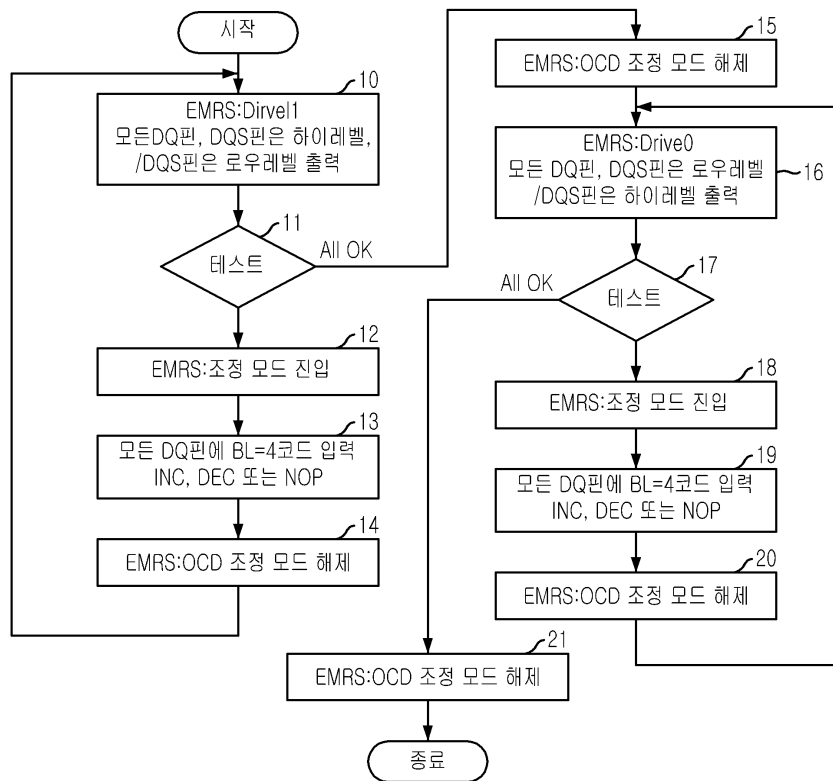
상기 디코더에 의해 활성화된 신호에 응답하여 풀업드라이버의 드라이빙능력 강화신호 및 약화신호 또는 풀다운드라이버의 드라이빙능력 강화신호 및 약화신호를 출력하는 OCD 인코더를 구비하는 것을 특징으로 하는 반도체 메모리 장치.

도면

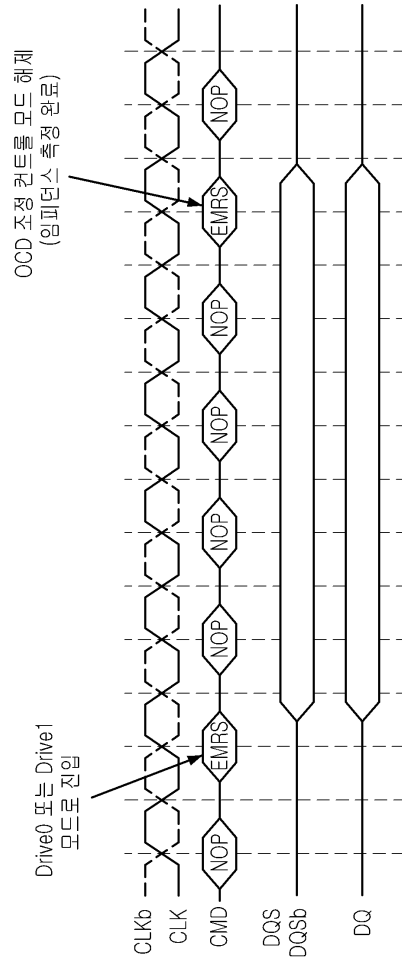
도면1



도면2



도면3a



도면3b

A9	A8	A7	동작
0	0	0	OCD 조정모드 해제
0	0	1	Drive1, DQ, DQS핀 하이, /DQS핀 로우레벨 출력
0	1	0	Drive1, DQ, DQS핀 로우, /DQS핀 하이레벨 출력
1	0	0	조정모드 (Adjust mode)
1	1	1	OCD 조정모드 기본값 출력

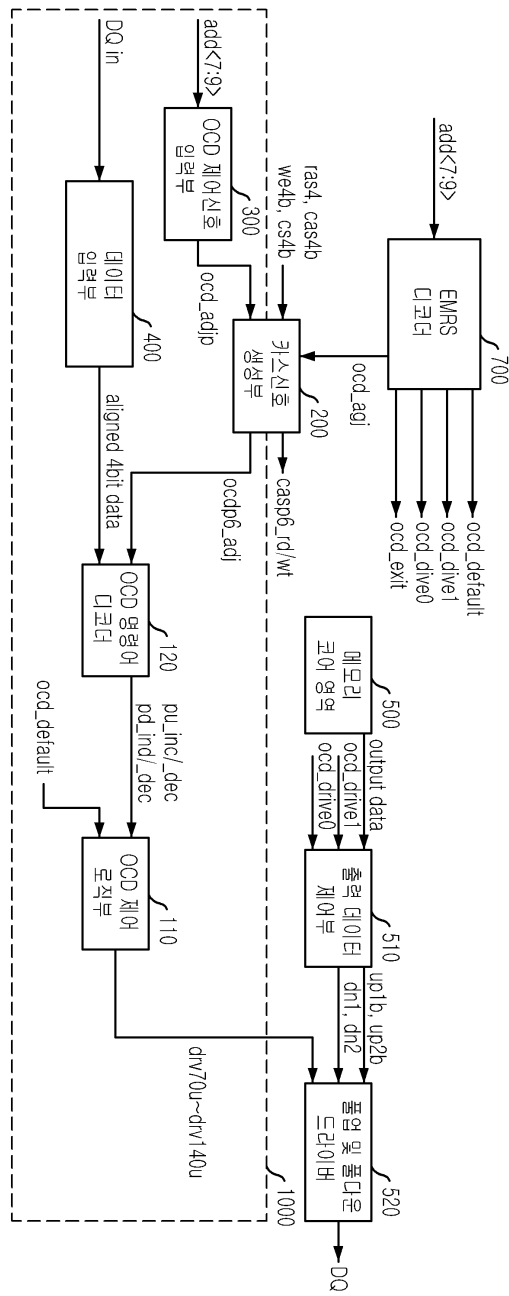




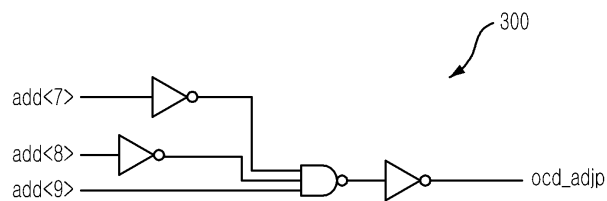
도면4b

4비트 바스트코드 입력(모든 DQ핀에 입력)				동작	
D <sub>70</sub>	D <sub>70</sub>	D <sub>70</sub>	D <sub>70</sub>	풀업 드라이버	풀다운 드라이버
0	0	0	0	NOP	NOP
0	0	0	1	1스텝 증가	NOP
0	0	1	0	1스텝 감소	NOP
0	1	0	0	NOP	1스텝 증가
1	0	0	0	NOP	1스텝 감소
0	1	0	1	1스텝 증가	1스텝 증가
0	1	1	0	1스텝 감소	1스텝 증가
1	0	0	1	1스텝 증가	1스텝 감소
1	0	1	0	1스텝 감소	1스텝 감소

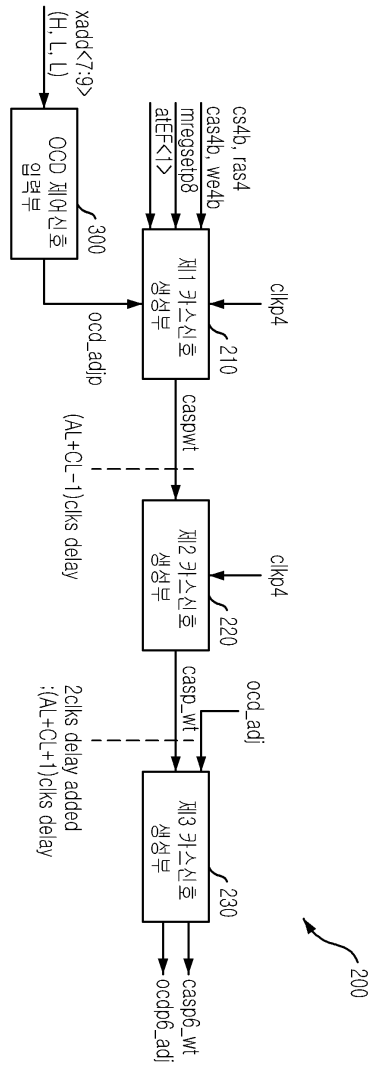
도면5



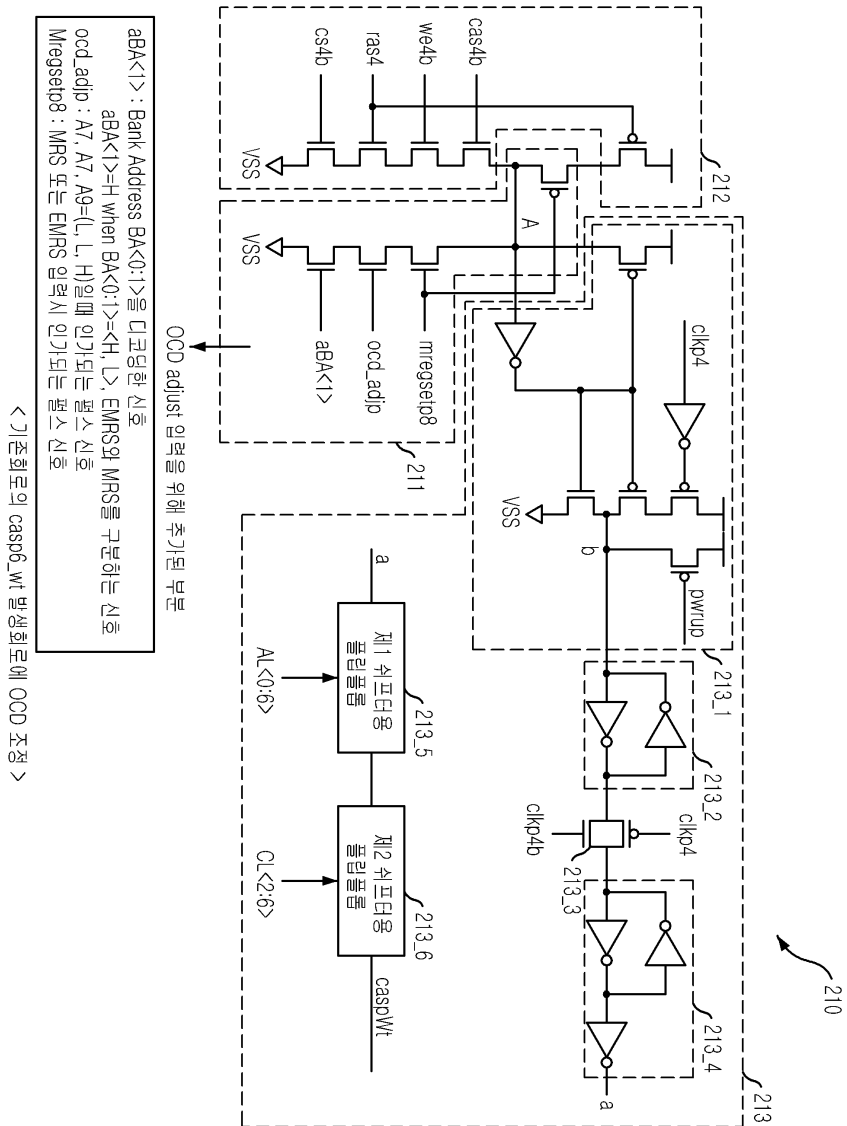
도면6



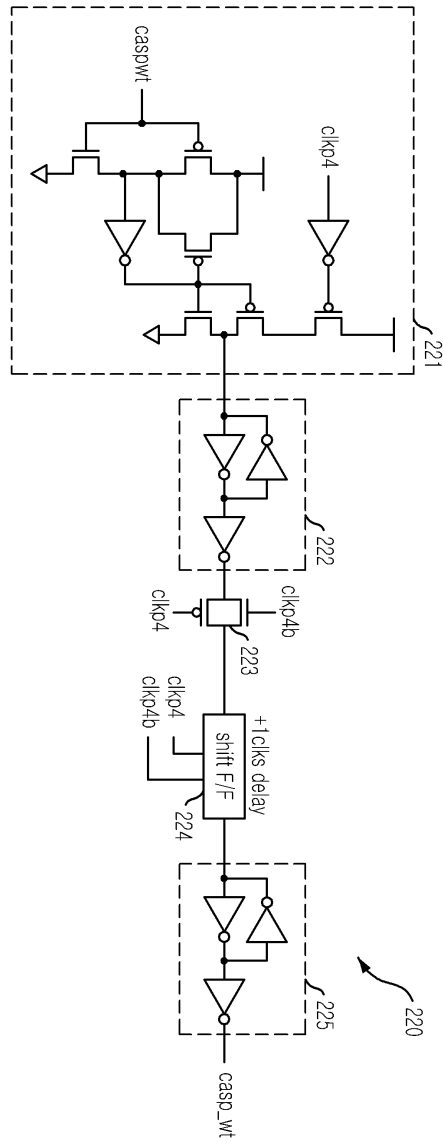
도면7



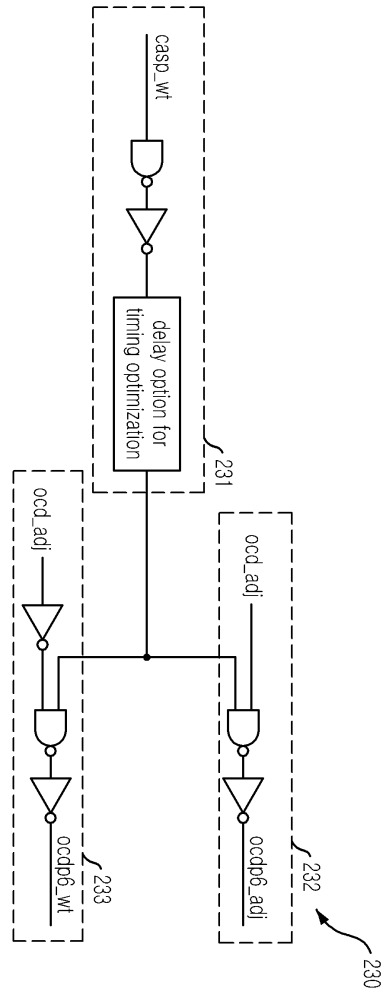
도면 8a



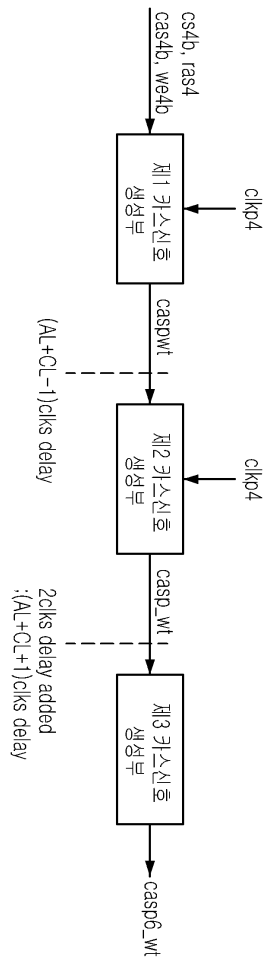
도면8b



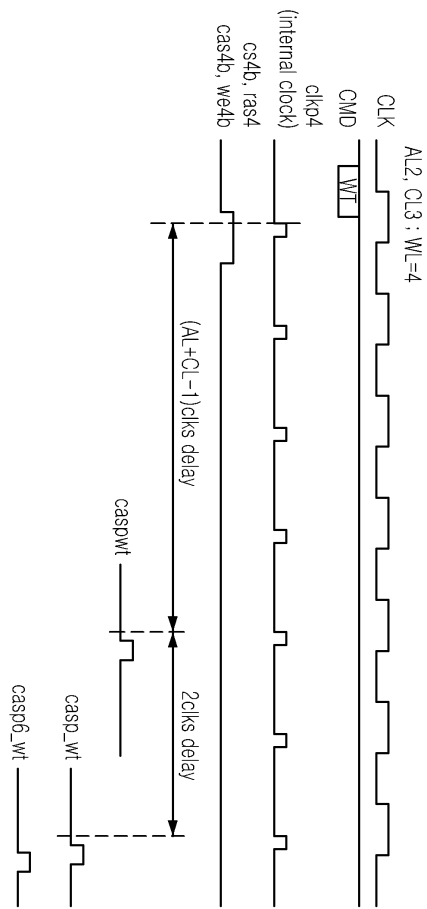
도면8c



6판권

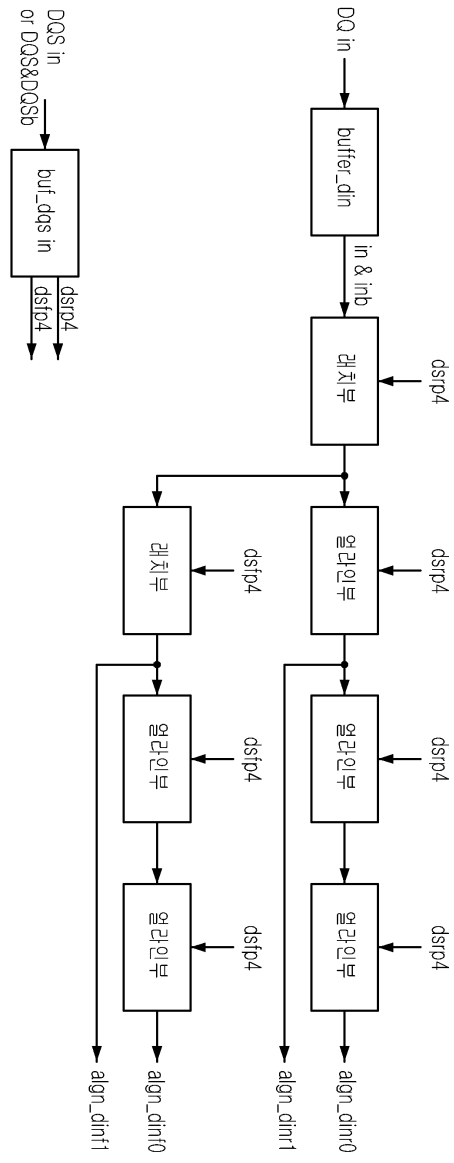


도면10

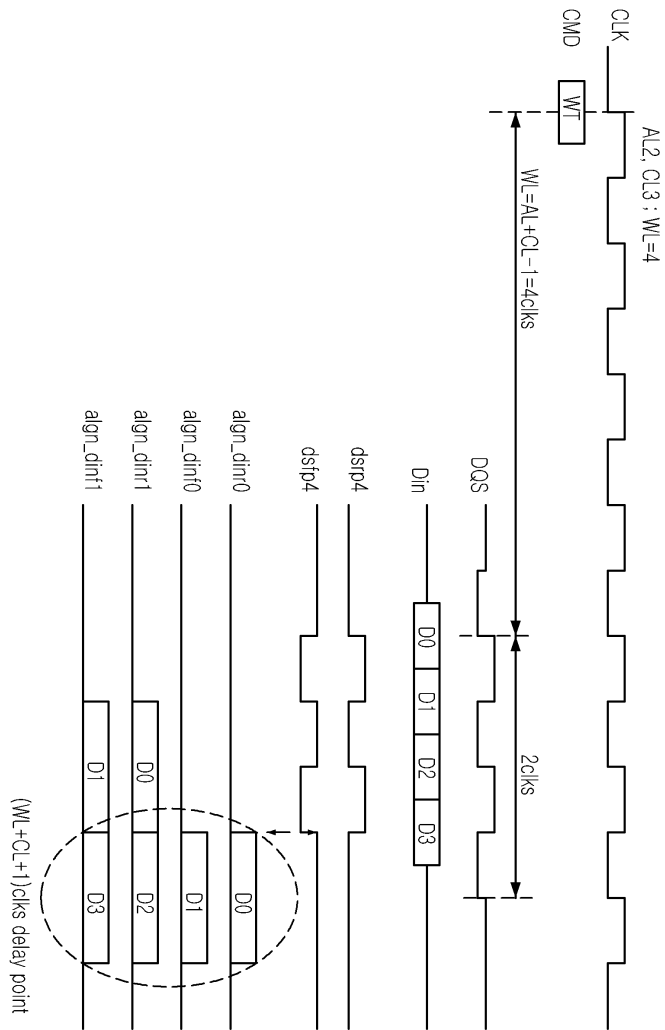




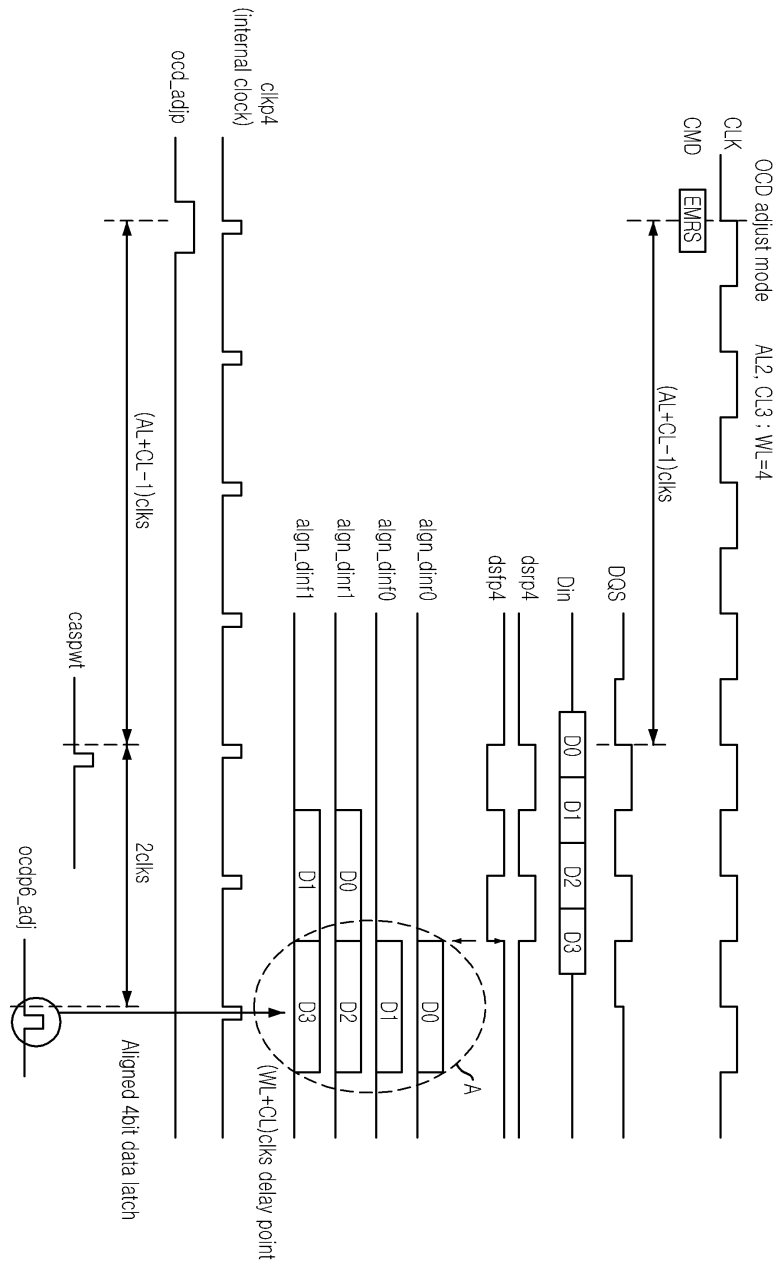
도면11



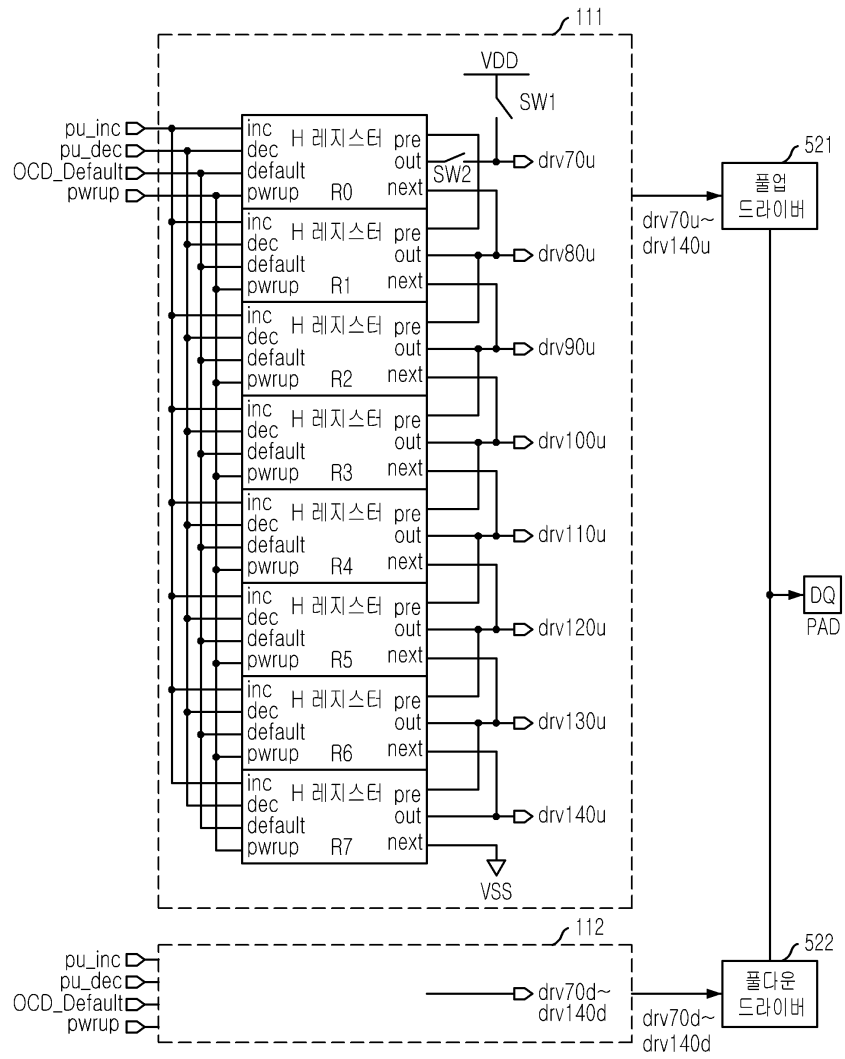
도면12



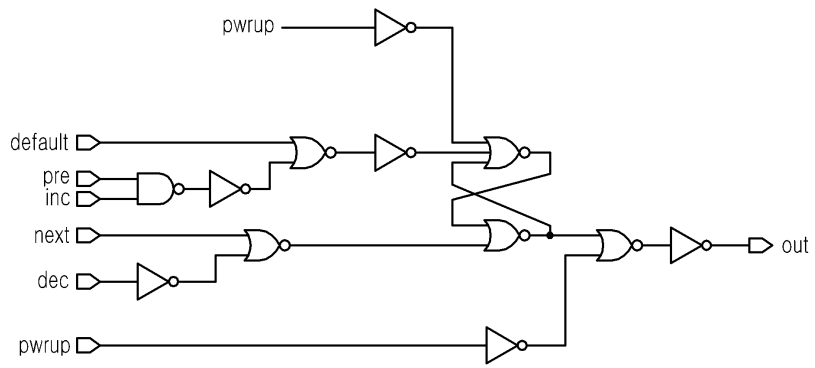
도면13



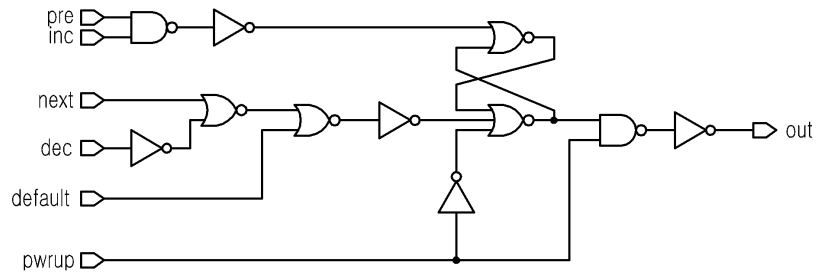
도면14



도면15

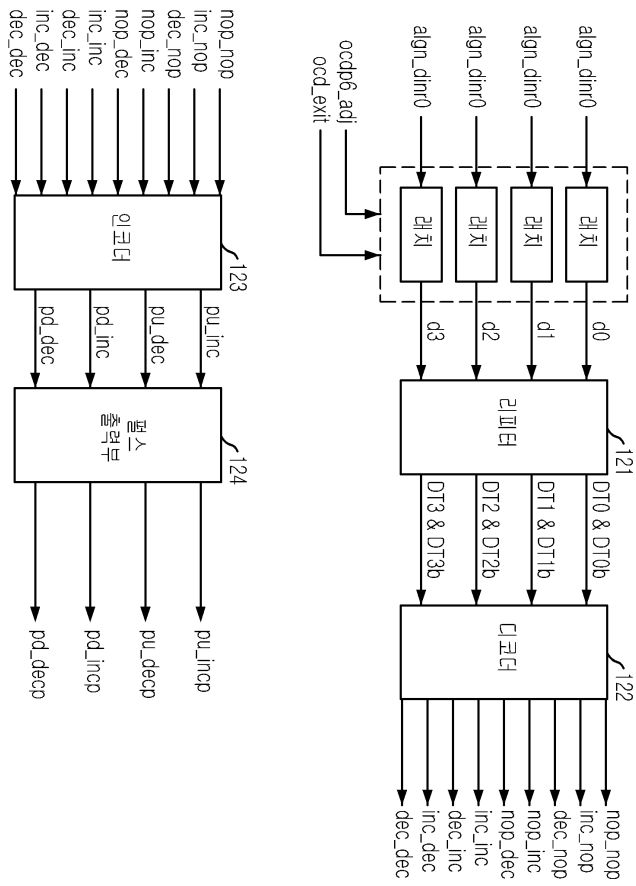


<Register H>



<Register L>

도면16



도면17

