



(12) 发明专利申请

(10) 申请公布号 CN 113488523 A

(43) 申请公布日 2021.10.08

(21) 申请号 202110633958.4

(22) 申请日 2021.06.07

(71) 申请人 西安电子科技大学

地址 710000 陕西省西安市雁塔区太白南路2号

(72) 发明人 袁嵩 詹欣斌 何艳静 江希 弓小武

(74) 专利代理机构 西安嘉思特知识产权代理事务所(普通合伙) 61230

代理人 刘长春

(51) Int. Cl.

H01L 29/06 (2006.01)

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

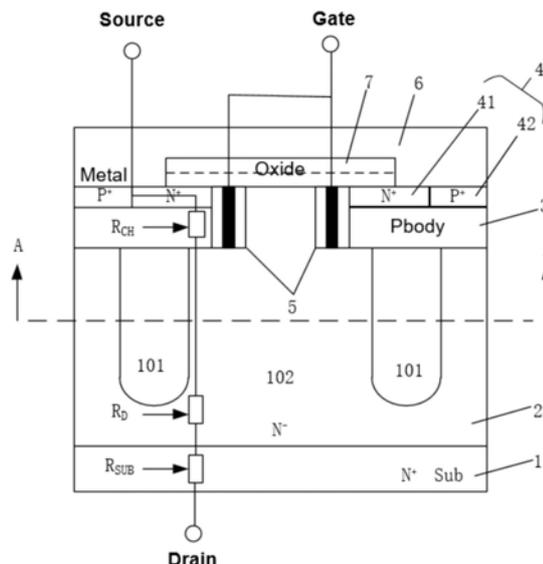
权利要求书2页 说明书6页 附图5页

(54) 发明名称

一种具有超结双沟道栅的高压MOSFET器件及其制备方法

(57) 摘要

本发明公开了一种具有超结双沟道栅的高压MOSFET器件及其制备方法,该器件包括:N+衬底区;N-外延区,设置于N+衬底区上;P型基区,设置于N-外延区内;有源区,设置在P型基区上;沟槽栅结构,设置于N-外延区内,且与P型基区和有源区中的N+注入区相邻;金属层,设置于有源区上方,且与沟槽栅结构通过绝缘层隔开,以作为器件的源极;其中,N-外延区内设有多个P型列;P型列起始于P型基区下表面,并向N-外延区内延伸,同时在N-外延区内形成N型列,且P型列的宽度小于基区的宽度。本发明提供的MOSFET器件平衡了低导通电阻和高击穿电压之间的关系,实现了优良的器件性能。



CN 113488523 A

1. 一种具有超结双沟道栅的高压MOSFET器件,其特征在于,包括:
 - N+衬底区(1);
 - N-外延区(2),设置于所述N+衬底区(1)上;
 - P型基区(3),设置于所述N-外延区(2)内;
 - 有源区(4),设置在所述P型基区(3)上;
 - 沟槽栅结构(5),设置于所述N-外延区(2)内,且与所述P型基区(3)和所述有源区(4)中的N+注入区(41)相邻;
 - 金属层(6),设置于所述有源区(4)上方,且与所述沟槽栅结构(5)通过绝缘层(7)隔开,以作为器件的源极;其中,所述N-外延区(2)内设有多个P型列(101);所述P型列(101)起始于所述P型基区(3)下表面,并向所述N-外延区(2)内延伸,同时在所述N-外延区(2)内形成N型列(102),且所述P型列(101)的宽度小于所述基区(3)的宽度。
2. 根据权利要求1所述的高压MOSFET器件,其特征在于,所述P型列(101)与相邻区域的所述N型列(102)之间设有一隔离层。
3. 根据权利要求1所述的高压MOSFET器件,其特征在于,所述P型列(101)为P型柱深槽结构,且每个P型柱深槽结构的深度相同。
4. 根据权利要求3所述的高压MOSFET器件,其特征在于,所述P型列(101)包括第一阵列和第二阵列,且所述第二阵列中的每个列被若干所述第一阵列中的列交错包围。
5. 根据权利要求4所述的高压MOSFET器件,其特征在于,所述第一阵列的横截面具有第一形状,所述第二阵列的横截面具有第二形状,且所述第一形状与所述第二形状相同或者不同。
6. 根据权利要求4所述的高压MOSFET器件,其特征在于,所述第一阵列中的每个列具有基本相同的第一宽度,所述第二阵列中的每个列具有基本相同的第二宽度,且所述第一宽度大于所述第二宽度。
7. 根据权利要求4所述的高压MOSFET器件,其特征在于,所述第一阵列和所述第二阵列中的每个列在各自的所述P型基区(3)下方沿其深度方向具有基本相同的宽度。
8. 根据权利要求4所述的高压MOSFET器件,其特征在于,所述第二阵列中的每个列被四个所述第一阵列中的列包围,以形成截面为长方形的行/列交错包围结构;其中,所述第二阵列中的列位于长方形中心,四个所述第一阵列中的列位于长方形的四个角。
9. 根据权利要求4所述的高压MOSFET器件,其特征在于,所述第二阵列中的每个列被六个所述第一阵列中的列包围,以形成截面为六边形的环状包围结构,其中,所述第二阵列中的列位于六边形中心,六个所述第一阵列中的列位于六边形的六个角。
10. 一种具有超结双沟道栅的高压MOSFET器件的制备方法,其特征在于,包括以下步骤:
 - 在N+衬底上外延生长N-型薄膜,以形成N-外延区;
 - 对所述N-外延区进行刻蚀以形成若干柱形深槽结构,并填充所述柱形深槽结构,以形成多个P型列;
 - 在所述P型列上方形成P型基区;
 - 在相邻两个所述P型基区之间形成沟槽栅结构;

对所述P型基区上表面进行掺杂,以形成器件的有源区;
在整个样品表面和背面分别形成源极和漏极,以完成器件的制备。

一种具有超结双沟道栅的高压MOSFET器件及其制备方法

技术领域

[0001] 本发明属于半导体技术领域,具体涉及一种具有超结双沟道栅的高压MOSFET器件及其制备方法。

背景技术

[0002] 近年来,随着电力电子系统的不断发展,对系统中的功率器件提出了更高的要求。而高功率器件作为系统中的重要器件,其性能的好坏直接影响到整个系统的性能。

[0003] 在实际应用中,另一方面,高压功率器件主要用于关断高压,而关断高压的能力高低直接表现为器件反向击穿电压的大小。因此,要求器件必须具有较高的反向击穿电压。另一方面,还要求器件具有较低功耗以适应不同场合的应用。

[0004] 目前,在功率金属氧化物半导体效应晶体管(MOSFET)器件中,主要采用减小器件的导通电阻来降低功率损耗,从而节省器件功率。然而,当导通电阻减小时,器件的击穿电压也会相应的降低,从而影响器件在反向电压下承受击穿的能力。针对击穿电压,传统的都是通过降低漂移区的掺杂浓度以获得较高的击穿电压,然而,当掺杂浓度较低时,导通电阻会随之增大。因此,如何在较低的导通电阻和较高的击穿电压之间实现平衡,以实现优良的器件性能,仍是目前需要解决的问题。

发明内容

[0005] 为了解决现有技术中存在的上述问题,本发明提供了一种具有超结双沟道栅的高压MOSFET器件及其制备方法。本发明要解决的技术问题通过以下技术方案实现:

[0006] 一种具有超结双沟道栅的高压MOSFET器件,包括:N+衬底区;

[0007] N-外延区,设置于所述N+衬底区上;

[0008] P型基区,设置于所述N-外延区内;

[0009] 有源区,设置在所述P型基区上;

[0010] 沟槽栅结构,设置于所述N-外延区内,且与所述P型基区和所述有源区中的N+注入区相邻;

[0011] 金属层,设置于所述有源区上方,且与所述沟槽栅结构通过绝缘层隔开,以作为器件的源极;

[0012] 其中,所述N-外延区内设有多个P型列;所述P型列起始于所述P型基区下表面,并向所述N-外延区内延伸,同时在所述N-外延区内形成N型列,且所述P型列的宽度小于所述基区的宽度。

[0013] 在本发明的一个实施例中,所述P型列与相邻区域的所述N型列之间设有一隔离层。

[0014] 在本发明的一个实施例中,所述P型列为P型柱深槽结构,且每个P型柱深槽结构的深度相同。

[0015] 在本发明的一个实施例中,所述P型列包括第一阵列和第二阵列,且所述第二阵列

中的每个列被若干所述第一阵列中的列交错包围。

[0016] 在本发明的一个实施例中,所述第一阵列的横截面具有第一形状,所述第二阵列的横截面具有第二形状,且所述第一形状与所述第二形状相同或者不同。

[0017] 在本发明的一个实施例中,所述第一阵列中的每个列具有基本相同的第一宽度,所述第二阵列中的每个列具有基本相同的第二宽度,且所述第一宽度大于所述第二宽度。

[0018] 在本发明的一个实施例中,所述第一阵列和所述第二阵列中的每个列在各自的所述P型基区下方沿其深度方向具有基本相同的宽度。

[0019] 在本发明的一个实施例中,所述第二阵列中的每个列被四个所述第一阵列中的列包围,以形成截面为长方形的行/列交错包围结构;其中,所述第二阵列中的列位于长方形中心,四个所述第一阵列中的列位于长方形的四个角。

[0020] 在本发明的一个实施例中,所述第二阵列中的每个列被六个所述第一阵列中的列包围,以形成截面为六边形的环状包围结构,其中,所述第二阵列中的列位于六边形中心,六个所述第一阵列中的列位于六边形的六个角。

[0021] 本发明的另一个实施例还提供了一种具有超结双沟道栅的高压MOSFET器件的制备方法,其特征在于,包括以下步骤:

[0022] 在N⁺衬底上外延生长N-型薄膜,以形成N-外延区;

[0023] 对所述N-外延区进行刻蚀以形成若干柱形深槽结构,并填充所述柱形深槽结构,以形成多个P型列;

[0024] 在所述P型列上方形成P型基区;

[0025] 在相邻两个所述P型基区之间形成沟槽栅结构;

[0026] 对所述P型基区上表面进行掺杂,以形成器件的有源区;

[0027] 在整个样品表面和背面分别形成源极和漏极,以完成器件的制备。

[0028] 本发明的有益效果:

[0029] 1、本发明通过在器件N-外延区中引入并行的P型列,以在有源区形成交替的P型和N型列,当交替的P型和N型区域中的电荷达到平衡时,击穿电压处于峰值,从而使得器件能够更好地承受击穿;同时,采用双沟槽栅结构替代平面栅结构,大大降低了导通电阻,使得在相同耐压下,其导通电阻与耐压的关系更为折衷,曲线更好,从而平衡了低导通电阻和高击穿电压之间的关系,实现了优良的器件性能;

[0030] 2、本实施例可通过调制列的宽度、深度和掺杂浓度实现较低的压摆率或较高的击穿电压,从而提供更好的UIS耐用性。

[0031] 以下将结合附图及实施例对本发明做进一步详细说明。

附图说明

[0032] 图1是本发明实施例提供的一种具有超结双沟道栅的高压MOSFET器件的部分结构示意图;

[0033] 图2是沿图1中切割线A-A的一种横截面示意图;

[0034] 图3是沿图1中切割线A-A的另一种横截面示意图;

[0035] 图4是本发明实施例提供的一种具有超结双沟道栅的高压MOSFET器件的制备流程图;

[0036] 图5a-5g是本发明实施例提供的一种具有超结双沟道栅的高压MOSFET器件的制备过程示意图。

具体实施方式

[0037] 下面结合具体实施例对本发明做进一步详细的描述,但本发明的实施方式不限于此。

[0038] 实施例一

[0039] 请参见图1,图1是本发明实施例提供的一种具有超结双沟道栅的高压MOSFET器件的部分结构示意图,包括:

[0040] N+衬底区1;

[0041] N-外延区2,设置于N+衬底区1上;

[0042] P型基区3,设置于N-外延区2内;

[0043] 有源区4,设置在P型基区3上;

[0044] 沟槽栅结构5,设置于N-外延区2内,且与P型基区3和有源区4中的N+注入区41相邻;

[0045] 金属层6,设置于有源区4上方,且与沟槽栅结构5通过绝缘层7隔开,以作为器件的源极;

[0046] 其中,N-外延区2内设有多组P型列101;P型列101起始于P型基区3下表面,并向N-外延区2内延伸,同时在N-外延区2内形成N型列102,且P型列101的宽度小于基区3的宽度。

[0047] 进一步地,沟槽栅结构5设置于N-外延区2内,其中,沟槽从结构上表面穿过有N+源区以及P型基区进入N-型漂移区,在槽底部与侧面通过热氧化形成栅氧后,在槽内形成栅电极。当栅极不加偏压,漏极加正偏压时,器件可以承受高压。此时,P型基区与N-漂移区构成的PN结反偏,电压主要由厚的轻掺杂N-型漂移区承担。

[0048] 一般功率器件的导通电阻由源接触电阻、源区电阻、沟道电阻(R_{CH})、积累区电阻、JEFT电阻、漂移区电阻(R_D)、和N+衬底电阻(R_{SUB})组成。N+源区与电极的接触电阻由接触窗口和N+源离子注入窗口的宽度差决定的;源区电阻由N+扩散的表面电阻及其长度决定的;沟道电阻(R_{CH})主要由沟道长度、栅氧化层特征电容和栅极偏置电压决定;积累层电阻类似于沟道电阻,不同的是积累层电阻是由特征导通电阻与元胞面积相乘得到的;漂移区电阻为器件导通电阻的最主要组成,其与漂移区的掺杂浓度和厚度有关;N+衬底电阻与衬底电阻率和厚度相关,但大小可以忽略不计。

[0049] 本实施例提供的器件采用双沟槽栅结构,相比平面栅MOSFET,由于沟槽栅MOSFET没有JEFT区,因而导通电阻的成分就少了JEFT电阻,使得器件导通电阻大大降低,从而在相同耐压下,导通电阻与耐压的关系更为折衷,曲线更好。

[0050] 进一步地,P型列101和N型列102位于器件的活动区域内,形成超结结构,且P型列101与相邻区域的N型列102之间设有一隔离层(图中未示出)。其中,隔离层可以是介电或氧化物形成的柱或层,其可以防止P型列101和N型列102在制造过程中加热结构时彼此扩散,以防止故障电压受到制造过程的不利影响。

[0051] 本实施例通过在器件N-外延区中引入并行的P型列,使得超结层N型层电荷的电场线全被P型层吸收,增加了横向电场通量,减小了纵向电场通量,从而使得器件的边缘区电

场降低。

[0052] 更进一步地,P型列101为P型柱深槽结构,且每个P型柱深槽结构的深度相同。

[0053] 具体地,P型列101包括第一阵列和第二阵列,且第二阵列中的每个列被若干第一阵列中的列交错包围。

[0054] 更具体地,第一阵列的横截面具有第一形状,第二阵列的横截面具有第二形状,且第一形状与第二形状相同或者不同。

[0055] 例如,第一形状可以是圆形,则第一阵列为圆柱型深槽结构,第二形状可以是圆形,也可以是多边形,当第二形状为多边形时,则第二阵列为棱柱型深槽结构。本实施例主要以圆柱型深槽结构为例进行说明。

[0056] 进一步地,第一阵列中的每个列具有基本相同的第一宽度,第二阵列中的每个列具有基本相同的第二宽度,且第一宽度大于第二宽度。第一阵列和第二阵列中的每个列在各自的P型基区3下方沿其深度方向具有基本相同的宽度。

[0057] 本实施例中所称的基本相同是指,每个列的相关尺寸可以有一些差异,但应该在指定的容差(如设计和制造公差等)范围内。也就是说,第一阵列中等每个列具有相同的宽度(在指定容差内),第二阵列中的每个列具有相同的宽度(在指定容差内)。第一阵列和第二阵列的每个列在其整个深度(在指定容差内)上具有相同的宽度(在指定容差内)。

[0058] 进一步地,第一阵列中每个列的宽度(也即第一宽度)大于第二阵列中每个列的宽度(也即第二宽度)。

[0059] 需要说明的是,本实施例根据第一阵列和第二阵列中的列的宽度,将特定位置分配给对应的列。换句话说,器件的活动区域内的某些位置被标识为要形成较宽列(例如第一阵列)的位置。同样,器件的活动区域内的某些位置被标识为要形成较窄列(例如第二阵列)的位置。

[0060] 在本实施例中,第二阵列中的每个列被四个第一阵列中的列包围,以形成截面为长方形的行/列交错包围结构;其中,第二阵列中的列位于长方形中心,四个第一阵列中的列位于长方形的四个角。

[0061] 例如,请参见图2,图2是沿图1中切割线A-A的一种横截面示意图,其中,216表示较宽的第一阵列,226表示较窄的第二阵列,且较宽列216的行与较窄列226的行交错。其中较宽列216的宽度(直径)为2.0微米,较窄列226的宽度(直径)为1.96微米。

[0062] 在本实施例中,可通过调整216列和226列的尺寸(例如宽度或直径)对电荷Q进行调节,从而调整击穿电压。具体的,在本实施例提供的n沟道器件中,调制列的宽度会导致较大(较宽)列中的Q值较高,而较小(较窄)列中的Q值较低。但是,最低的Q值都会大于PN结耗尽后的电荷平衡值。因此,击穿电压将高于对应于Q最大值的击穿电压,但低于对应于Q最小值的击穿电压。换句话说,通过将较大的列与较小的列混合,相对于仅使用较大列的情况下提高了击穿电压。这将导致在较高Q值下击穿电压的摆率较低,从而提供了更好的UIS耐用性。而且,相对于传统的器件形式,具有调制列的SJ功率MOSFET器件的工艺灵敏度得到了提高。

[0063] 此外,列的浓度和深度调制同样会导致电场的变化。例如,当P型柱和N-外延区的掺杂浓度为 $5.48 \times 10^{15} \text{ cm}^{-3}$,P型柱的深度为60 μm 时,这时器件的击穿电压可以达到980V;当P型柱和N-外延区的掺杂浓度为 $1.9 \times 10^{15} \text{ cm}^{-3}$,P型柱的深度为100 μm 时,器件的耐压可以提升

到1400V,这说明随着P型柱深度的提高,器件的耐压也在升高。

[0064] 在本发明的另一个实施例中,第二阵列中的每个列被六个第一阵列中的列包围,以形成截面为六边形的环状包围结构,其中,第二阵列中的列位于六边形中心,六个第一阵列中的列位于六边形的六个角。

[0065] 例如,请参见图3,图2是沿图1中切割线A-A的另一种横截面示意图;其中,316表示较宽的第一阵列,326表示较窄的第二阵列,且较窄的列326被较宽的列316包围。如图所示的标记为A的较窄列由标记为B、C、D、E、F和G的六个较宽列包围。其中,较宽列216的宽度(直径)为1.9微米,较窄列326的宽度(直径)为1.86微米。

[0066] 在本实施例中,也可以通过调制列的尺寸和浓度进行点场的调节,再此不再详述。

[0067] 本实施例通过在器件N-外延区中引入并行的P型列,以在有源区形成交替的P型和N型列,当交替的P型和N型区域中的电荷达到平衡时,击穿电压处于峰值,从而使得器件能够更好地承受击穿;同时,采用双沟槽栅结构替代平面栅结构,大大降低了导通电阻,使得在相同耐压下,其导通电阻与耐压的关系更为折衷,曲线更好,从而平衡了低导通电阻和高击穿电压之间的关系,实现了优良的器件性能。

[0068] 实施例二

[0069] 在上述实施例一的基础上,本实施例提供了一种具有超结双沟道栅的高压MOSFET器件的制备方法。请参见图4,图4是本发明实施例提供的一种具有超结双沟道栅的高压MOSFET器件的制备方法流程图,包括以下步骤:

[0070] S1:在N+衬底上外延生长N-型薄膜,以形成N-外延区;

[0071] S2:对N-外延区进行刻蚀以形成若干柱形深槽结构,并填充柱形深槽结构,以形成多个P型列;

[0072] S3:在P型列上方形成P型基区;

[0073] S4:在相邻两个P型基区之间形成沟槽栅结构;

[0074] S5:对P型基区上表面进行掺杂,以形成器件的有源区;

[0075] S6:在整个样品表面和背面分别形成源极和漏极,以完成器件的制备。

[0076] 下面结合附图,对本实施例提供的制备方法的工艺过程进行详细介绍。请参见图5a-5g,图5a-5g是本发明实施例提供的一种具有超结双沟道栅的高压MOSFET器件的制备过程示意图,具体包括:

[0077] 步骤1:在N+衬底1上外延生长N-型薄膜,以形成N-外延区2,如图5a所示。

[0078] 步骤2:在N-外延层2的上表面沉积薄膜,并采用光刻工艺对N-型外延层2上表面的一部分进行光刻处理,同时采用刻蚀工艺从上至下形成多个垂直沟槽结构,其中,垂直深沟槽结构分离彼此,如图5b所示。

[0079] 步骤3:将多晶硅填入深槽内填平,形成多个P型列101(即P型柱),并同时形成N型列102,如图5c所示。

[0080] 步骤4:在P型列101和N-外延层2上形成P型基区3。

[0081] 具体的,在P型列101和N-外延层2上表面沉积薄膜,并使用光刻工艺在N-外延层2的上表面一部分进行光学光刻,形成多个沟槽结构,每个沟槽结构位于P型深沟槽结构上方,并且相邻的沟槽结构相分离,然后将P型多晶硅填入沟槽结构并填平,形成P型基区3,如图5d所示。

[0082] 步骤5:在P型基区3上制备沟槽栅结构5,如图5e所示。

[0083] 具体的,对P型基区3进行光学光刻,形成沟槽,对其内表面进行热氧化,形成栅极氧化层,随后将N型多晶硅填入沟槽中并填平,形成多晶硅栅极。

[0084] 步骤6:在P型基区的上表面沿水平方向注入N型重掺杂和P型重掺杂,以形成N+有源区41和P+有源区42,如图5f所示。

[0085] 步骤7:在沟槽栅结构5和N+有源区41部分上表面沉积绝缘层7,作为隔离介质,随即生成金属6,并制备金属电极,以制备得到如图5g所示的高压MOSFET器件。

[0086] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

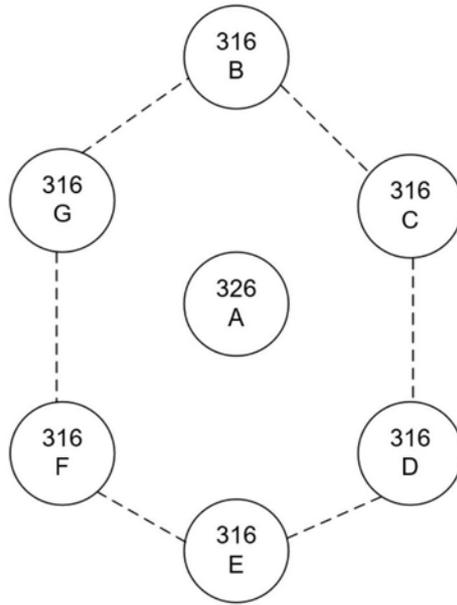


图3

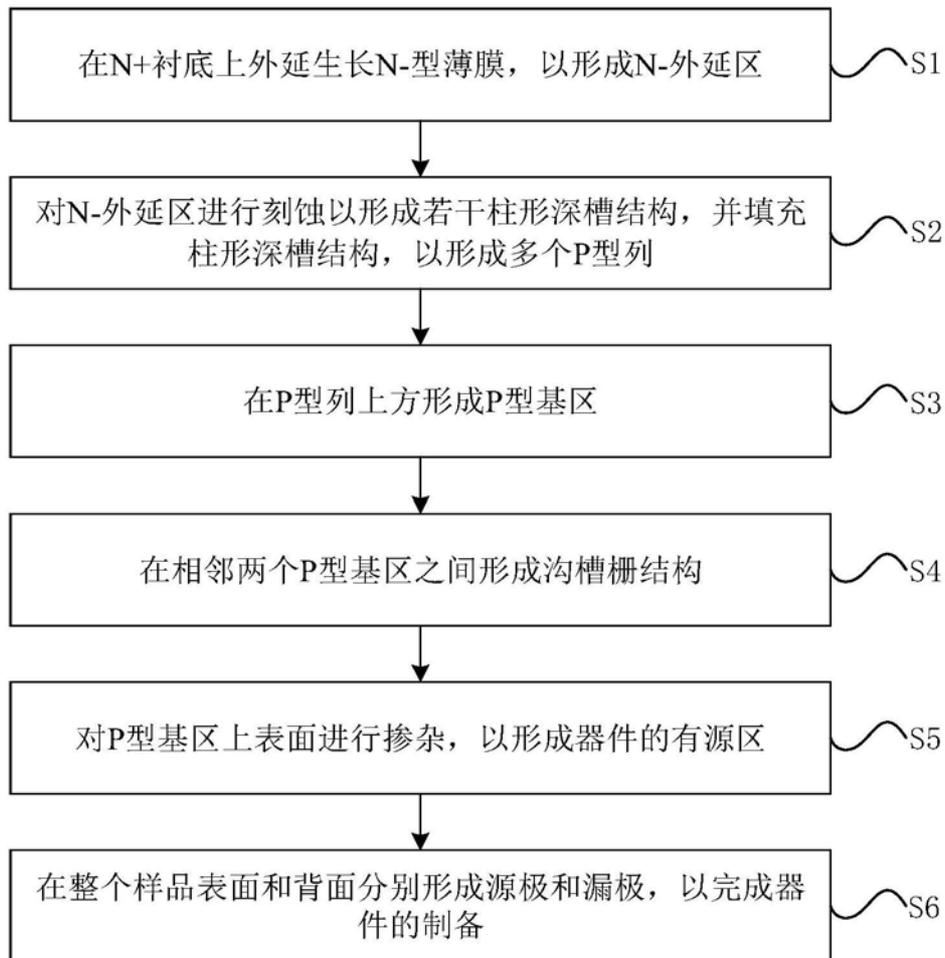


图4

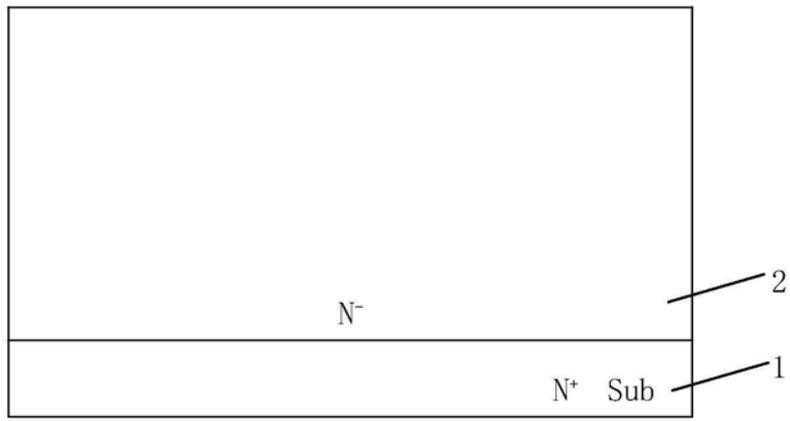


图5a

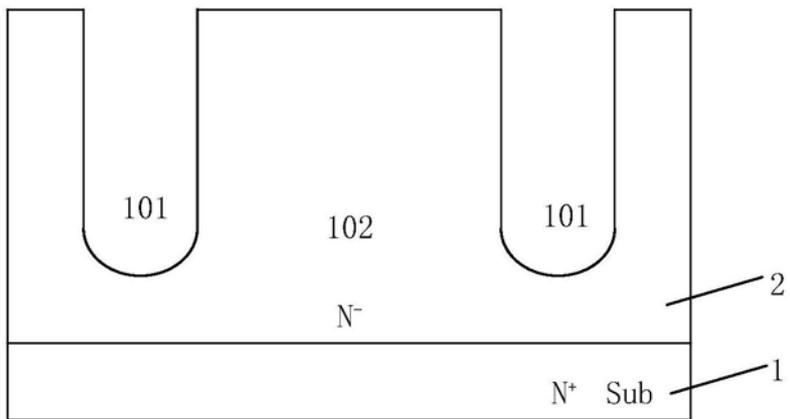


图5b

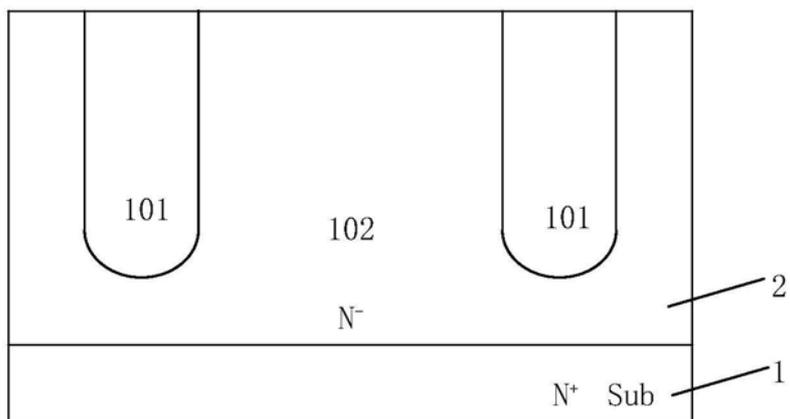


图5c

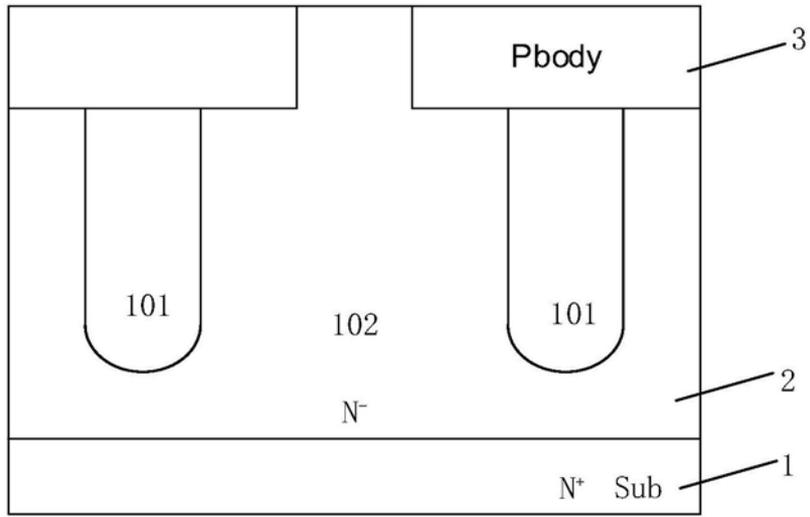


图5d

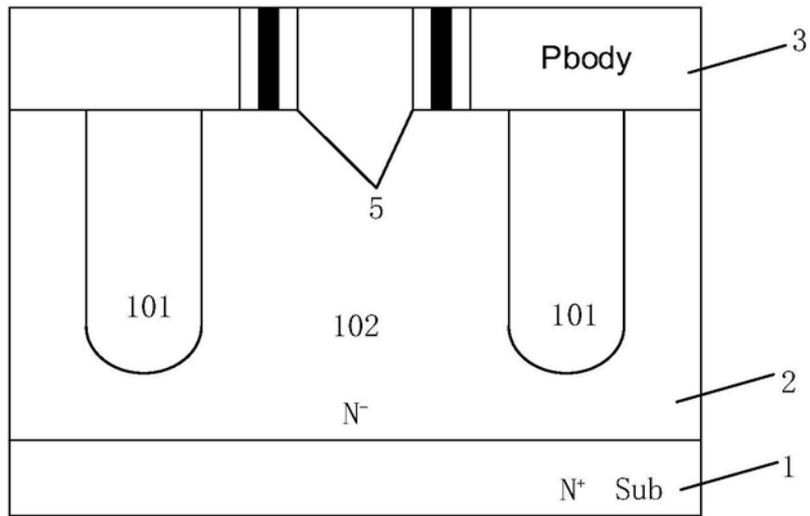


图5e

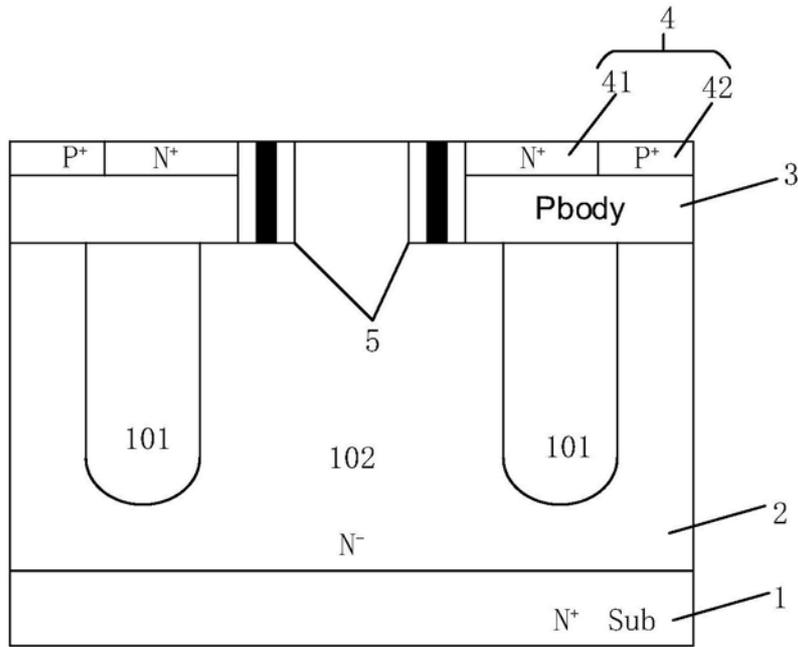


图5f

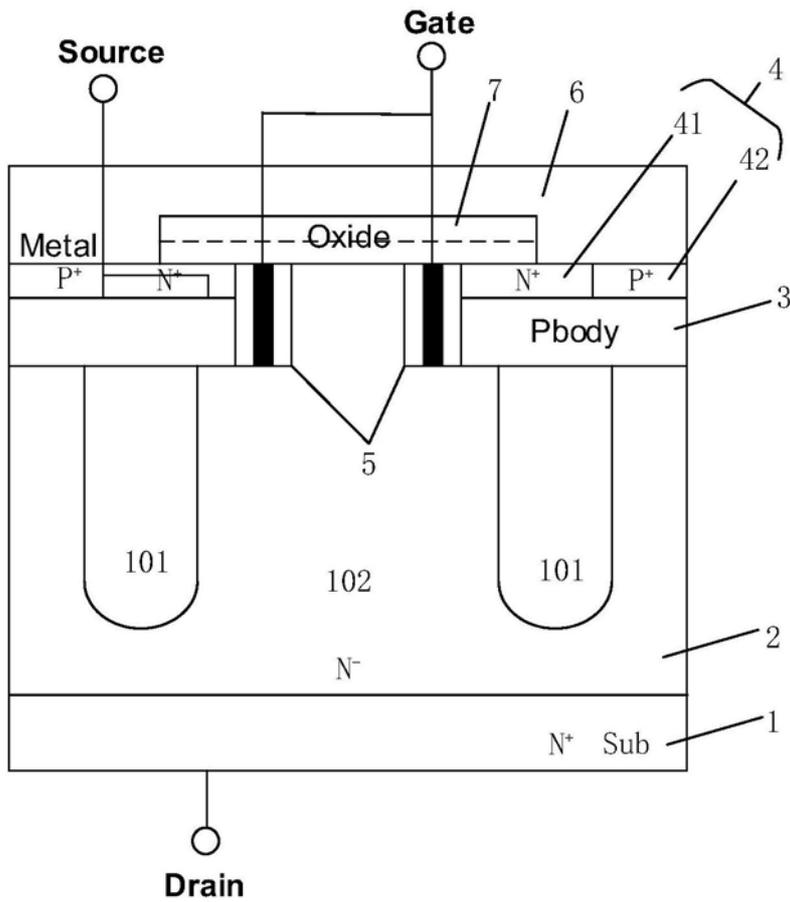


图5g