



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I701795 B

(45) 公告日：中華民國 109 (2020) 年 08 月 11 日

(21) 申請案號：108106780

(22) 申請日：中華民國 108 (2019) 年 02 月 27 日

(51) Int. Cl. : *H01L23/535 (2006.01)**H01L21/60 (2006.01)*

(30) 優先權：2018/12/24 美國

62/784,613

2019/02/06 美國

16/268,836

(71) 申請人：南亞科技股份有限公司 (中華民國) NANYA TECHNOLOGY CORPORATION
(TW)

新北市泰山區南林路 98 號

(72) 發明人：施信益 SHIH, SHING-YIH (TW)

(74) 代理人：陳長文；馮博生

(56) 參考文獻：

TW 200849422A

TW 201820495A

CN 103247600A

US 9484325B2

US 9589857B2

審查人員：邱元玠

申請專利範圍項數：9 項 圖式數：11 共 31 頁

(54) 名稱

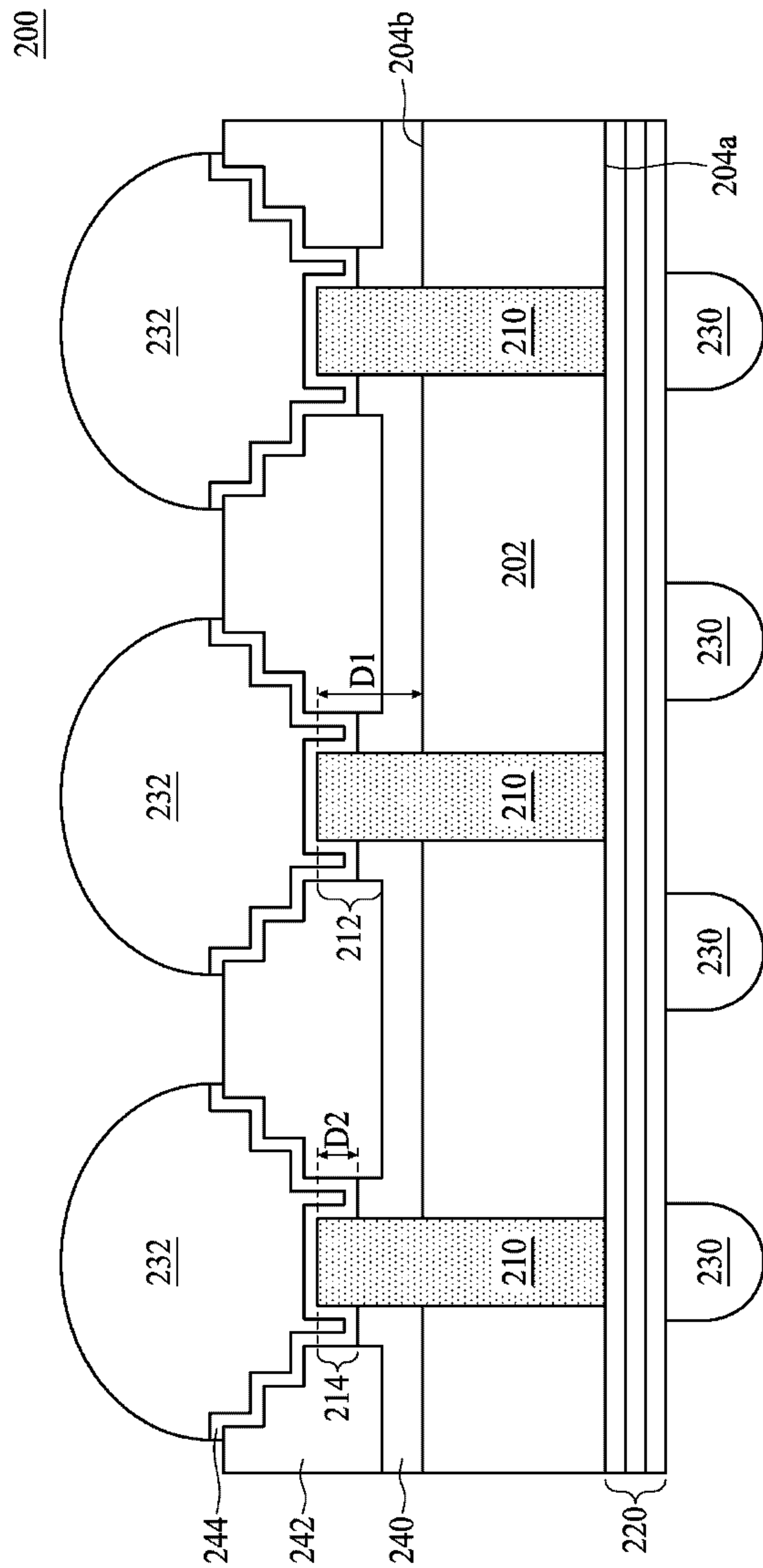
半導體封裝結構及其製備方法

(57) 摘要

本揭露提供一種半導體封裝結構，包括一基底、一互連結構、一第一鈍化層、一第二鈍化層，以及一穿矽通孔(through silicon via, TSV)。該基底具有一前表面和與該前表面相對的一背表面。該互連結構設置在該基底的該前表面的上方。該第一鈍化層設置在該基底的該背表面的上方。該第二鈍化層設置在該第一鈍化層的上方。該穿矽通孔設置在該基底中。在一些實施例中，該穿矽通孔從該背表面穿透該基底到該前表面。在一些實施例中，該穿矽通孔具有從該第一鈍化層突出並且與該第二鈍化層分離的一端部。

The present disclosure provides a semiconductor package structure. The semiconductor package structure includes a substrate having a front surface and a back surface opposite to the front surface, an interconnection structure disposed over the front surface of the substrate, a first passivation layer disposed over the back surface of the substrate, a second passivation layer disposed over the first passivation layer, and a TSV disposed in the substrate. In some embodiments, the TSV structure penetrates the substrate from the back surface of the substrate to the front surface of the substrate. In some embodiments, the TSV has an end portion protruding from the first passivation layer and separated from the second passivation layer.

指定代表圖：



【圖11】

符號簡單說明：

- 200 半導體封裝結構
- 202 基底
- 204a 前表面
- 204b 背表面
- 210 穿矽通孔
- 212 第一端部
- 214 第二端部
- 220 互連結構
- 230 連接結構
- 232 連接結構
- 240 第一阻抗層
- 242 第二阻抗層
- 244 金屬層
- D1 方向
- D2 方向



I701795

【發明摘要】

【中文發明名稱】

半導體封裝結構及其製備方法

【英文發明名稱】

SEMICONDUCTOR PACKAGE STRUCTURE AND METHOD FOR
PREPARING THE SAME

【中文】

本揭露提供一種半導體封裝結構，包括一基底、一互連結構、一第一鈍化層、一第二鈍化層，以及一穿矽通孔(through silicon via, TSV)。該基底具有一前表面和與該前表面相對的一背表面。該互連結構設置在該基底的該前表面的上方。該第一鈍化層設置在該基底的該背表面的上方。該第二鈍化層設置在該第一鈍化層的上方。該穿矽通孔設置在該基底中。在一些實施例中，該穿矽通孔從該背表面穿透該基底到該前表面。在一些實施例中，該穿矽通孔具有從該第一鈍化層突出並且與該第二鈍化層分離的一端部。

【英文】

The present disclosure provides a semiconductor package structure. The semiconductor package structure includes a substrate having a front surface and a back surface opposite to the front surface, an interconnection structure disposed over the front surface of the substrate, a first passivation layer disposed over the back surface of the substrate, a second passivation layer disposed over the first passivation layer, and a TSV disposed in the substrate. In some embodiments, the TSV structure penetrates the substrate from the back surface of the substrate to the front surface of

the substrate. In some embodiments, the TSV has an end portion protruding from the first passivation layer and separated from the second passivation layer.

【指定代表圖】

圖11

【代表圖之符號簡單說明】

200	半導體封裝結構
202	基底
204a	前表面
204b	背表面
210	穿矽通孔
212	第一端部
214	第二端部
220	互連結構
230	連接結構
232	連接結構
240	第一阻抗層
242	第二阻抗層
244	金屬層
D1	方向
D2	方向

【發明說明書】

【中文發明名稱】

半導體封裝結構及其製備方法

【英文發明名稱】

SEMICONDUCTOR PACKAGE STRUCTURE AND METHOD FOR
PREPARING THE SAME

【技術領域】

【0001】本申請案主張2018/12/24申請之美國臨時申請案第62/784,613號及2019/2/6申請之美國正式申請案第16/268,836號的優先權及益處，該美國臨時申請案及該美國正式申請案之內容以全文引用之方式併入本文中。

【0002】本揭露關於一種半導體封裝結構及其製備方法，特別是關於一種包括穿矽通孔(through silicon via, TSV)的半導體封裝結構及其製備方法。

【先前技術】

【0003】半導體元件對於許多現代的應用是不可或缺的。隨著電子技術的進步，半導體元件的尺寸變得越來越小，同時具有更多的功能和更大量的積體電路。由於半導體元件的小型化，晶片對晶片(chip-on-chip)技術廣泛地用於半導體封裝的製造。

【0004】在一種方法中，使用至少兩個晶片(或晶粒)的堆疊，以三維(3D)封裝中的形態來形成例如一記憶體元件，如此，相較於其他半導體積體製程，可以生產具有兩倍記憶容量的產品。除了增加記憶容量外，堆疊封裝也提供了改進的安裝密度和安裝區域的利用效率。由於這些優

點，堆疊封裝技術的研究和開發更加速地進行。

【0005】 在本領域中揭露一種使用穿矽通孔(through silicon via, TSV)的堆疊封裝。使用穿矽通孔的堆疊封裝具有一種結構，此結構具有穿矽通孔在其中，因此晶片透過穿矽通孔彼此電連接。一般而言，透過蝕刻垂直通孔穿過基底並用例如銅(Cu)的導電材料填充通孔來形成穿矽通孔。通常，穿過基底所形成的垂直通孔均具有相同的深度並且與晶片中形成的接墊對準。此外，設計與形成特定的佈線線路，並且形成為做為穿矽通孔所在的端點。但是，這種特定的佈線將使電路設計複雜化，特別是在雙晶粒堆疊的設計中。

【0006】 上文之「先前技術」說明僅係提供背景技術，並未承認上文之「先前技術」說明揭示本揭露之標的，不構成本揭露之先前技術，且上文之「先前技術」之任何說明均不應作為本案之任一部份。

【發明內容】

【0007】 本揭露提供一種半導體封裝結構，包括一基底、一互連結構、一第一鈍化層、一第二鈍化層，以及一穿矽通孔(TSV)。該基底具有一前表面和與該前表面相對的一背表面。該互連結構設置在該基底的該前表面的上方。該第一鈍化層設置在該基底的該背表面的上方。該第二鈍化層設置在該第一鈍化層的上方。該穿矽通孔設置在該基底中。在一些實施例中，該穿矽通孔從該背表面穿透該基底到該前表面。在一些實施例中，該穿矽通孔具有從該第一鈍化層突出並且與該第二鈍化層分離的一端部。

【0008】 在一些實施例中，該穿矽通孔的一長度大於該基底的一厚度。

【0009】 在一些實施例中，該穿矽通孔的該長度與該基底的該厚度

之間的差值在約1微米至約10微米之間。

【0010】 在一些實施例中，該穿矽通孔電連接到該互連結構。

【0011】 在一些實施例中，該半導體封裝結構更包括設置在該互連結構上方的一第一連接結構。

【0012】 在一些實施例中，該第一鈍化層與該穿矽通孔的一側壁的一部分接觸。

【0013】 在一些實施例中，該穿矽通孔的該端部的一表面和該第一鈍化層的一頂表面定義一階差(step height)。

【0014】 在一些實施例中，該半導體封裝結構更包括設置在該第二阻抗層和該穿矽通孔上方的一第二連接結構。

【0015】 在一些實施例中，該半導體封裝結構更包括設置在該穿矽通孔和該第二連接結構之間的一金屬層。

【0016】 在一些實施例中，該金屬層和該第二連接結構圍繞該穿矽通孔的該端部。

【0017】 本揭露另提供一種半導體封裝結構的製備方法，包括下列步驟。提供一基底。在一些實施例中，該基底包括一穿矽通孔嵌入其中。該基底具有一前表面和與該前表面相對的一背表面。去除該基底的一部分以透過該背表面暴露該穿矽通孔。在一些實施例中，該穿矽通孔包括透過該基底的該背表面暴露並且從該基底的該背表面突出的一第一端部。在該基底的該背表面的上方設置一第一鈍化層。在一些實施例中，該穿矽通孔包括透過該第一鈍化層暴露並且從該第一鈍化層突出的一第二端部。在該第一鈍化層的上方設置一第二鈍化層。在一些實施例中，該第二鈍化層具有一階梯式開口，該穿矽通孔的該第二端部透過該階梯式開口暴露。在該

階梯式開口內設置一第一連接結構。

【0018】 在一些實施例中，該製備方法更包括在該基底的該表面的上方設置一互連結構和一第二連接結構。

【0019】 在一些實施例中，去除該基底的該部分更包括步驟：從基底的背表面減薄該基底，因此該穿矽通孔的一表面和該背表面共面。從該背表面蝕刻該基底以暴露該穿矽通孔的該第一端部。

【0020】 在一些實施例中，在去除該基底的該部分之後，由該基底的該第一端部的一表面和該基底的該背表面定義一第一階差。

【0021】 在一些實施例中，該第一階差在約1微米和約10微米之間。

【0022】 在一些實施例中，該第一鈍化層的設置更包括步驟：將該第一鈍化層共形地設置在該基底的該背表面的上方。去除該第一鈍化層的一部分以暴露該穿矽通孔的該第二端部。

【0023】 在一些實施例中，該第二端部的一表面和該第一鈍化層的一頂表面定義一第二階差。

【0024】 在一些實施例中，該第二鈍化層的設置更包括步驟：將該第二鈍化層設置在該基底的該背表面的上方。去除該第二鈍化層的一部分以形成該階梯式開口。

【0025】 在一些實施例中，該製備方法更包括在形成該第一連接結構之前設置一金屬層。

【0026】 根據本揭露實施例之半導體封裝結構的製備方法，穿矽通孔具有從基底的背表面突出的端部。值得注意的是，穿矽通孔的端部從第一鈍化層突出，並且透過第二鈍化層中的階梯式開口暴露。穿矽通孔的端

部用作凸樺，並且設置在穿矽通孔上方的連接結構可以形成為圍繞穿矽通孔的端部並用作樺眼。因此，由於凸樺狀的端部，連接結構固定到穿矽通孔，所以改善了半導體封裝結構的可靠性。

【0027】 相反地，根據比較例的製備方法，穿矽通孔完全嵌入在基底中，連接結構可能在應力下與半導體封裝結構分離，因此半導體封裝結構的可靠性降低。

【0028】 上文已相當廣泛地概述本揭露之技術特徵及優點，俾使下文之本揭露詳細描述得以獲得較佳瞭解。構成本揭露之申請專利範圍標的之其它技術特徵及優點將描述於下文。本揭露所屬技術領域中具有通常知識者應瞭解，可相當容易地利用下文揭示之概念與特定實施例可作為修改或設計其它結構或製程而實現與本揭露相同之目的。本揭露所屬技術領域中具有通常知識者亦應瞭解，這類等效建構無法脫離後附之申請專利範圍所界定之本揭露的精神和範圍。

【圖式簡單說明】

【0029】 參閱實施方式與申請專利範圍合併考量圖式時，可得更全面了解本申請案之揭示內容，圖式中相同的元件符號係指相同的元件。

圖1是流程圖，例示本揭露一些實施例的半導體封裝結構的製備方法。

圖2至圖11是示意圖，例示本揭露實施例的半導體封裝結構的製備方法的各種製造階段。

【實施方式】

【0030】 本揭露之以下說明伴隨併入且組成說明書之一部分的圖式，說明本揭露實施例，然而本揭露並不受限於該實施例。此外，以下的

實施例可適當整合以下實施例以完成另一實施例。

【0031】 「一實施例」、「實施例」、「例示實施例」、「其他實施例」、「另一實施例」等係指本揭露所描述之實施例可包含特定特徵、結構或是特性，然而並非每一實施例必須包含該特定特徵、結構或是特性。再者，重複使用「在實施例中」一語並非必須指相同實施例，然而可為相同實施例。

【0032】 為了使得本揭露可被完全理解，以下說明提供詳細的步驟與結構。顯然，本揭露的實施不會限制該技藝中的技術人士已知的特定細節。此外，已知的結構與步驟不再詳述，以免不必要地限制本揭露。本揭露的較佳實施例詳述如下。然而，除了實施方式之外，本揭露亦可廣泛實施於其他實施例中。本揭露的範圍不限於實施方式的內容，而是由申請專利範圍定義。

【0033】 圖1是流程圖，例示本揭露一實施例的半導體結構的製備方法10。製備方法10包括步驟101，提供一基底，該基底包括一穿矽通孔嵌入其中。在一些實施例中，該基底具有一前表面和與該前表面相對的一背表面。製備方法10更包括步驟102，去除基底的一部分以透過該表面暴露穿矽通孔。在一些實施例中，穿矽通孔包括透過基底的該背表面暴露並且從基底的該背表面突出的一第一端部。製備方法10更包括步驟103，在基底的該背表面的上方設置一第一鈍化層。在一些實施例中，穿矽通孔包括透過該第一鈍化層暴露並且從該第一鈍化層突出的一第二端部。製備方法10更包括步驟104，在該第一鈍化層上設置一第二鈍化層。在一些實施例中，該第二鈍化層具有一階梯式開口。穿矽通孔的該第二端部透過該階梯式開口暴露。製備方法10更包括步驟105，在階梯式開口中設置一第一

連接結構。根據一個或多個實施例，將更進一步描述此半導體結構的製備方法10。

【0034】 圖2至圖11是示意圖，例示本揭露實施例之半導體封裝結構的製備方法的各種製造階段。參照圖2，根據步驟101，提供一基底202。在一些實施例中，透過黃光微影製程在基底202內製造預定功能的電路。在一些實施例中，基底202包括適用於特定應用的各種電路。在一些實施例中，電路包括各種元件，例如電晶體、電容器、電阻器、二極體等。在一些實施例中，基底202包括各種已知類型的半導體元件中的任何一種，以形成加速處理單元(accelerated processing unit, APU)、中央處理單元(central processing unit, CPU)、圖形處理單元(graphic processing unit, GPU)、微處理器、特殊應用積體電路(application-specific integrated circuits, ASICs)，數位訊號處理器(digital signal processors, DSPs)等。

【0035】 如圖2所示，基底202包括前表面204a和背表面204b，背表面204b與前表面204a相對。在一些實施例中，前表面204a是一主動表面，其中電路或電子部件設置在該主動表面中。在一些實施例中，背表面204b是不存在電路或電子部件的非主動側。

【0036】 參照圖2，基底202包括至少一穿矽通孔210嵌入其中。在一些實施例中，穿矽通孔210可以透過以下步驟形成，但是本揭露不限於此。例如，透過蝕刻方法或雷射鑽孔方法在基底202中形成至少一個孔洞(未示出)。此後，以鎢(W)或其他合適材料的導電材料填充該孔洞以形成穿矽通孔210。在一些實施例中，在填充之前可能需要形成其他的層，例如擴散阻擋層和(與)或種子層。在一些實施例中，穿矽通孔210設置在基

底20內，僅具有透過基底202的前表面204a暴露的一端面。

【0037】如圖2所示，在一些實施例中，製備方法10更包括在形成穿矽通孔210之後，在基底202的前表面204a的上方設置互連結構220和連接結構230。在一些實施例中，互連結構220包括複數個介電層和設置在複數個介電層中的複數個互連特徵。但是，為了簡潔起見，圖2中省略了這些層和互連特徵。在一些實施例中，互連特徵包括銅(Cu)，鎢(W)或其他合適的材料，但是本揭露不限於此。連接結構230透互連結構220電連接到電路和穿矽通孔210。

【0038】依舊參照圖2，在一些實施例中，將基底202附接到載體基底206。在一些實施例中，基底202透過釋放膜208暫時附接到載體基底206。在一些實施例中，釋放膜208可以是氟基(fluorine-base)膜、矽塗覆的聚對苯二甲酸乙二醇酯(silicon-coated polyethylene terephthalate)膜、聚甲基戊烯(polymethylpentene)膜、聚丙烯膜(polypropylene)或其他合適的材料，但是本揭露不限於此。在一些實施例中，載體基底206經配置以支撐晶粒、晶片或封裝。在一些實施例中，載體基底206是一半導體基底或晶圓。在一些實施例中，載體基底206是一矽晶圓、玻璃晶片等。

【0039】參照圖3和圖4，根據步驟102，移除基底202的一部分以暴露穿矽通孔210。在一些實施例中，步驟102可進一步包括以下步驟。基底202從背表面204變薄。在一些實施例中，基底202的一厚度減小。值得注意的是，背表面204b和穿矽通孔210的一端面是共面的，如圖3所示。換句話說，穿矽通孔210的一端面與互連結構220接觸，而穿矽通孔210的該相對端面透過基底202的背表面204b暴露。

【0040】參照圖4，在一些實施例中，在基底202變薄之後，在背表

面204b上回蝕刻基底202。例如，在基底202的背表面204b上執行一選擇性蝕刻製程以去除基底的一部分直到基底202中的穿矽通孔210從基底202的背表面204b突出為止。與穿矽通孔上的一蝕刻速率相比，此步驟中的選擇性蝕刻製程對基底202的材料的蝕刻速率可以顯著地更高，因此穿矽通孔210實質上是不可滲透的。如圖4所示，在去除基底202的一部分之後，穿矽通孔210的一部分透過基底202的背表面204b暴露並且突出。在一些實施例中，此部分被定義為穿矽通孔210的第一端部212。換句話說，根據步驟102，穿矽通孔210包括透過基底202的背表面204b暴露並且突出的第一端部212。如圖4所示，在去除基底202的一部分之後，由第一端部212的一表面和背表面204b定義一第一階差(step height)D1。在一些實施例中，該第一階差D1小於約1微米。在一些實施例中，該第一階差D1在約1微米和約10微米之間，但是本揭露不限於此。例如，該第一階差D1可以是大約5微米，但是本揭露不限於此。

【0041】 參照圖5和圖6，根據步驟103，第一鈍化層240設置在基底202的背表面204b的上方。在一些實施例中，步驟103更包括以下步驟。如圖5所示第一鈍化層240共形地形成在基底202的背表面204b和穿矽通孔210的第一端部212的上方。第一鈍化層240覆蓋並接觸基底202的背表面204b、第一端部212的一側壁和第一端部212的一端面。在一些實施例中，第一鈍化層240包括無機材料，例如氮化矽(SiN)、氧化矽(SiO)或其組合，但是本揭露不限於此。在一些實施例中，第一鈍化層240的一厚度在約0.5微米和約5微米之間，但是揭露不限於此。例如，第一鈍化層240的該厚度可以為約1微米，但是本揭露不限於此。

【0042】 參照圖1，接著，去除第一鈍化層240的一部分。例如，在

第一鈍化層240上執行一選擇性蝕刻製程以去除第一鈍化層240的一部分，直到穿矽通孔210從第一鈍化層240突出，如圖6所示。與穿矽通孔210上的蝕刻速率相比，此步驟中的選擇性蝕刻製程對第一鈍化層240的材料具有顯著地更高的蝕刻速率，使得穿矽通孔210實質上是不可滲透的。如圖6所示，在去除第一鈍化層240的一部分之後，穿矽通孔210的一部分透過第一鈍化層240暴露並且從第一鈍化層240突出。在一些實施例中，此部分被定義為穿矽通孔的第二端部214。換句話說，根據步驟103，穿矽通孔210包括透過第一鈍化層240暴露並且從第一鈍化層240突出的第二端部214。在一些實施例中，第二端部214的容積小於第一端部212的容積。如圖6所示，在去除第一鈍化層240的一部分之後，由第二端部214的一表面和第一鈍化層240的一頂表面定義一第二階差D2。該第二階差D2小於該第一階差D1。在一些實施例中，該第二階差D2在約1微米和約5微米之間，但是本揭露不限於此。例如，該第二階差D2可以是大約2微米，但是本揭露不限於此。

【0043】 參考圖7和圖8，根據步驟104，第二鈍化層242經設置在第一鈍化層240的上方。在一些實施例中，步驟104更包括以下步驟。如圖7所示，在穿矽通孔210的第一鈍化層240和第二端部214的上方形成第二鈍化層242。第二鈍化層242覆蓋並且接觸第一鈍化層240、第二端部214的一側壁和第二端部214的一端面。在一些實施例中，第二鈍化層242包括有機材料，例如聚酰亞胺(polyimide)，但是本揭露不限於此。在一些實施例中，第二鈍化層242的一厚度在約2微米和約10微米之間，但是本揭露不限於此。例如，第二鈍化層242的厚度可以為約5微米，但是本揭露不限於此。

【0044】 參照如圖8，去除第二鈍化層242的一部分。在一些實施例中，根據步驟104，移除第二鈍化層242的該部分以形成階梯式開口243。顯然地，穿矽通孔210的第二端部214不僅透過階梯式開口243暴露，也與第二鈍化層214分離，如圖8所示。

【0045】 參照圖9，金屬層244設置在第二鈍化層242的一部分的上方。在一些實施例中，金屬層244經設置在階梯式開口243中的第二鈍化層242的一部分的上方，如圖9所示。在一些實施例中，金屬層244共形地形成在階梯式開口243內。值得注意的是，透過階梯式開口243暴露的第二端部214被金屬層244覆蓋。在一些實施例中，金屬層244是一凸塊下金屬(under bump metallization, UBM)244。凸塊下金屬244在階梯式開口243中的第二鈍化層242的部分上被濺鍍或電鍍。在一些實施例中，凸塊下金屬244選自一組不同材料的單層或金屬層堆疊組成，包括鉻(Cr)、鈦(Ti)、銅(Cu)、銀(Ag)及其組合組成。

【0046】 參照圖10，根據步驟105，連接結構232設置在階梯式開口243內。連接結構232經設置在第二鈍化層242的一部分的上方。具體地，連接結構232經設置在凸塊下金屬244的上方。在一些實施例中，連接結構232是一導電凸塊，其包括例如錫、銅、鎳或金的導電材料，但是本揭露不限於此。在一些實施例中，連接結構232是錫球、球柵陣列(ball grid arrayBGA)球、控制塌陷高度晶片連(C4)凸塊、微凸塊(microbump)或柱(pillar)，但是本揭露限於此。在一些實施例中，連接結構232具有球形、半球形或圓柱形狀，但是本揭露不限於此。

【0047】 如圖10所示，連接結構232和凸塊下金屬244圍繞透過階梯式開口243暴露的第二端部214。值得注意的是，穿矽通孔210的第二端部

214用作凸樺，使得連接結構232和凸塊下金屬244可以固定到穿矽通孔210的類似樺頭的第二端部214。

【0048】 參照圖11，在形成連接結構232之後，基底202被單片化並從載體基底206分離，因此獲得半導體封裝結構200。

【0049】 如圖11所示，半導體封裝結構200包括基底202，基底202具有前表面204a和與前表面204a相對的背表面204b，設置在基底202的前表面204a上方的互連結構220，設置在基底202的背表面204b的上方的第一鈍化層240，設置在第一鈍化層240上方的第二鈍化層242，以及設置在基底202中的穿矽通孔210。在一些實施例中，穿矽通孔210從背表面204b穿透基底202到基底202的前表面204a。此外，穿矽通孔210具有從第一鈍化層240突出並且與第二鈍化層242分離的端部214。在一些實施例中，第一鈍化層240與穿矽通孔210的一側壁的一部分接觸。

【0050】 如圖11所示，穿矽通孔210的一長度大於基底202的一厚度。此外，穿矽通孔210的一長度與基底202的一厚度之間的差值D1小於1微米。在一些實施例中，差值D1在約1微米和約10微米之間，但是本揭露不限於此。例如，差值D1可以是大約5微米，但是本揭露不限於此。階差D2被定義為穿矽通孔210的端部214的一表面與第一鈍化層240的一頂表面之間的差值。在一些實施例中，階差D2在約1微米和約5微米之間，但是本揭露不限於此。例如，階差D2可以是大約2微米，但是本揭露不限於此。

【0051】 半導體封裝結構200更包括設置在互連結構220上方的連接結構230，以及設置在第二鈍化層242上方的連接結構232。連接結構230電連接至互連結構220，互連結構220與穿矽通孔210電連接，並且連接結

構232與穿矽通孔210電連接。因此，連接結構230和連接結構232透過穿矽通孔210和互連結構220電連接。換句話說，穿矽通孔210提供背表面204b與基底202的前表面204a之間的垂直連接。

【0052】 依舊參考圖11，第二鈍化層242包括階梯式形狀。一些實施例中，半導體封裝結構200更還包括用作凸塊下金屬並且設置在階梯式開口中的金屬層244，連接結構232設置在該凸塊下金屬的上方。換句話說，金屬層244設置在連接結構232和穿矽通孔210之間，以及在連接結構232和第二鈍化層242之間。在階梯式開口中，在第二鈍化層242和穿矽通孔210的端部214之間形成一空間。在一些實施例中，該空間填充有金屬層244。在其他實施例中，該空間用金屬層244和連接結構232填充，如圖11所示。因此，金屬層244和連接結構232圍繞穿矽通孔210的端部214。

【0053】 根據本揭露實施例的製備方法10，穿矽通孔210具有從基底202的背表面204b突出的端部214。值得注意的是，穿矽通孔210的端部214從第一鈍化層240突出，並且透過第二阻抗層242中的階梯式開口暴露。穿矽通孔210的端部214用作凸樁，並且設置在穿矽通孔210上方的連接結構232可以形成為圍繞穿矽通孔210的端部214。因此，連接結構232由於凸樁狀端部214而固定到穿矽通孔210，所以改善了半導體封裝結構200的可靠性。

【0054】 相反地，根據比較例的製備方法，穿矽通孔完全嵌入在基底中，連接結構可能在應力下與半導體封裝結構分離，因此半導體封裝結構的可靠性降低。

【0055】 本揭露提供一種半導體封裝結構，包括一基底、一互連結構、一第一鈍化層、一第二鈍化層，以及一穿矽通孔(TSV)。該基底具有

一前表面和與該前表面相對的一背表面。該互連結構設置在該基底的該前表面的上方。該第一鈍化層設置在該基底的該背表面的上方。該第二鈍化層設置在該第一鈍化層的上方。該穿矽通孔設置在該基底中。在一些實施例中，該穿矽通孔從該背表面穿透基底到該前表面。在一些實施例中，該穿矽通孔具有從該第一鈍化層突出並且與該第二鈍化層分離的一端部。

【0056】 本揭露另提供一種半導體封裝結構的製備方法，包括下列步驟。提供一基底。在一些實施例中，該基底包括一穿矽通孔嵌入其中。該基底具有一前表面和與該前表面相對的一背表面。去除該基底的一部分以透過該背表面暴露該穿矽通孔。在一些實施例中，該穿矽通孔包括透過該基底的該背表面暴露並且從該基底的該背表面突出的一第一端部。在該基底的該背表面的上方設置一第一鈍化層。在一些實施例中，該穿矽通孔包括透過該第一鈍化層暴露並且從該第一鈍化層突出的一第二端部。在該第一鈍化層的上方設置一第二鈍化層。在一些實施例中，該第二鈍化層具有一階梯式開口，該穿矽通孔的該第二端部透過該階梯式開口暴露。在該階梯式開口內設置一第一連接結構。

【0057】 雖然已詳述本揭露及其優點，然而應理解可進行各種變化、取代與替代而不脫離申請專利範圍所定義之本揭露的精神與範圍。例如，可用不同的方法實施上述的許多製程，並且以其他製程或其組合替代上述的許多製程。

【0058】 再者，本申請案的範圍並不受限於說明書中所述之製程、機械、製造、物質組成物、手段、方法與步驟之特定實施例。該技藝之技術人士可自本揭露的揭示內容理解可根據本揭露而使用與本文所述之對應實施例具有相同功能或是達到實質相同結果之現存或是未來發展之製程、

機械、製造、物質組成物、手段、方法、或步驟。據此，此等製程、機械、製造、物質組成物、手段、方法、或步驟係包含於本申請案之申請專利範圍內。

【符號說明】

【0059】

10	製備方法
101	步驟
102	步驟
103	步驟
104	步驟
105	步驟
200	半導體封裝結構
202	基底
206	載體基底
208	釋放膜
210	穿矽通孔
212	第一端部
214	第二端部
220	互連結構
230	連接結構
232	連接結構
240	第一阻抗層
242	第二阻抗層

- 243 階梯式開口
- 244 金屬層
- 204a 前表面
- 204b 背表面
- D1 方向
- D2 方向

【發明申請專利範圍】

【第1項】

一種半導體封裝結構的製備方法，包括：

提供包括一穿矽通孔嵌入其中的一基底，其中該基底具有一前表面和與該前表面相對的一背表面；

去除該基底的一部分以透過該背表面暴露該穿矽通孔，其中該穿矽通孔包括透過該基底的該背表面暴露並且從該基底的該背表面突出的一第一端部；

在該基底的背表面的上方設置一第一鈍化層，其中該穿矽通孔包括透過該第一鈍化層暴露並且從該第一鈍化層突出的一第二端部；

在該第一鈍化層的上方設置一第二鈍化層，其中該第二鈍化層具有一階梯式開口，該穿矽通孔的該第二端部透過該階梯式開口暴露；以及

在該階梯式開口內設置一第一連接結構。

【第2項】

如請求項1所述的製備方法，更包括在該基底的該表面的上方設置一互連結構和一第二連接結構。

【第3項】

如請求項1所述的製備方法，其中去除該基底的該部分更包括：

從基底的背表面減薄該基底，因此該穿矽通孔的一表面和該背表面共面；以及

從該背表面蝕刻該基底以暴露該穿矽通孔的該第一端部。

【第4項】

如請求項1所述的製備方法，其中在去除該基底的該部分之後，由該

基底的該第一端部的一表面和該基底的該背表面定義一第一階差。

【第5項】

如請求項4所述的製備方法，其中該第一階差在約1微米和約10微米之間。

【第6項】

如請求項1所述的製備方法，其中該第一鈍化層的設置更包括：
將該第一鈍化層共形地設置在該基底的該背表面的上方；以及
去除該第一鈍化層的一部分以暴露該穿矽通孔的該第二端部。

【第7項】

如請求項6所述的製備方法，其中該第二端部的一表面和該第一鈍化層的一頂表面定義一第二階差。

【第8項】

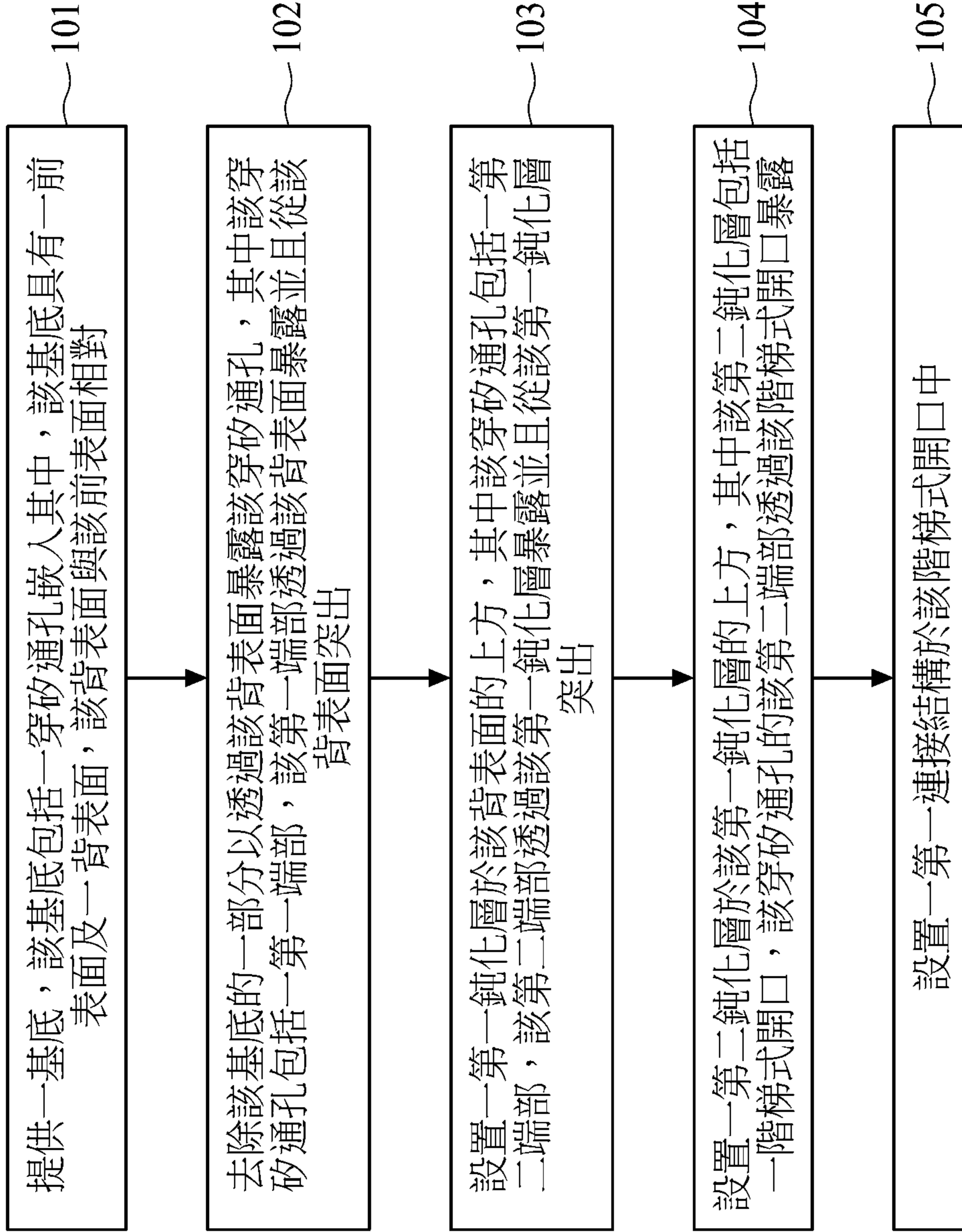
如請求項1所述的製備方法，其中該第二鈍化層的設置更包括：
將該第二鈍化層設置在該基底的該背表面的上方；以及
去除該第二鈍化層的一部分以形成該階梯式開口。

【第9項】

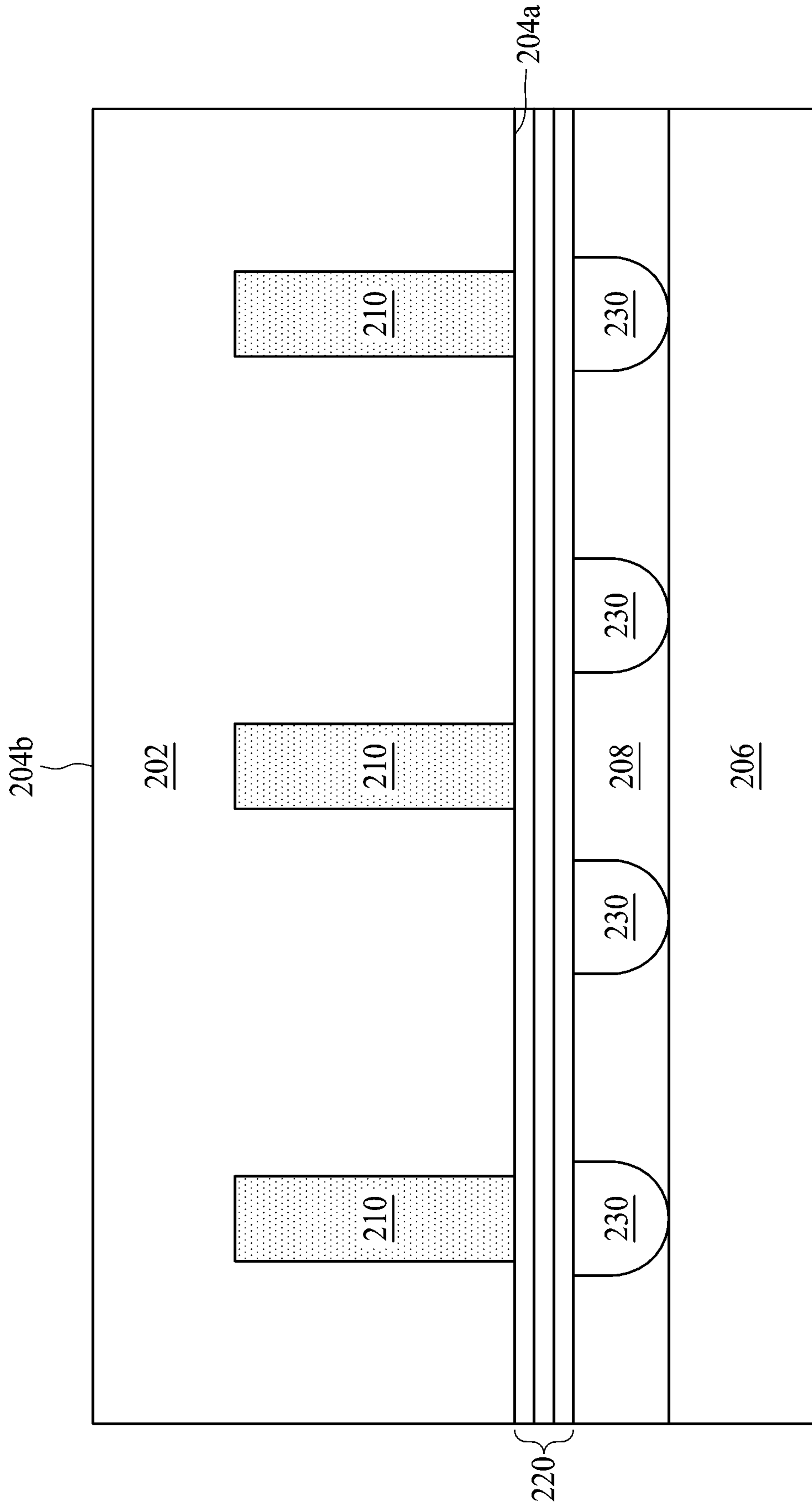
如請求項1所述的製備方法，更包括在形成該第一連接結構之前設置一金屬層。

【發明圖式】

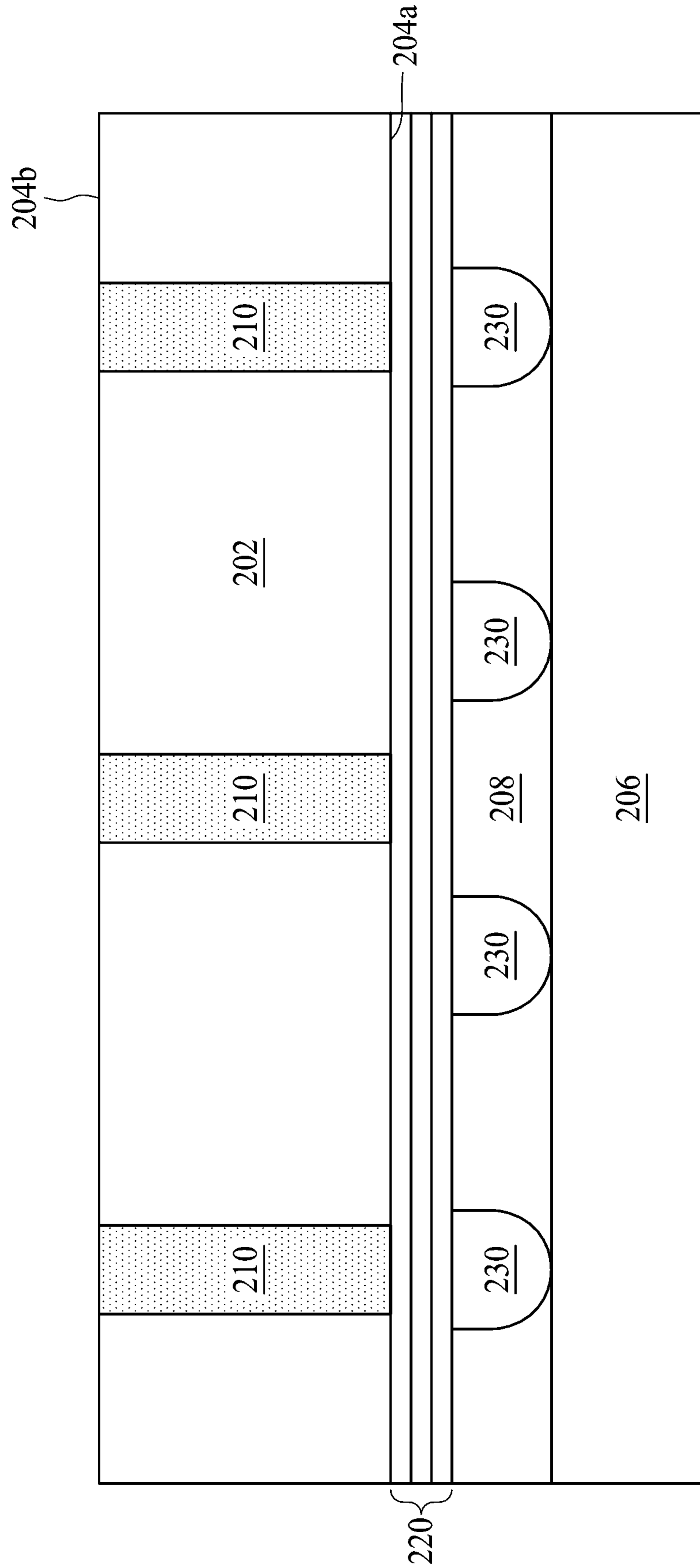
10



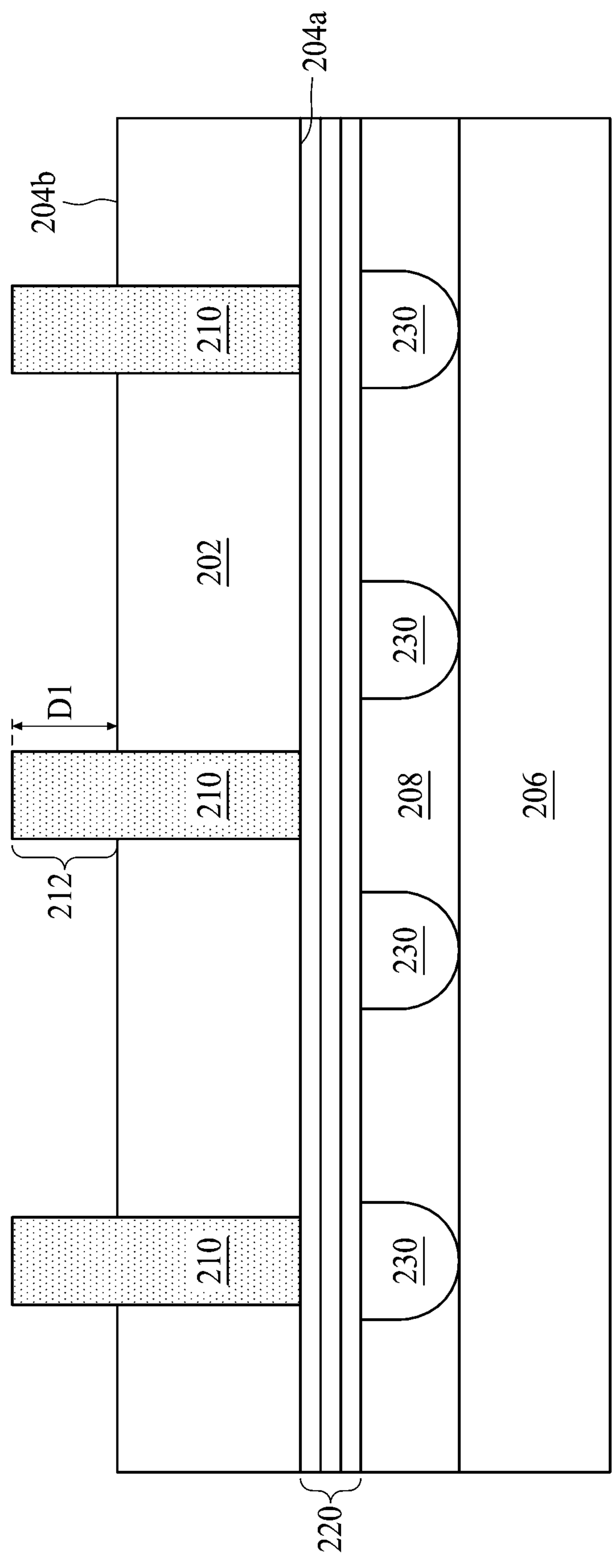
【圖1】



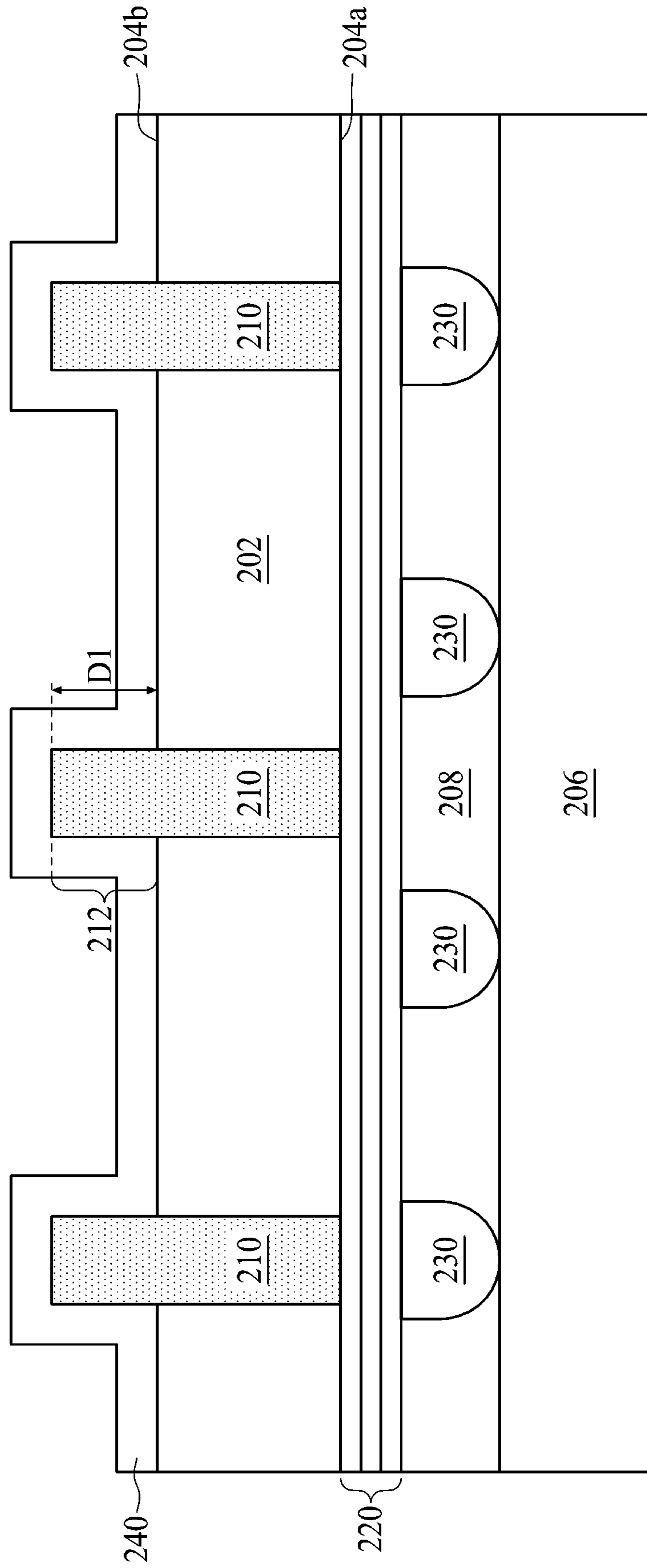
【圖2】



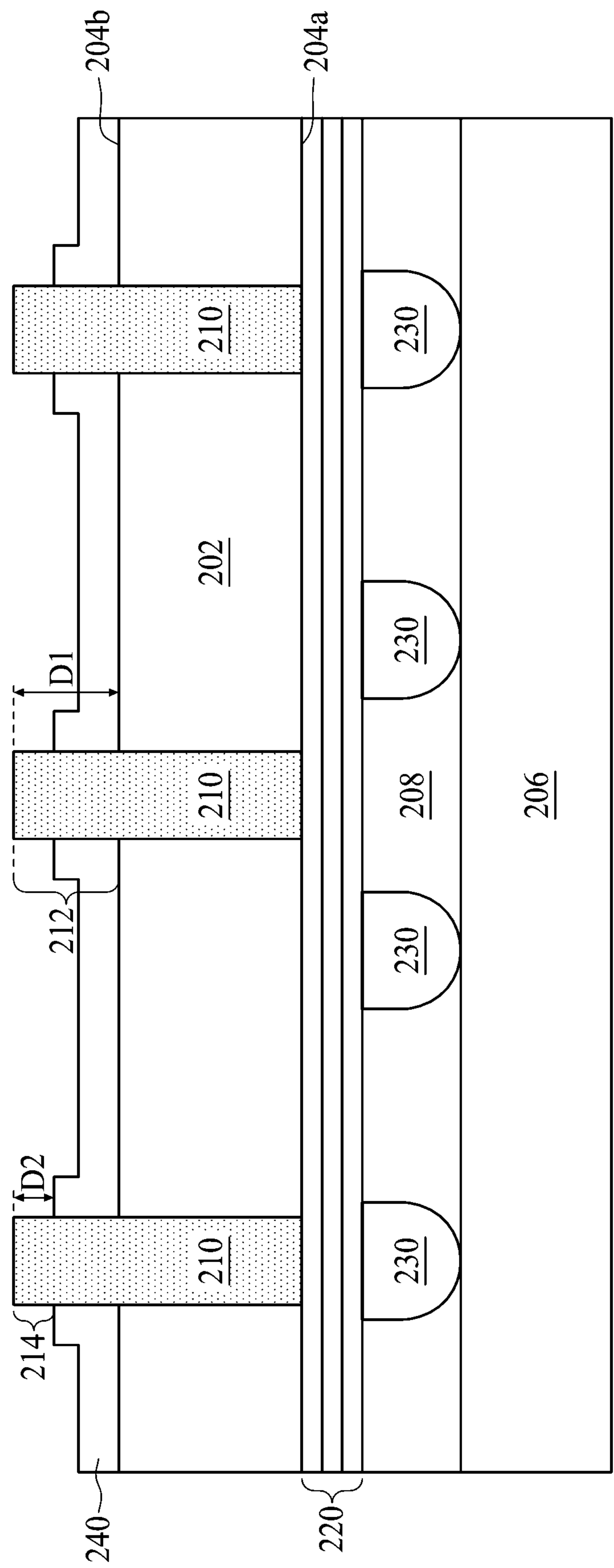
【圖3】



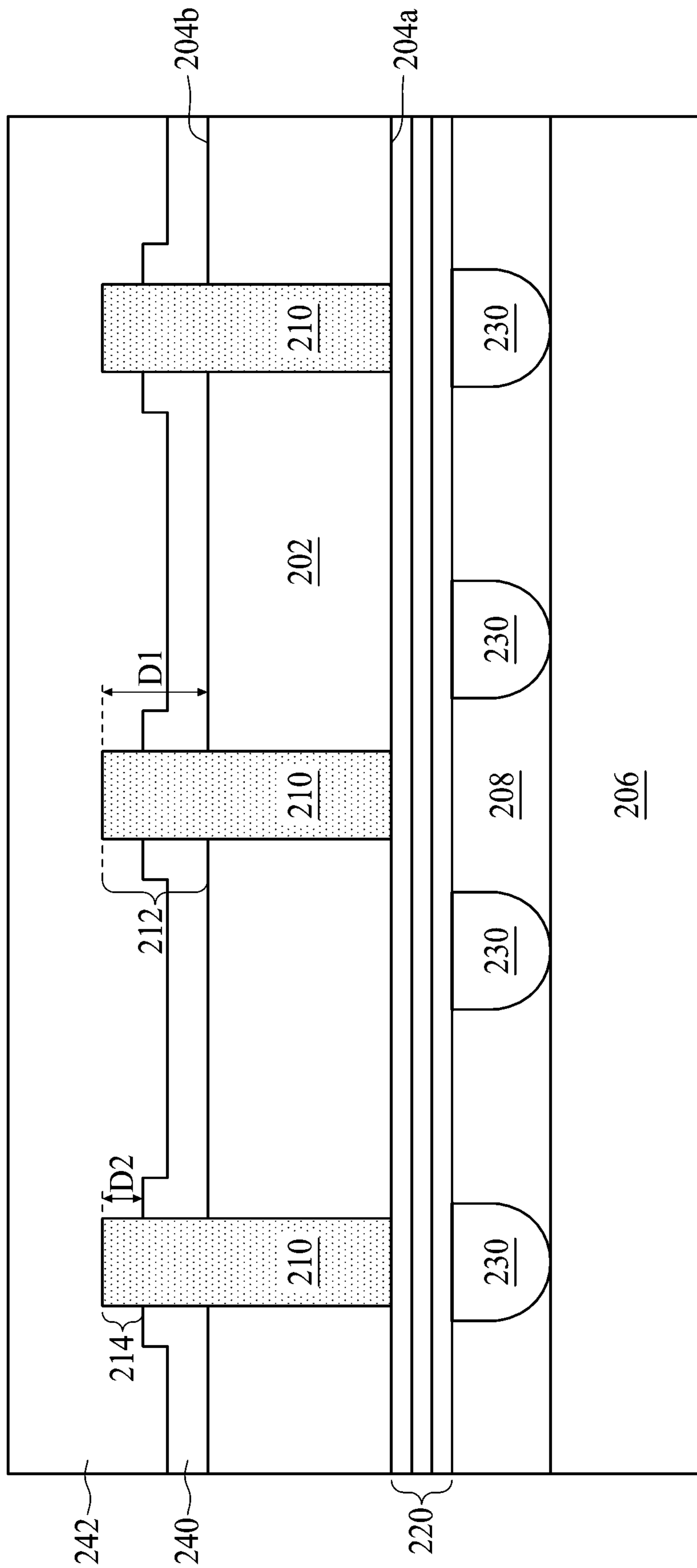
【圖4】



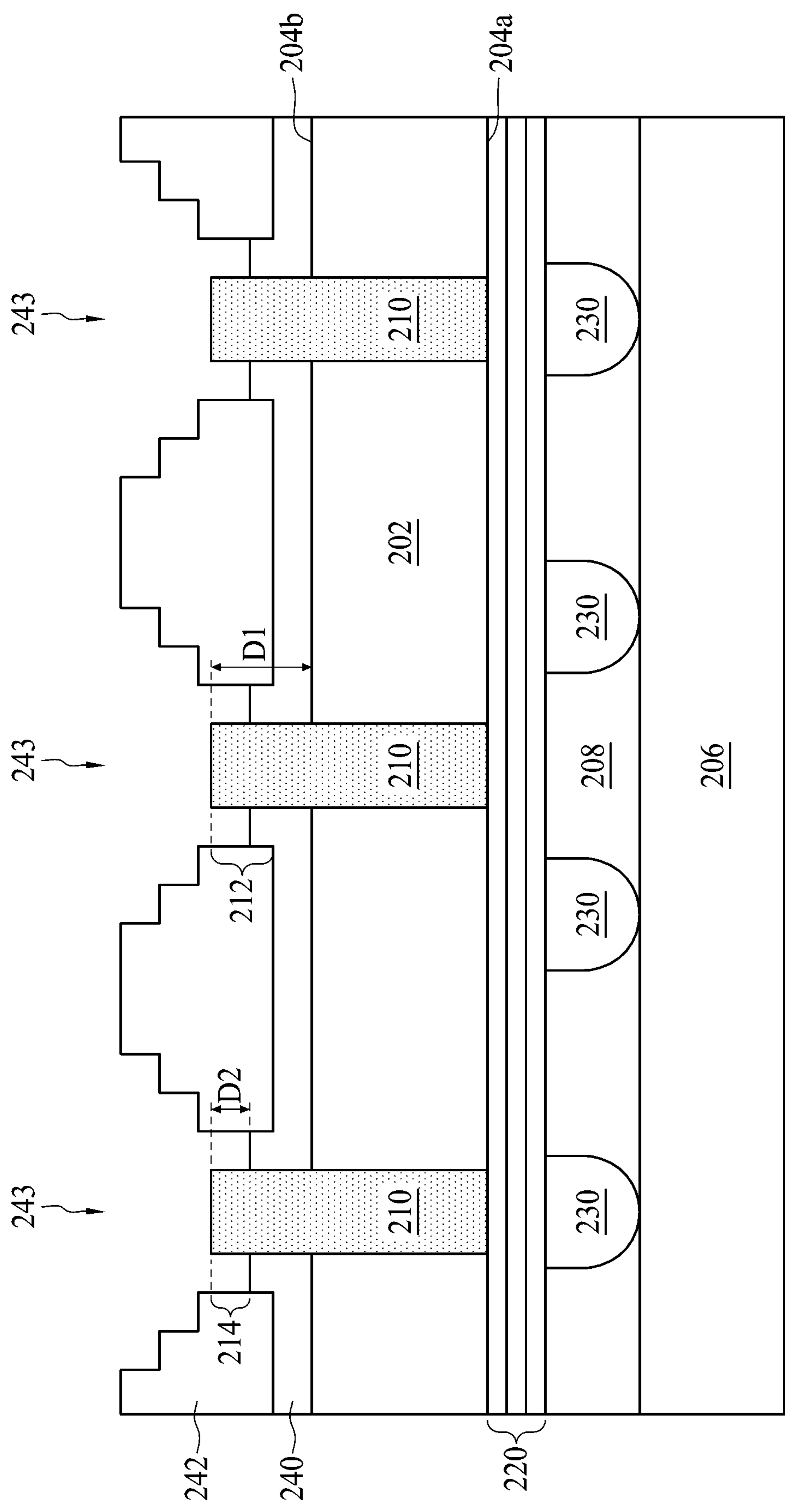
【圖5】



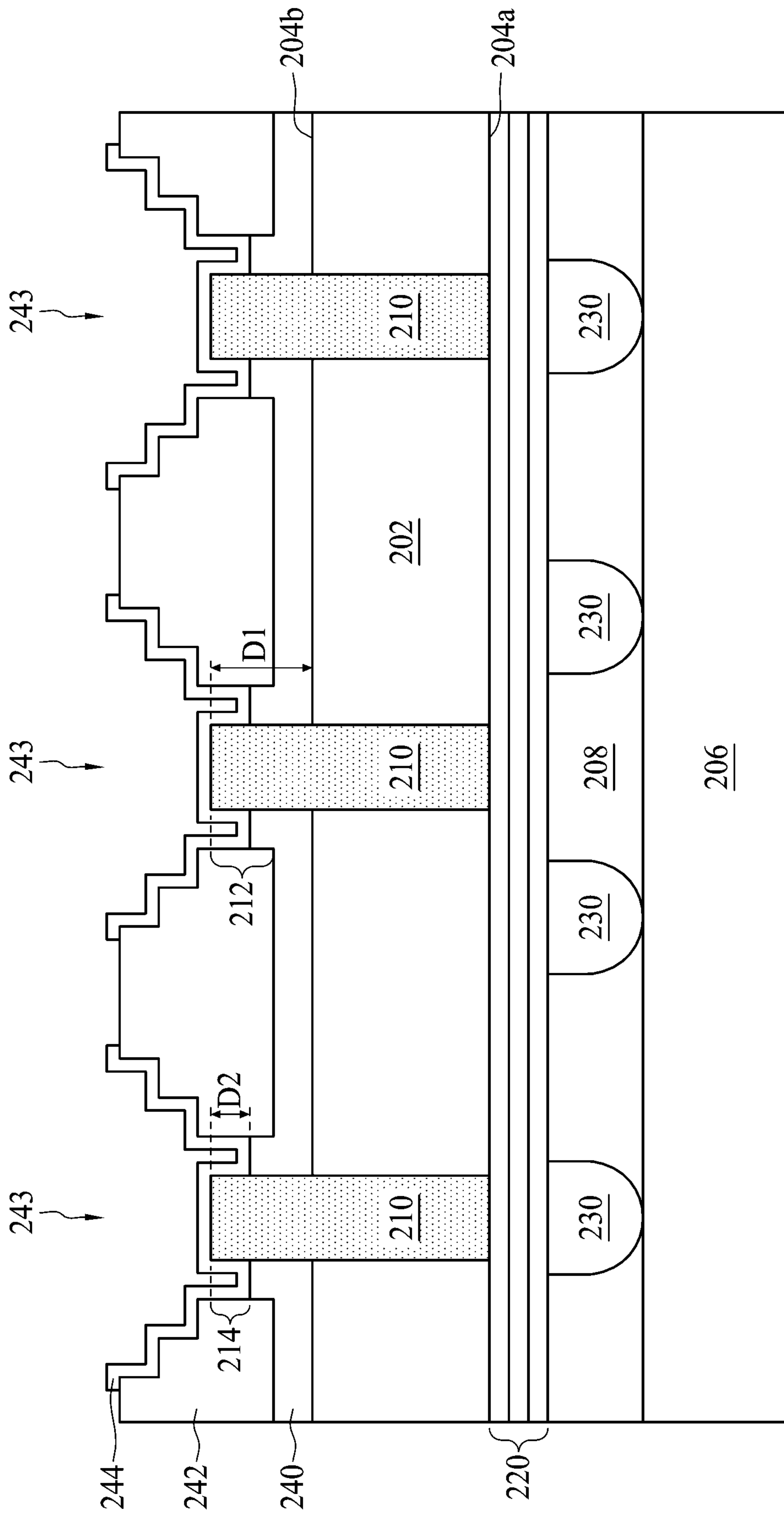
【圖6】



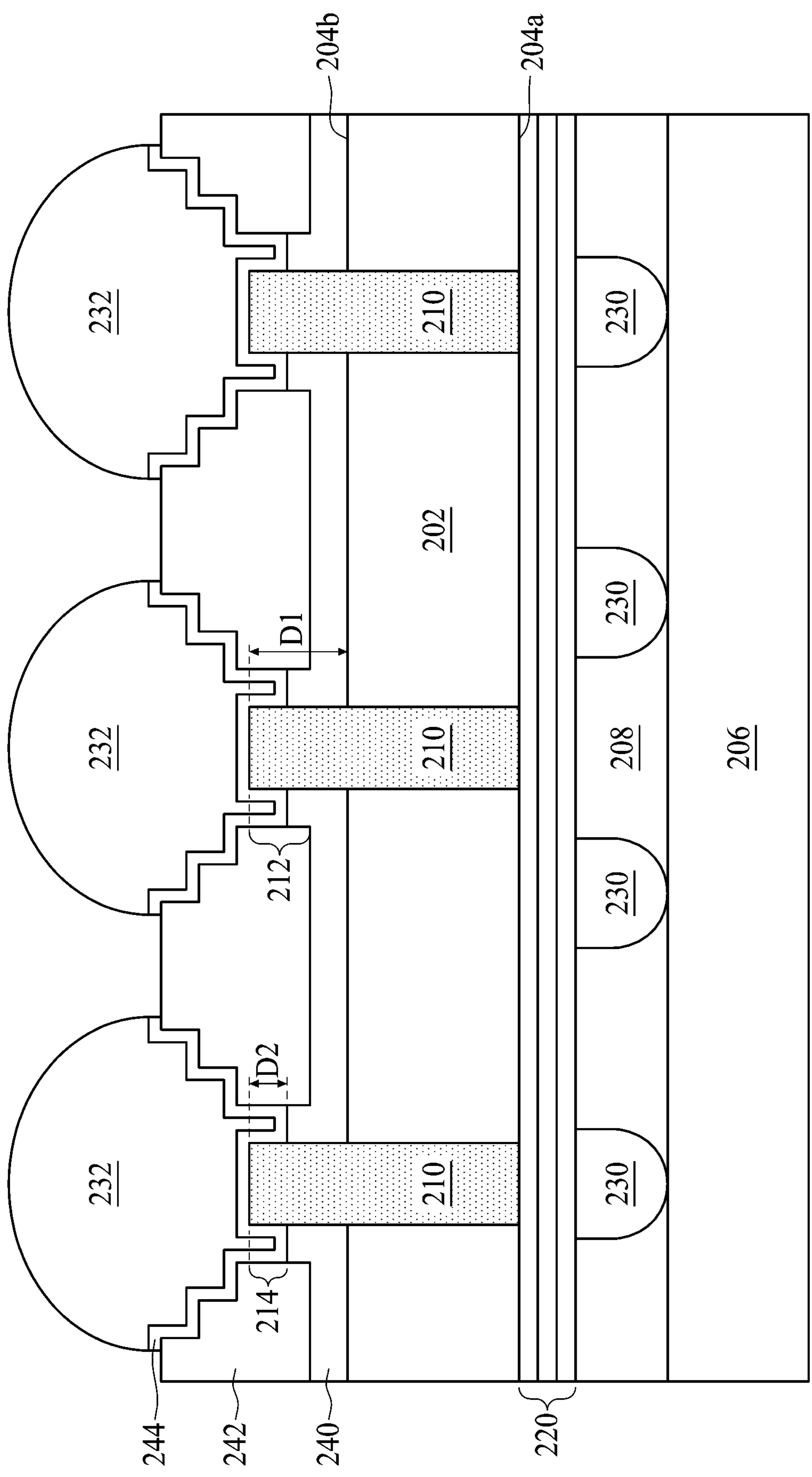
【圖7】



【圖8】

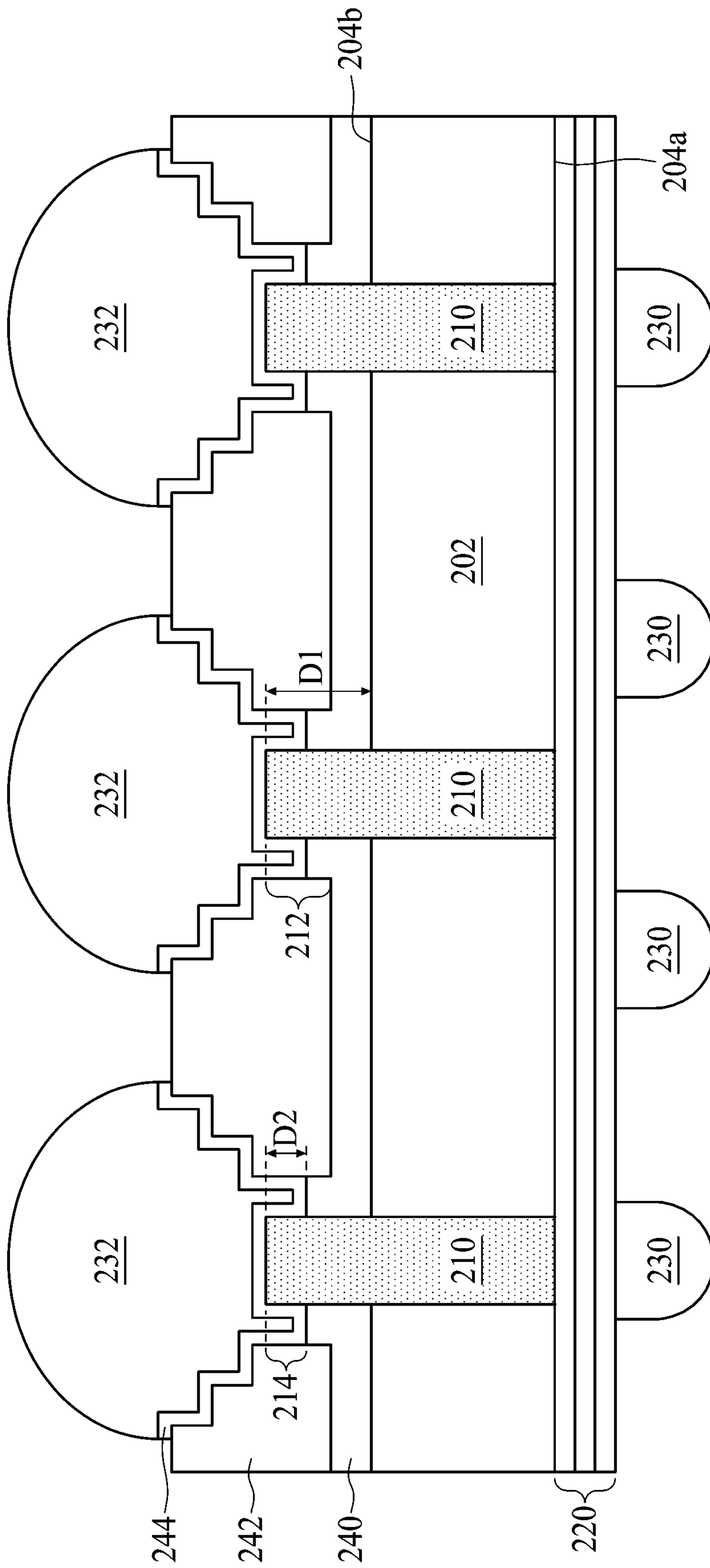


【圖9】



【圖10】

200



【圖11】