

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/11 (2006.01)

H01L 21/8244 (2006.01)



[12] 发明专利说明书

专利号 ZL 02152441.6

[45] 授权公告日 2007 年 10 月 10 日

[11] 授权公告号 CN 100342541C

[22] 申请日 2002.11.27 [21] 申请号 02152441.6

[30] 优先权

[32] 2002. 3. 19 [33] JP [31] 76446/02

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 新居浩二

[56] 参考文献

JP9 - 270468A 1997. 10. 14

US5949706A 1999. 9. 7

JP10 - 92181A 1998. 4. 10

US4768172A 1988. 8. 30

US5338963A 1994. 8. 16

审查员 刘 红

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 刘宗杰 叶恺东

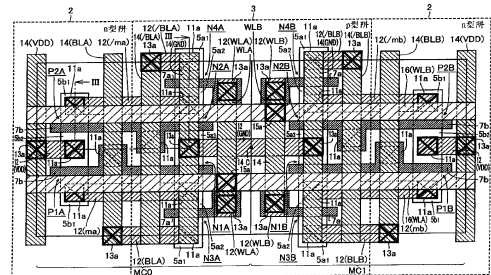
权利要求书 2 页 说明书 10 页 附图 15 页

[54] 发明名称

静态随机存取存储器

[57] 摘要

在本发明的静态随机存取存储器中，在同一行中互相邻接的 2 个存储单元(MC0、MC1)的 4 个存取晶体管(N3A、N4A、N3B、N4B)在共同的 p 型阱(3)内形成，存储单元(MC0)的存取晶体管(N3A、N4A)的各栅极和存储单元(MC1)的存取晶体管(N3B、N4B)的各栅极导电性地连接到不同的字线(WLA、WLB)上。由此，可得到能减少多位错误的发生的静态随机存取存储器。



1. 一种静态随机存取存储器，它具有包含在行方向和列方向上配置的多个存储单元的存储单元阵列，其特征在于：

具备：

半导体衬底（1），具有主表面；

第1导电型区域（3）和第2导电型区域（2），在上述半导体衬底（1）的主表面上互相邻接，同时在列方向上延伸；以及

第1和第2字线（WLA、WLB），分别配置在多个行中，

在同一行中并排地配置的多个上述存储单元中互相邻接的第1和第2存储单元（MC0、MC1）分别具有第1和第2存取晶体管（N3A、N4A、N3B、N4B），

上述第1存储单元（MC0）的上述第1和第2存取晶体管（N3A、N4A）以及上述第2存储单元（MC1）的上述第1和第2存取晶体管（N3B、N4B）在相同的上述第1导电型区域（3）内形成，

上述第1存储单元（MC0）的上述第1和第2存取晶体管（N3A、N4A）的各栅极（7a）导电性地连接到上述第1字线（WLA）上，而且上述第2存储单元（MC1）的上述第1和第2存取晶体管（N3B、N4B）的各栅极（7a）导电性地连接到上述第2字线（WLB）上。

2. 如权利要求1中所述的静态随机存取存储器，其特征在于：

在同一行中并排地配置的多个上述存储单元具有第3存储单元，

上述第3存储单元在与上述第1和第2存储单元（MC0、MC1）为同一行中并排地配置，而且与上述第1存储单元（MC0）互相邻接，

上述第1和第3存储单元分别具有第1和第2负载晶体管（P1A、P2A、P1B、P2B），

上述第1存储单元（MC0）的上述第1和第2负载晶体管（P1A、P2A）以及上述第3存储单元的上述第1和第2负载晶体管（P1B、P2B）在相同的上述第2导电型区域（2）内形成。

3. 如权利要求2中所述的静态随机存取存储器，其特征在于：

上述第3存储单元具有第1和第2存取晶体管，

上述第1存储单元（MC0）的上述第1存取晶体管（N3A）和上述第3存储单元的上述第1存取晶体管（N3B）的各栅极由共同的第1导电层（7a）构成，上述第1存储单元（MC0）的上述第2存取晶体管（N4A）

和上述第3存储单元的上述第2存取晶体管(N4B)的各栅极由共同的第2导电层(7a)构成。

4. 如权利要求3中所述的静态随机存取存储器, 其特征在于:

上述第1和第2导电层(7a)分别具有被导入了杂质的多晶硅。

5. 如权利要求1中所述的静态随机存取存储器, 其特征在于:

上述第1存储单元(MC0)的上述第1存取晶体管(N3A)和上述第2存储单元(MC1)的上述第1存取晶体管(N3B)的各漏极(5a₁)导电性地连接到共同的第1位线(/BL)上, 而且上述第1存储单元(MC0)的上述第2存取晶体管(N4A)和上述第2存储单元(MC1)的上述第2存取晶体管(N4B)的各漏极(5a₁)导电性地连接到共同的第2位线(BL)上。

6. 如权利要求1中所述的静态随机存取存储器, 其特征在于:

上述半导体衬底(1)具有依次层叠了衬底(21)、绝缘层(22)和半导体层(23)的结构, 在上述半导体层(23)的主表面上形成了上述第1导电型区域(3)和上述第2导电型区域(2)。

静态随机存取存储器

(一) 技术领域

本发明谋求提高 CMOS (互补金属-氧化物-半导体) 静态 RAM (随机存取存储器) 的抗软错误的性能, 特别是涉及能避免成为致命伤的多位错误的问题的静态 RAM。

(二) 背景技术

图 14 是一般的 SRAM 存储单元的等效电路图, 是示出在行方向上邻接的 2 位存储单元 MC0、MC1 的图。参照图 14, 首先说明作为 1 位的存储单元的电路的存储单元 MC0。存储单元 MC0 具有 2 个驱动晶体管 N1A、N2A、2 个存取晶体管 N3A、N4A 和 2 个负载晶体管 P1A、P2A。2 个驱动晶体管 N1A、N2A 和 2 个存取晶体管 N3A、N4A 由 nMOS 晶体管构成, 2 个负载晶体管 P1A、P2A 由 pMOS 晶体管构成。

利用 nMOS 晶体管 N1A 和 pMOS 晶体管 P1A 构成了第 1 倒相器, 利用 nMOS 晶体管 N2A 和 pMOS 晶体管 P2A 构成了第 2 倒相器。通过将第 1 和第 2 倒相器的一方的输出端子互相连接到另一方的输入端子上, 构成了存储节点 m_a 、 $/m_a$ 。

nMOS 晶体管 N3A 的源极、栅极和漏极分别与一个存储端子 m_a 、字线 WL 和一条位线 BLA 连接。nMOS 晶体管 N4A 的源极、栅极和漏极分别与另一个存储端子 $/m_a$ 、字线 WL 和另一条位线 $/BLA$ 连接。

通过如上述那样来连接, 构成了 SRAM 存储单元电路。关于存储单元 MC1, 也具有与上述的存储单元 MC0 大致同样的结构。

而且, 在同一行中并排的多个存储单元 MC0、MC1 的各存取晶体管 N3A、N4A、N3B、N4B 的各栅极连接到共同的字线 WL 上。由此, 在同一行中并排的存储单元与字线 WL 的电位的上升的同时被存取。

例如在特开平 9-270468 号公报中公开了这样的 SRAM 存储单元的平面布局结构。

图 15 是用在行方向上邻接的 2 位的存储单元 MC0、MC1 示出在上述的公报中示出的现有的 SRAM 存储单元的布局结构的概略平面图。参照图 15, 在半导体衬底的表面上形成的 n 型阱 102 和 p 型阱 103 的表面上分别形成了存储单元 MC0、MC1。如果说明存储单元 MC0, 则在 p

型阱 103 内形成了成为 1 对驱动晶体管的 2 个 nMOS 晶体管 N1A、N2A 和成为 1 对存取晶体管的 2 个 nMOS 晶体管 N3A、N4A。在 n 型阱 102 内形成了成为 1 对负载晶体管的 2 个 pMOS 晶体管 P1A、P2A。

驱动晶体管 N1A、N2A 分别具有由 n 型杂质区 105a₂ 构成的漏极、由 n 型杂质区 105a₃ 构成的源极和在该漏极和源极之间的区域上延伸的栅极 107c 或 107b。存取晶体管 N3A、N4A 分别具有由 n 型杂质区 105a₁ 构成的漏极、由 n 型杂质区 105a₂ 构成的源极和在该源极和漏极之间的区域上延伸的栅极 107a。

由共同的 n 型杂质区构成了存取晶体管 N3A 的源极 105a₂ 和驱动晶体管 N1A 的漏极 105a₂。此外，由共同的 n 型杂质区构成了存取晶体管 N4A 的源极 105a₂ 和驱动晶体管 N2A 的漏极 105a₂。存取晶体管 N3A、N4A 的各栅极 107a 与单一的字线一体化。

负载晶体管 P1A、P2A 分别由 p 型杂质区 105b₁ 构成的漏极、由 p 型杂质区 105b₂ 构成的源极和在该漏极和源极之间的区域上延伸的栅极 107c 或 107b 构成。负载晶体管 P1A 的栅极 107c 和驱动晶体管 N1A 的栅极 107c 由共同的导电层构成，负载晶体管 P2A 的栅极 107b 和驱动晶体管 N2A 的栅极 107b 由共同的导电层构成。

由导电层 112 导电性地连接了驱动晶体管 N2A 的漏极 105a₂、负载晶体管 P2A 的漏极 105b₁ 与负载晶体管 P1A 和驱动晶体管 N1A 的各栅极 107c。由导电层 112 导电性地连接了驱动晶体管 N1A 的漏极 105a₂、负载晶体管 P1A 的漏极 105b₁ 以及负载晶体管 P2A 和驱动晶体管 N2A 的各栅极 107b。

此外，由成为 GND 电位的导电层 114 导电性地连接了导电性地连接到驱动晶体管 N2A 的源极 105a₃ 上的导电层 112 与导电性地连接到驱动晶体管 N1A 的源极 105a₃ 上的导电层 112。此外，负载晶体管 P1A 的源极 105b₂ 和负载晶体管 P2A 的源极 105b₂ 这两者导电性地连接到成为 VDD 电位的导电层 114 上。此外，存取晶体管 N3A 的漏极 105a₁ 导电性地连接到位线 BL 上，存取晶体管 N4A 的漏极 105a₁ 导电性地连接到位线/BL 上。

存储单元 MC1 具有与上述的存储单元 MC0 大致同样的结构。

在共同的 p 型阱 103 内形成了该存储单元 MC0 的驱动晶体管 N1A、N2A 和存取晶体管 N3A、N4A 以及存储单元 MC1 的驱动晶体管 N1B、N2B

和存取晶体管 N3B、N4B。此外，在共同的 n 型阱 102 内形成了存储单元 MC0 的负载晶体管 P1A、P2A 的各漏极 105b₁ 和各源极 105b₂ 以及存储单元 MC1 的负载晶体管 P1B、P2B 的各漏极 105b₁ 和各源极 105b₂。

随着存储单元的微细化，起因于由从封装体释放的 α 射线或来自宇宙的中子射线发生的电子而使在存储节点中保持的数据反转这样的软错误的问题变得越来越显著。特别是随着电源极电压的下降，该错误工作显著地呈现出来。

使存储节点中保持的数据反转的一个原因是因为由 α 射线或中子射线在阱内发生的多数电子、空穴对被形成存储节点的杂质区收集，从而改变了其电位。由于在 p 型阱内发生的电子、空穴对中的电子被同一 p 型阱内的 n 型杂质区收集，故使该 n 型杂质区的电位下降。此外，由于在 n 型阱内发生的电子、空穴对中的空穴被同一 n 型阱内的 p 型杂质区收集，故使该 p 型杂质区的电位上升。如果该 p 型杂质区或 n 型杂质区是存储节点，则引起因已被收集的电子、空穴产生的电位的变化使保持数据反转这样的所谓软错误。

迄今为止，为了避免上述软错误的问题，进行了对存储节点附加电容从而使其难以反转等的各种各样的改进。但是，随着微细化的进展，越来越趋向低电压化，存储节点的电容变得越来越小。因此，为了附加不反转那样程度的电容，面积增大是不可避免的。例如，0.18 微米这一代的 SRAM 存储单元的存储节点的电容约为 2fF，而因 α 射线的 1 次冲击而被存储节点收集的电荷量约为几个 fC。因此，在电源极电压为 1.8V 的情况下，产生了使相当于 10fF 的电容产生的电子、空穴对。从这一点可知，存储节点的数据是容易反转的。此外，由于因中子的冲击而生成的电子、空穴对是 α 射线的 10 倍以上，故对于中子射线来说，即使附加小的电容也是没有效果的。

如上所述，软错误越来越成为问题，但另一方面，即使发生软错误，也可通过附加错误校正电路(ECC 电路)来消除对整个系统的影响，在这方面也作了很多努力。一般来说，附加可进行 2 位的错误检测和 1 位的错误校正的冗余码。如果打算进行位数比上述的位数多的错误校正，则由于电路结构变得非常复杂、电路规模的增大变得显著，故是不希望的。

如果具备能进行该 1 位的错误校正的 ECC 电路，则即使发生 1 位

的软错误，也可自动地进行校正，故对系统没有影响。但是，如果发生 2 位以上的错误，则当检测出 2 位错误的发生时，就引起系统复位。这样，在发生了多位错误的情况下，由于难以进行错误校正，故存在对系统来说成为致命的错误的问题。

在图 15 示出的现有存储单元的结构中，在互相邻接的存储单元间共有 n 型阱 102 和 p 型阱 103。随着微细化的进展，由于各位间的距离也接近了，故由 α 射线或中子射线在阱内发生的电子、空穴对被邻接的多个位单元的杂质区收集，同时引起错误的概率提高了。特别是，由于与空穴相比，电子的迁移率高，故与空穴相比，电子产生的影响较大。这样，如果邻接的 2 位的数据因软错误的缘故而反转，假定同时存取该数据，则发生上述多位错误，存在对系统来说成为致命的错误的问题。

(三) 发明内容

本发明的目的在于提供能防止多位错误的发生的静态 RAM。

本发明的静态 RAM 是具有包含在行方向和列方向上配置的多个存储单元的存储单元阵列的静态 RAM，具备：半导体衬底；第 1 导电型区域和第 2 导电型区域；以及第 1 和第 2 字线。半导体衬底具有主表面。第 1 导电型区域和第 2 导电型区域在半导体衬底的主表面上互相邻接，同时在列方向上延伸。第 1 和第 2 字线分别配置在多个行中。在同一行中并排地配置的多个存储单元中互相邻接的第 1 和第 2 存储单元分别具有第 1 和第 2 存取晶体管。第 1 存储单元的第 1 和第 2 存取晶体管以及第 2 存储单元的第 1 和第 2 存取晶体管在相同的第 1 导电型区域内形成。第 1 存储单元的第 1 和第 2 存取晶体管的各栅极导电性地连接到第 1 字线上，而且第 2 存储单元的第 1 和第 2 存取晶体管的各栅极导电性地连接到第 2 字线上。

按照本发明的静态 RAM，由于第 1 存储单元的存取晶体管和第 2 存储单元的存取晶体管连接到不同的字线上，故通过使第 1 和第 2 字线与不同的地址相对应，其电位可不同时上升。由此，由于可防止共有第 1 导电型区域的 2 位的相邻的存储单元同时被存取，故可减少多位错误的发生。

(四) 附图说明

图 1 是示出在本发明的实施例 1 中的 SRAM 存储单元中在行方向上

邻接的 2 位的存储单元的等效电路的图。

图 2 是示出在本发明的实施例 1 中的 SRAM 存储单元中在行方向上邻接的 2 位的存储单元的布局结构的概略平面图。

图 3 是图 2 的沿 III - III 线的概略剖面图。

图 4 是示出在层叠方向上分开图 2 的布局的下层一侧的布局的概略平面图。

图 5 是示出在层叠方向上分开图 2 的布局的上层一侧的布局的概略平面图。

图 6 是示出在本发明的实施例 2 中的 SRAM 存储单元中在行方向上邻接的 2 位的存储单元的等效电路的图。

图 7 是示出在本发明的实施例 2 中的 SRAM 存储单元中在行方向上邻接的 2 位的存储单元的布局结构的概略平面图。

图 8 是图 7 的沿 VIII - VIII 线的概略剖面图。

图 9 是示出在层叠方向上分开图 7 的布局的下层一侧的布局的概略平面图。

图 10 是示出在层叠方向上分开图 7 的布局的上层一侧的布局的概略平面图。

图 11 是示出在本发明的实施例 2 中的 SRAM 存储单元的行方向上邻接的 4 位的存储单元的布局结构的概略平面图。

图 12 是示出在本发明的实施例 1 中的 SRAM 存储单元的结构中使用了 SOI 衬底作为衬底的结构概略剖面图。

图 13 是示出在本发明的实施例 2 中的 SRAM 存储单元的结构中使用了 SOI 衬底作为衬底的结构概略剖面图。

图 14 是示出在现有的 SRAM 存储单元中在行方向上邻接的 2 位的存储单元的等效电路的图。

图 15 是示出现有的 SRAM 存储单元的平面布局结构的概略平面图。

具体实施方式

以下，根据附图说明本发明的实施例。

(实施例 1)

参照图 1，在本实施例中，在存储单元 MC0、MC1 被连接到不同的字线 WLA、WLB 上以使存储单元 MC0、MC1 不同时被选择这一点上与现

有的等效电路（图 14）不同。即，在本实施例中，存储单元 MC0 的各存取晶体管 N3A、N4A 的各栅极连接到字线 WLA 上，存储单元 MC1 的各存取晶体管 N3B、N4B 的各栅极连接到字线 WLB 上。

该第 1 字线 WLA 和第 2 字线 WLB 与不同的地址相对应。这样，由于邻接的存储单元 MC0 和 MC1 连接到不同的字线 WLA、WLB 上，故同一行中邻接的 1 对存储单元 MC0 和 MC1 不会同时进行存取。

再有，由于除此以外的等效电路的结构与图 14 中示出的等效电路的结构大致相同，故对于同一要素标以同一符号，而省略其说明。

参照图 2～图 5，在 n 型阱 2 和 p 型阱 3 中分别形成了存储单元 MC0、MC1。在由场氧化膜 4 进行了电隔离的半导体衬底 1 的表面上形成了该 n 型阱 2 和 p 型阱 3。

参照图 4，如果说明存储单元 MC0，则在 p 型阱 3 内形成了成为 1 对驱动晶体管的 2 个 nMOS 晶体管 N1A、N2A 和成为 1 对存取晶体管的 2 个 nMOS 晶体管 N3A、N4A。在 n 型阱 2 内形成了成为 1 对负载晶体管的 2 个 pMOS 晶体管 P1A、P2A。

驱动晶体管 N1A、N2A 分别具有由 n 型杂质区 5a₂ 构成的漏极、由 n 型杂质区 5a₃ 构成的源极和在该漏极与源极之间的区域上经栅极氧化膜 6（图 3）延伸的栅极 7b。存取晶体管 N3A、N4A 分别具有由 n 型杂质区 5a₁ 构成的漏极、由 n 型杂质区 5a₂ 构成的源极和在该漏极与源极之间的区域上经栅极氧化膜 6（图 3）延伸的栅极 7a。

由共同的 n 型杂质区构成了存取晶体管 N3A 的源极 5a₂ 和驱动晶体管 N1A 的漏极 5a₂。此外，由共同的 n 型杂质区构成了存取晶体管 N4A 的源极 5a₂ 和驱动晶体管 N2A 的漏极 5a₂。由共同的 n 型杂质区构成了驱动晶体管 N1A 的源极 5a₃ 和驱动晶体管 N2A 的源极 5a₃。由另外的掺杂多晶硅层（导入了杂质的多晶硅层）构成了存取晶体管 N3A、N4A 的各栅极 7a。

负载晶体管 P1A、P2A 分别由 p 型杂质区 5b₁ 构成的漏极、由 p 型杂质区 5b₂ 构成的源极和在该漏极与源极之间的区域上经栅极氧化膜 6（图 3）延伸的栅极 7b 构成。

负载晶体管 P1A 的栅极 7b 和驱动晶体管 N1A 的栅极 7b 由共同的掺杂多晶硅层构成，负载晶体管 P2A 的栅极 7b 和驱动晶体管 N2A 的栅极 7b 由共同的掺杂多晶硅层构成。

由第1金属布线12经接触孔11a导电性地连接了存取晶体管N3A的源极 $5a_2$ 、驱动晶体管N1A的漏极 $5a_2$ 、负载晶体管P1A的漏极 $5b_1$ 与负载晶体管P2A和驱动晶体管N2A的各栅极7b。由第1金属布线12经接触孔11a导电性地连接了存取晶体管N4A的源极 $5a_2$ 、驱动晶体管N2A的漏极 $5a_2$ 、负载晶体管P2A的漏极 $5b_1$ 与负载晶体管P1A和驱动晶体管N1A的各栅极7b。

参照图4和图5,经接触孔11a将第1金属布线12导电性地连接到驱动晶体管N1A、N2A的各源极 $5a_3$ 上,经通孔13a将成为GND电位的第2金属布线14导电性地连接到该第1金属布线12上。此外,经接触孔11a将第1金属布线12导电性地连接到负载晶体管P1A、P2A的各源极 $5b_2$ 上,经通孔13a将成为VDD电位的第2金属布线14导电性地连接到该第1金属布线12上。

经接触孔11a将第1金属布线12导电性地连接到存取晶体管N3A的漏极 $5a_1$ 上,经通孔13a将成为位线BLA的第2金属布线14导电性地连接到该第1金属布线12上。经接触孔11a将第1金属布线12导电性地连接到存取晶体管N4A的漏极 $5a_1$ 上,经通孔13a将成为位线/BL的第2金属布线14导电性地连接到该第1金属布线12上。

经接触孔11a将各自的第1金属布线12导电性地连接到存取晶体管N3A、N4A的各栅极7a上,经通孔13a将共同的第2金属布线14导电性地连接到其各自的第1金属布线12上,再者,经通孔15a将成为字线WLA的第3金属布线16导电性地连接到该第2金属布线14上。

存储单元MC1具有与上述的存储单元MC0大致同样的结构。该存储单元MC1具有相对于位于2个存储单元MC0和MC1的边界线上的中心点C(图2)与存储单元MC0大致呈点对称的布局。

存储单元MC0的存取晶体管N3A、N4A的栅极7a和存储单元MC1的存取晶体管N3B、N4B的栅极7a导电性地连接到各自的字线WLA、WLB上。

将在行方向上邻接的存储单元形成为共有彼此的阱区,在存储单元MC0和MC1中共有p型阱3。此外,虽然在图2中未示出,但与存储单元MC0的左邻邻接的存储单元和存储单元MC0共有n型阱2,与存储单元MC1的右邻邻接的存储单元和存储单元MC1共有n型阱2。

再有,n型阱2和p型阱3在列方向上延伸,分布在多个列中。

在本实施例中，n型阱2和p型阱3以与以往的布局结构相同的方式在各自邻接的存储单元间被共有。随着微细化的进展，由于各位间的距离接近，故由 α 射线或中子射线在阱内发生的电子、空穴对被邻接的多个位单元的杂质区收集，同时引起错误的概率提高了。特别是，由于与空穴相比，电子的迁移率高，故与空穴相比，电子产生的影响较大。

在本实施例中，在同一p型阱3内形成并接近地配置形成存储单元MC0和MC1的各存储节点的n型杂质区。但是，通过使各个存储单元MC0和MC1的各字线分开，不会同时对存储单元MC0和MC1进行存取。这样，可避免发生多位错误而对系统来说成为致命的错误的问题。

(实施例2)

参照图6，本实施例的等效电路的结构与图1中示出的实施例1的结构相比，在共同地连接邻接的存储单元MC0和MC1的位线对BL、/BL这一点上不同。

再有，由于除此以外的等效电路的结构与上述的实施例1的结构大致相同，故对于同一要素标以同一符号，而省略其说明。

在本实施例中，由于不会同时对字线WLA、WLB进行存取，故可知即使在行方向上邻接的存储单元间共同地连接位线也没有任何问题。即，在字线WLA被选择、其电位上升的情况下，存储单元MC0的内部存储节点ma、/ma分别连接到位线对BL、/BL上，进行数据的读出或写入。另一方面，在字线WLB被选择、其电位上升的情况下，存储单元MC1的内部存储节点mb、/mb分别连接到位线对BL、/BL上，进行数据的读出或写入。

参照图7~图10，本实施例的结构与实施例1的结构相比，主要在各存取晶体管的栅极7a的形状和连接到各存取晶体管的漏极5a₁上的第1金属布线12的形状方面不同。

各存取晶体管的栅极7a从p型阱3内到n型阱2内延伸。由此，如图11中所示，在夹住n型阱2邻接的存储单元（例如存储单元MC1和MC2）中可利用单一的掺杂多晶硅层来形成存取晶体管的栅极7a。因此，可将夹住n型阱2互相邻接的存储单元MC1和MC2的4个存取晶体管的各栅极导电性地连接到由单一的字线构成的第3金属布线16上。

此外,可利用第1金属布线12导电性地连接夹住p型阱3而邻接的存储单元MC0和MC1的存取晶体管N3A、N3B的各漏极 $5a_1$ 。此外,也可利用第1金属布线12导电性地连接夹住p型阱3而邻接的存储单元MC0和MC1的存取晶体管N4A、N4B的各漏极 $5a_1$ 。由此,可使在行方向上邻接的存储单元MC0和MC1的位线对BL、/BL成为共同的。

此外,也可将在行方向上邻接的存储单元MC0和MC1的各驱动晶体管的各源极 $5a_3$ 导电性地连接到单一的第2金属布线14(GND)上。

再有,由于除此以外的结构与上述的实施例1的布局结构大致相同,故对于同一要素标以同一符号,而省略其说明。

通过如上所述地构成布局,在实施例1中为了分开字线而必须加宽与1位相当的存储单元的横向宽度,但在本布局结构中,由于没有必要分开字线,故与实施例1相比,可减小布局尺寸,可缩小布局面积。

此外,通过共有横跨n型阱2而邻接的存储单元的位线,可减少位线的布线条数。由此,由于可加宽布线间隔,故可减少耦合电容,可谋求高速化、低功耗化。此外,通过加宽布线间隔,由于可减小引起因异物等导致的不良的概率,故具有可提高成品率的优点。同样,由于与实施例1相比可减少连接存取晶体管的栅极与字线的接点的个数,故可减少因接点的连接不良等引起的不良的概率,可预期成品率的提高。

此外,与实施例1同样,通过使各个存储单元MC0和MC1的字线分开,由于不会同时对横跨p型阱3而邻接的存储单元进行存取,故可避免发生多位错误而对系统来说成为致命的错误的问题。

再有,在图3和图8中示出的结构中,说明了使用例如由硅构成的半导体衬底1的情况,但半导体衬底1也可以是如图12和图13中所示那样在衬底21上层叠了绝缘层22和半导体层23的SOI衬底。此时,在由硅构成的半导体层23中形成n型阱2和p型阱3。

此外,说明了使用MOS晶体管作为构成SRAM的存储单元的6个晶体管的情况,但也可使用MIS(金属-绝缘体-半导体)晶体管。

如以上所说明的那样,在上述的静态RAM中,较为理想的是,在同一行中并排地配置的多个存储单元具有与第1和第2存储单元为同一行中并排地配置的、而且与第1存储单元互相邻接的第3存储单元。

第1和第3存储单元分别具有第1和第2负载晶体管。第1存储单元的第1和第2负载晶体管以及第3存储单元的第1和第2负载晶体管在相同的第2导电型区域内形成。这样，在相邻的2位中可共有第2导电型区域。

在上述的静态RAM中，较为理想的是，第3存储单元具有第1和第2存取晶体管。第1存储单元的第1存取晶体管和第3存储单元的第1存取晶体管的各栅极由共同的第1导电层构成，第1存储单元的第2存取晶体管和第3存储单元的第2存取晶体管的各栅极由共同的第2导电层构成。通过共有各字线，可消除面积增大，可得到集成度更高的存储单元。此外，由于可减少连接到字线上的接点的个数，可减少引起因接点的连接不良等导致的成品率下降的概率。

在上述的静态RAM中，较为理想的是，第1和第2导电层分别具有导入了杂质的多晶硅。这样，利用导入了杂质的多晶硅可使各字线成为共有的字线。

在上述的静态RAM中，较为理想的是，将第1存储单元的第1存取晶体管和第2存储单元的第1存取晶体管的各漏极导电性地连接到共同的第1位线上，而且将第1存储单元的第2存取晶体管和第2存储单元的第2存取晶体管的各漏极导电性地连接到共同的第2位线上。由此，可在互相邻接的2位中共有位线，故可减少位线的数目。因此，可加宽位线间隔，可减少耦合电容，在谋求存取时间的高速化和低功耗化的同时，也可使成品率提高。

在上述的静态RAM中，较为理想的是，半导体衬底具有依次层叠了衬底、绝缘层和半导体层的结构，在该半导体层的主表面上形成了第1导电型区域和第2导电型区域。也可将本发明的结构应用于这样的SOI（绝缘体上的硅）衬底。

这次公开的实施例在全部方面应认为是例示性的而不是限制性的。本发明的范围由权利要求书的范围而不是上述的实施例的说明来表示，其意图是包含与权利要求的范围均等的意义和范围内的全部的变更。

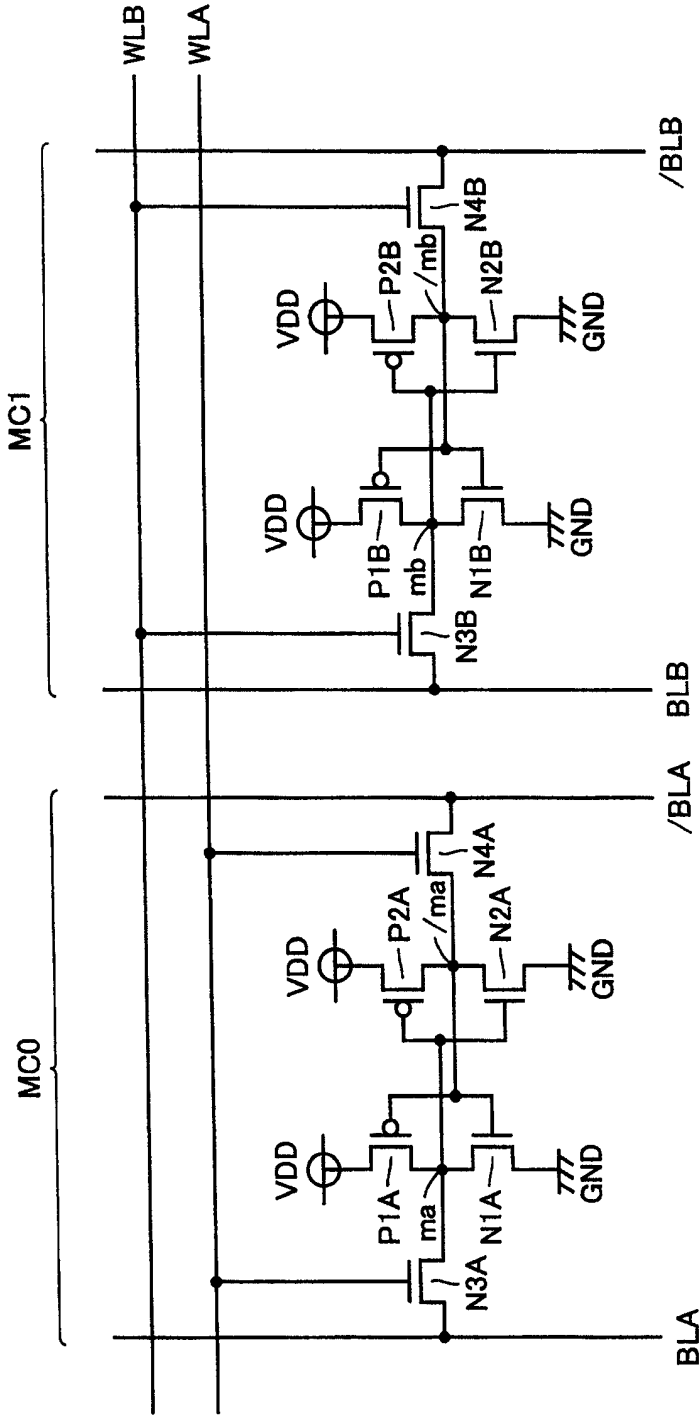


图 1

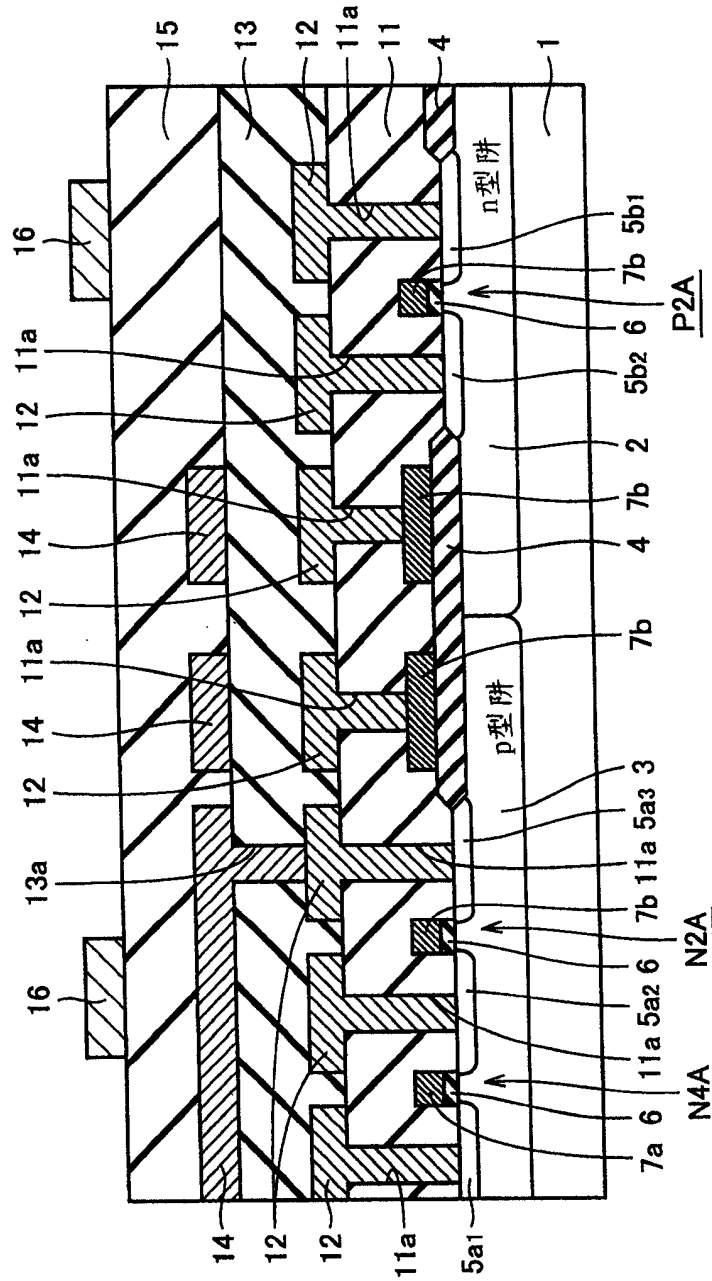


图 3

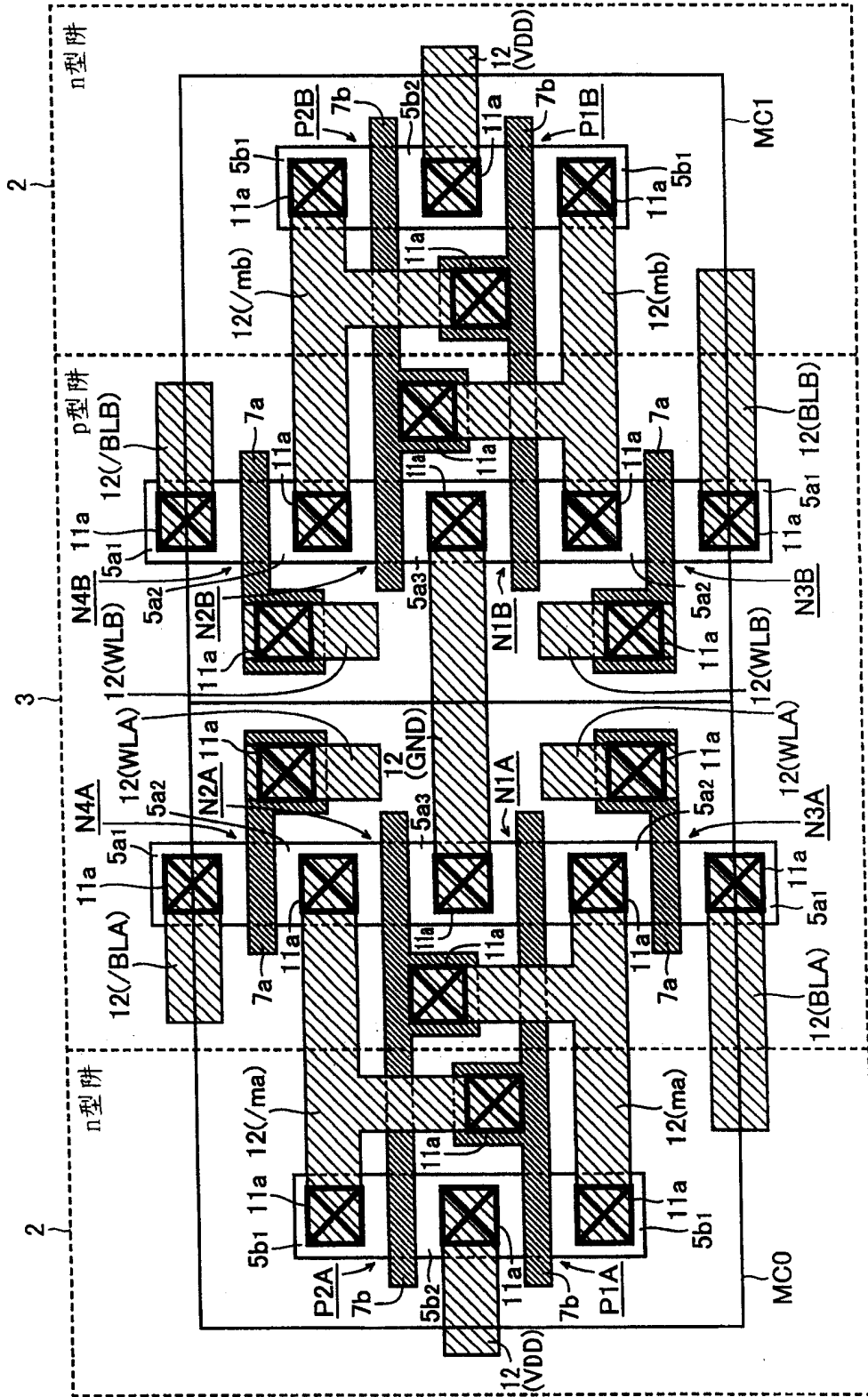


图 4

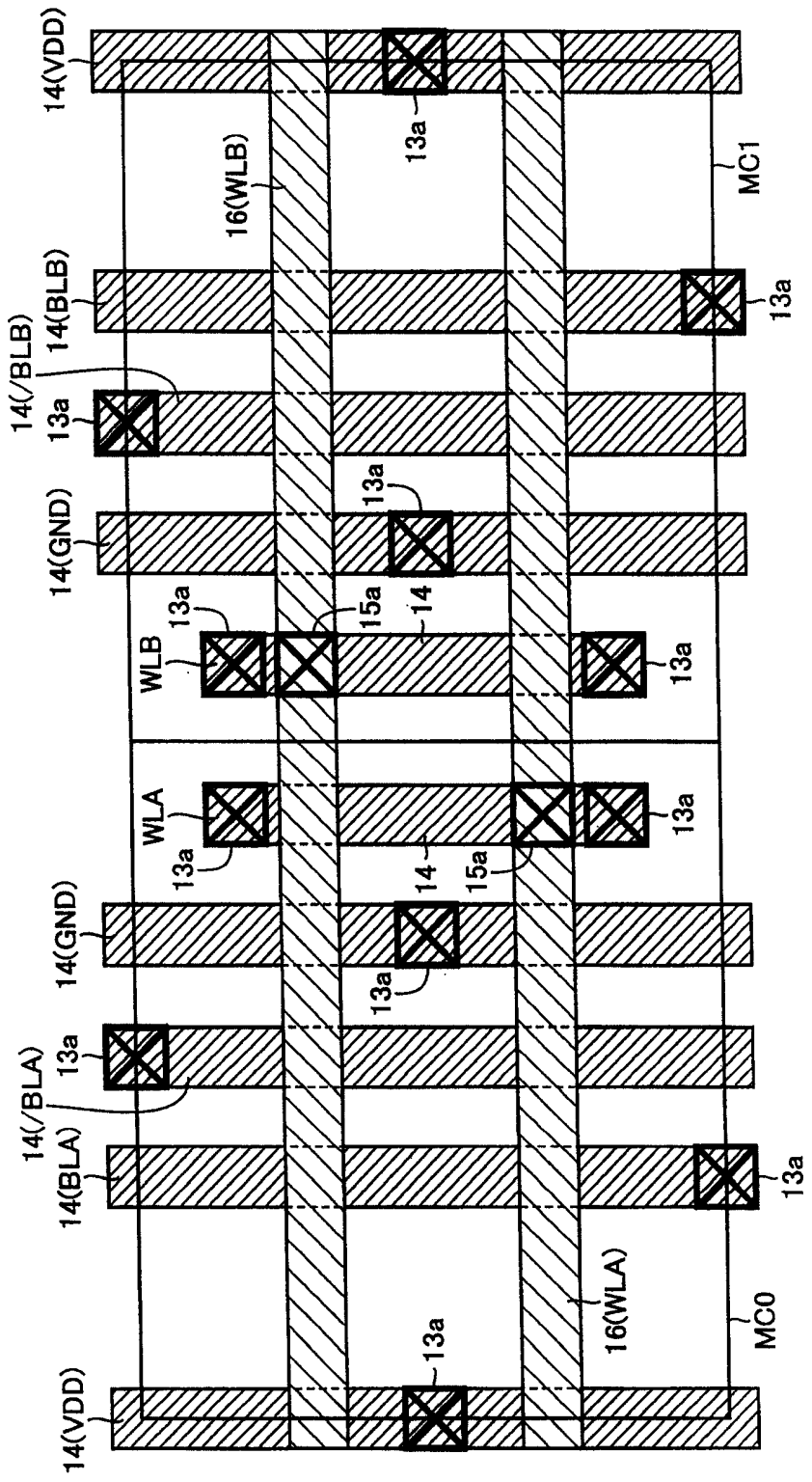


图 5

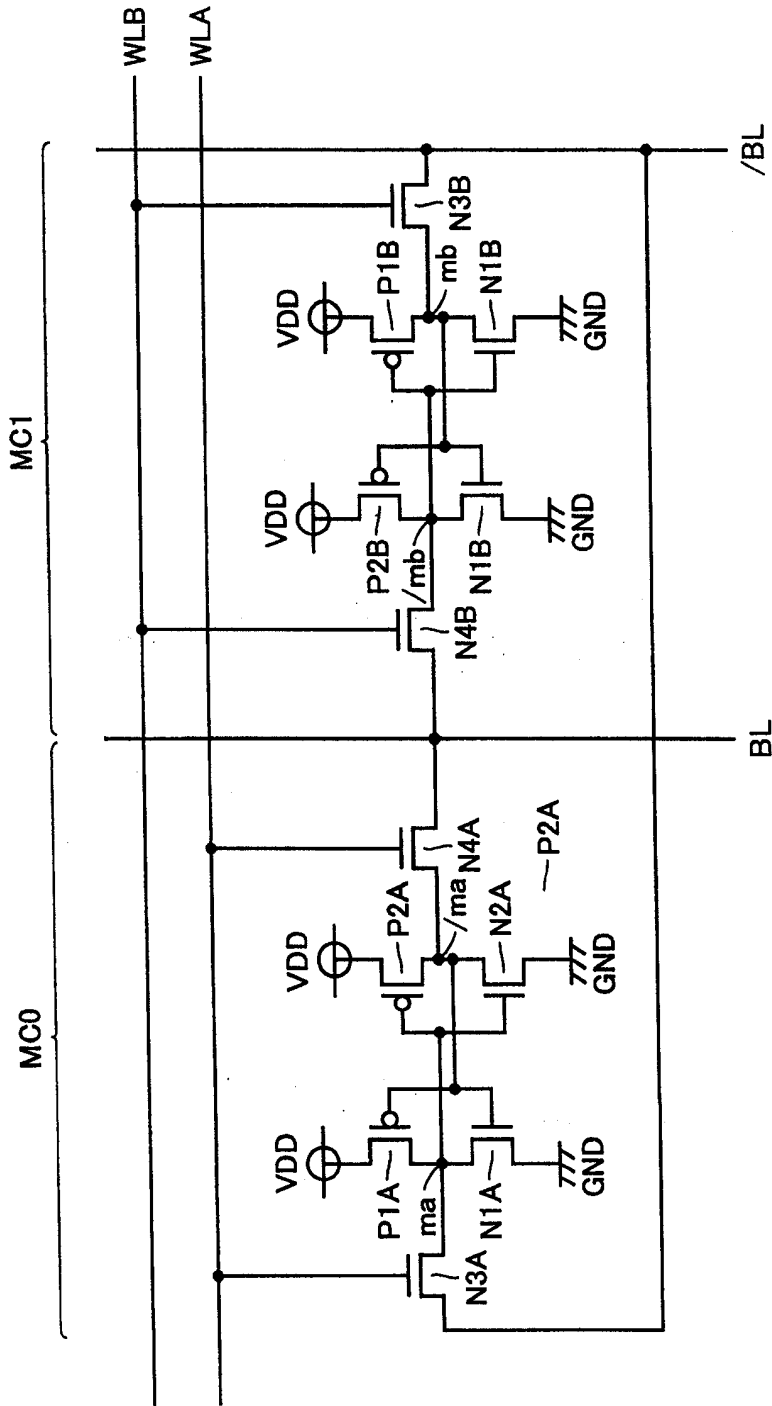


图 6

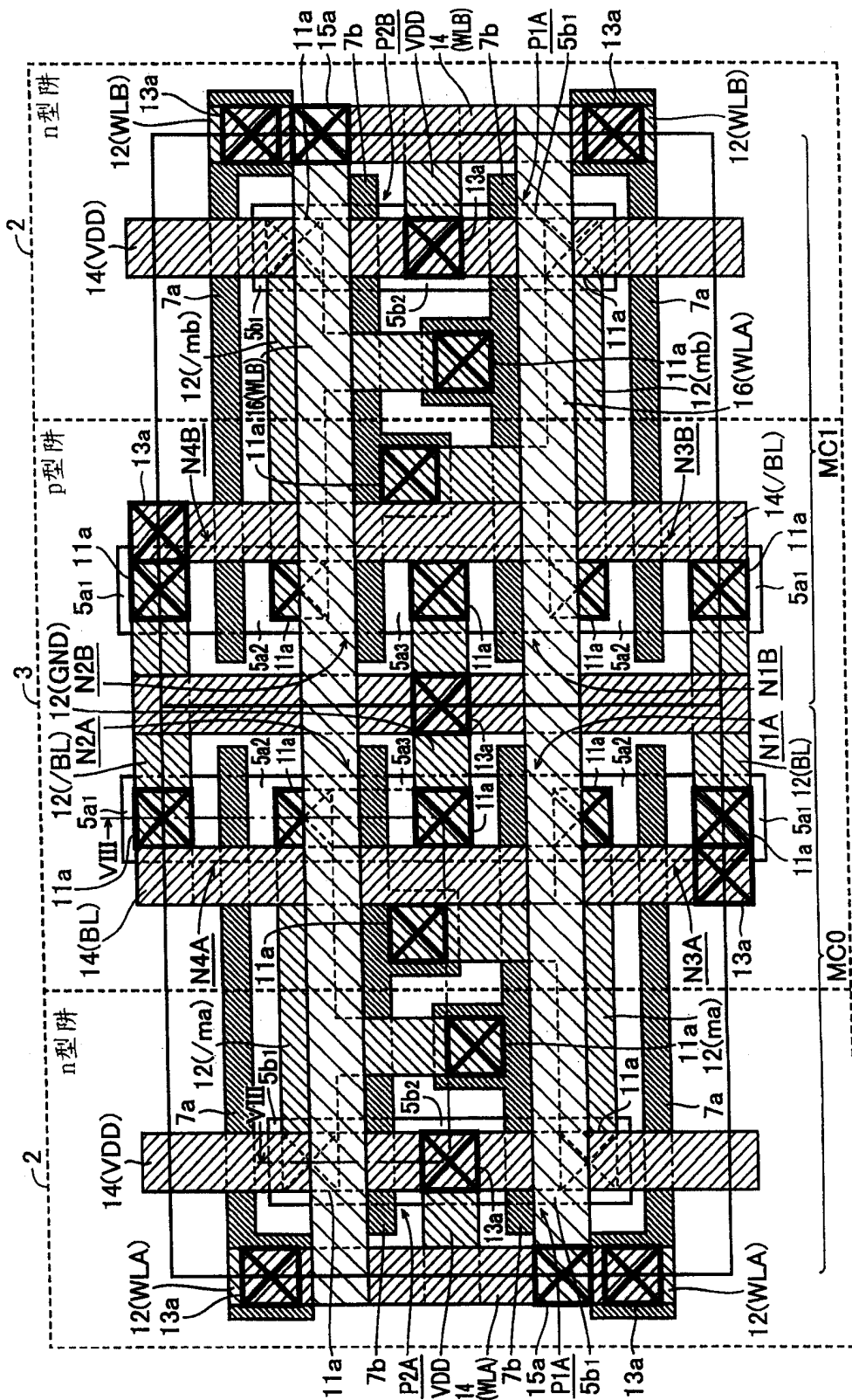


图 7

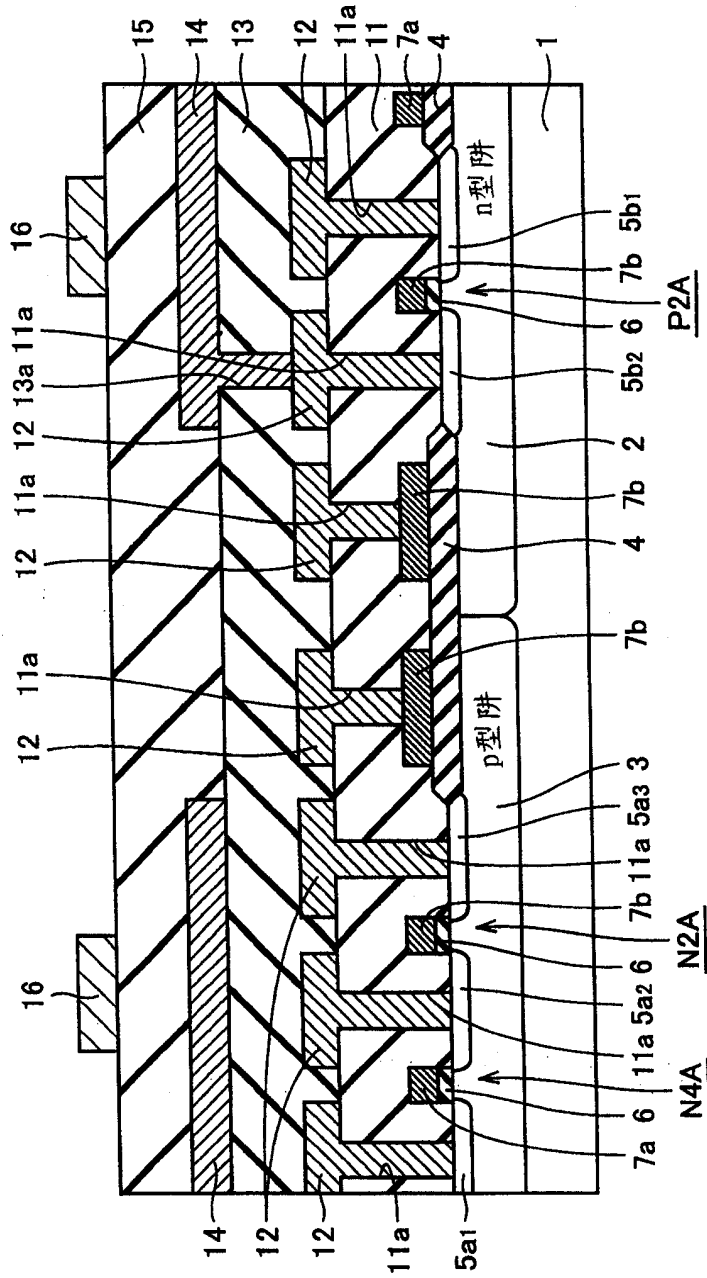


图 8

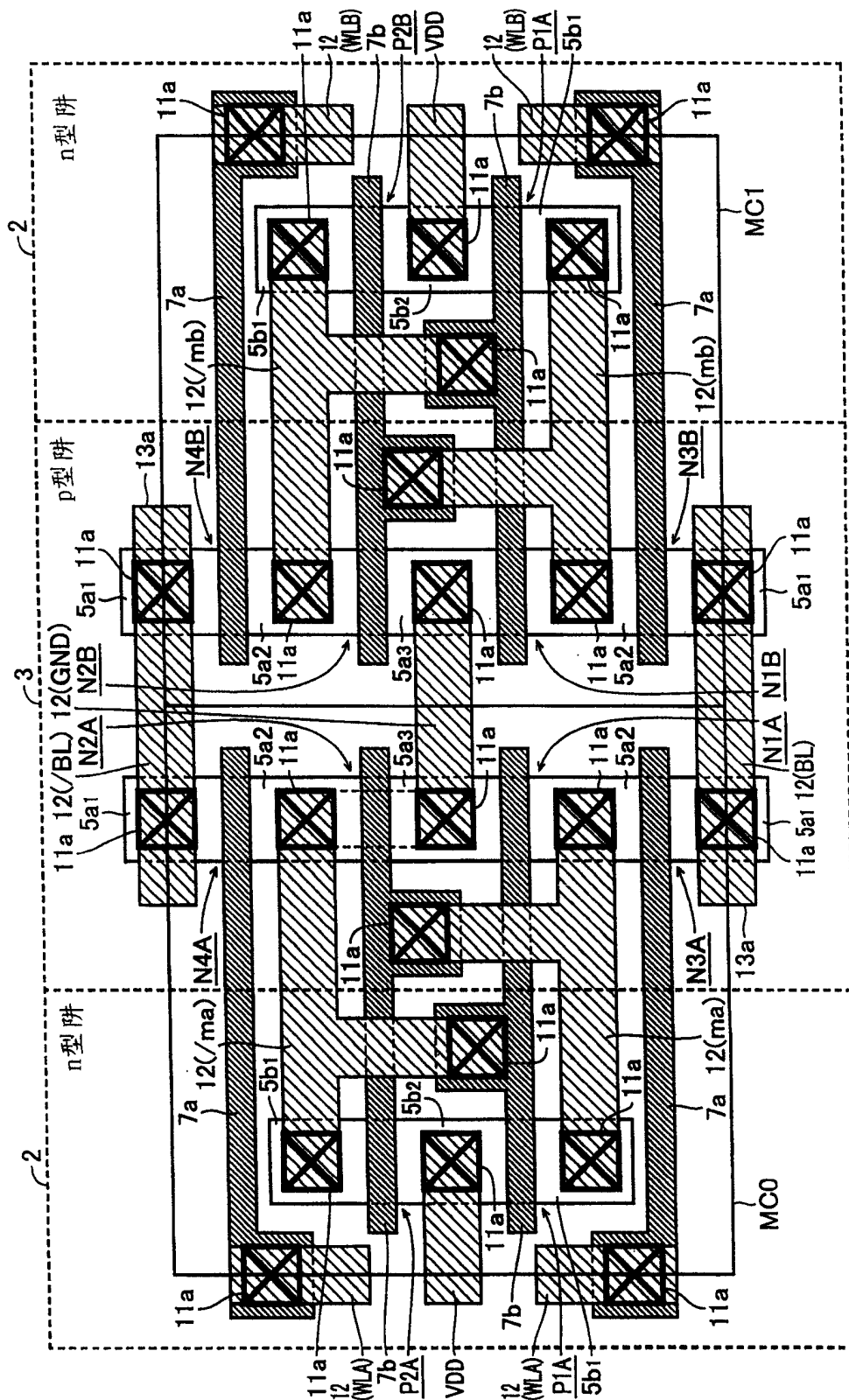


图 9

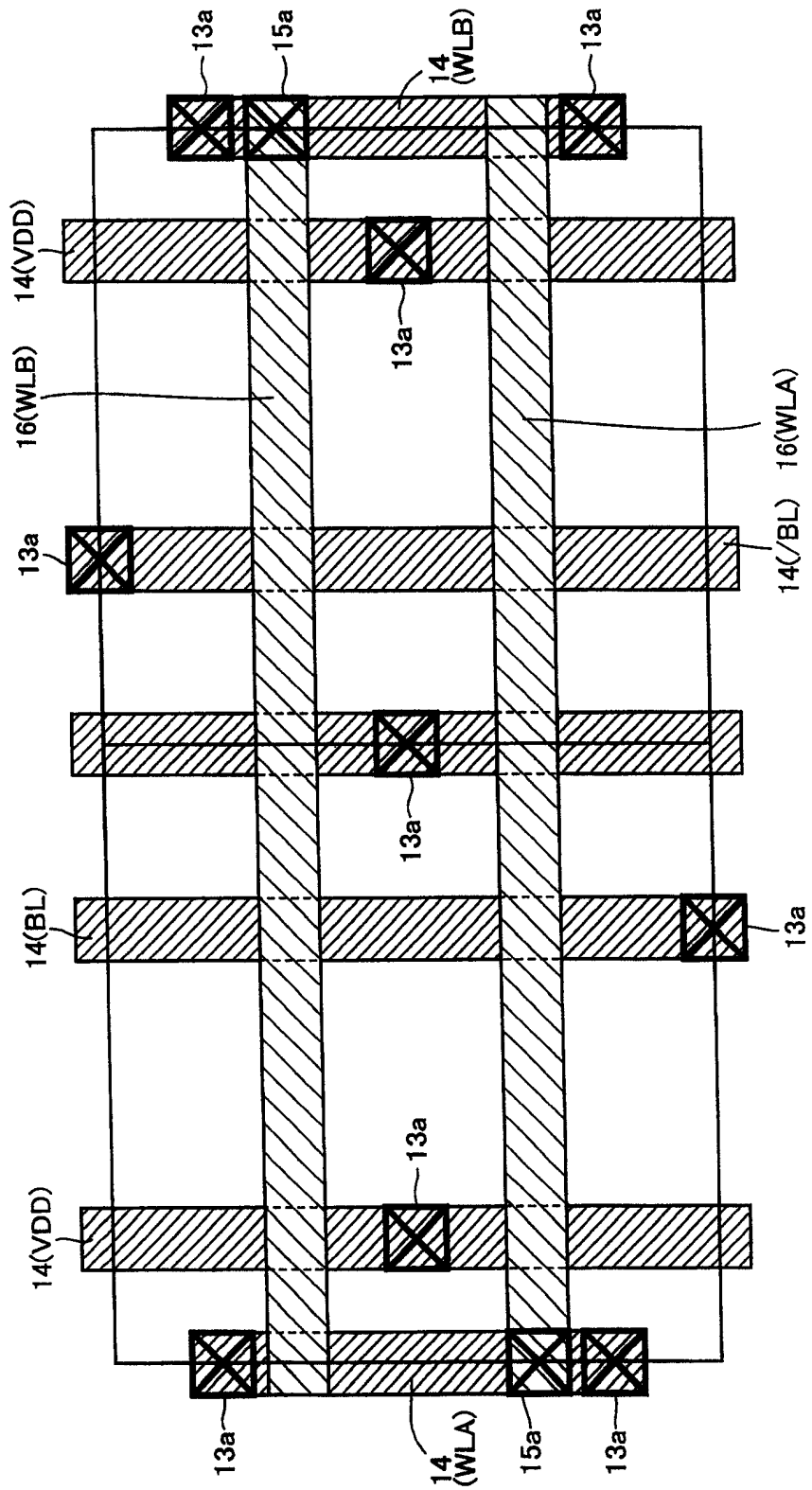


图 10

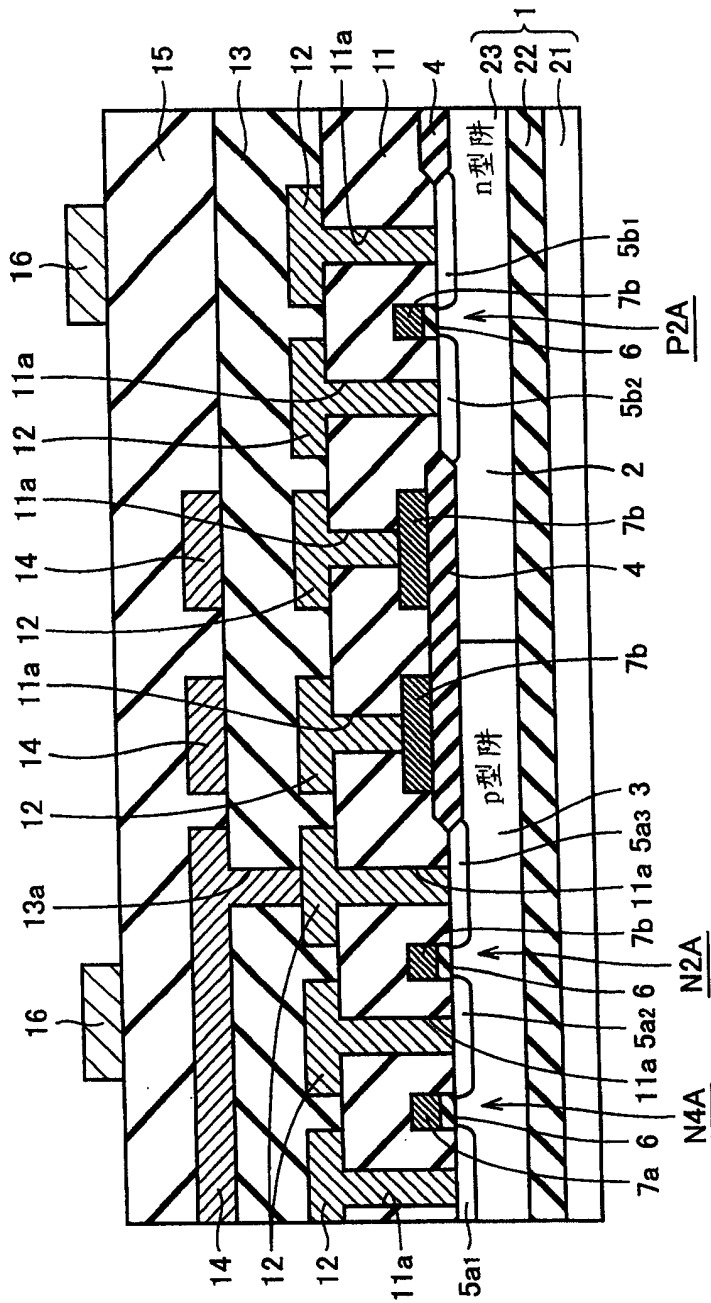


图 12

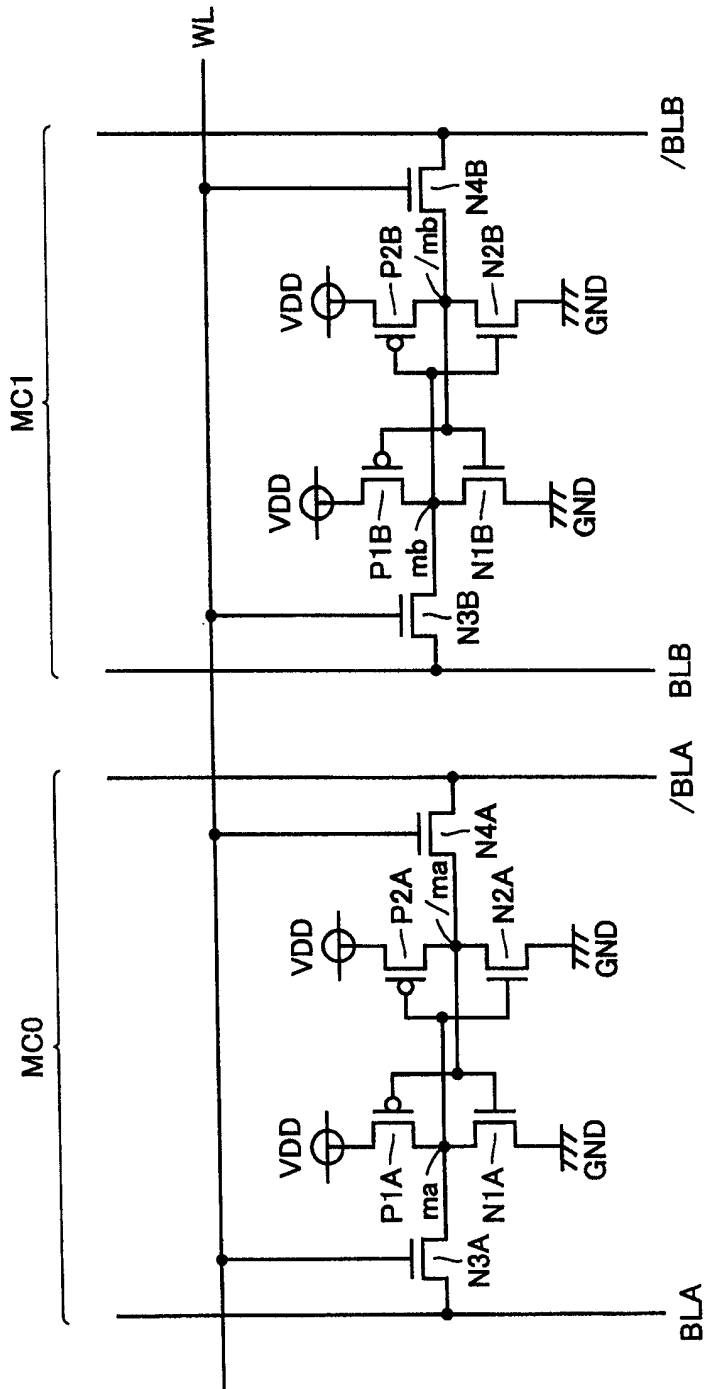


图 14 现有技术

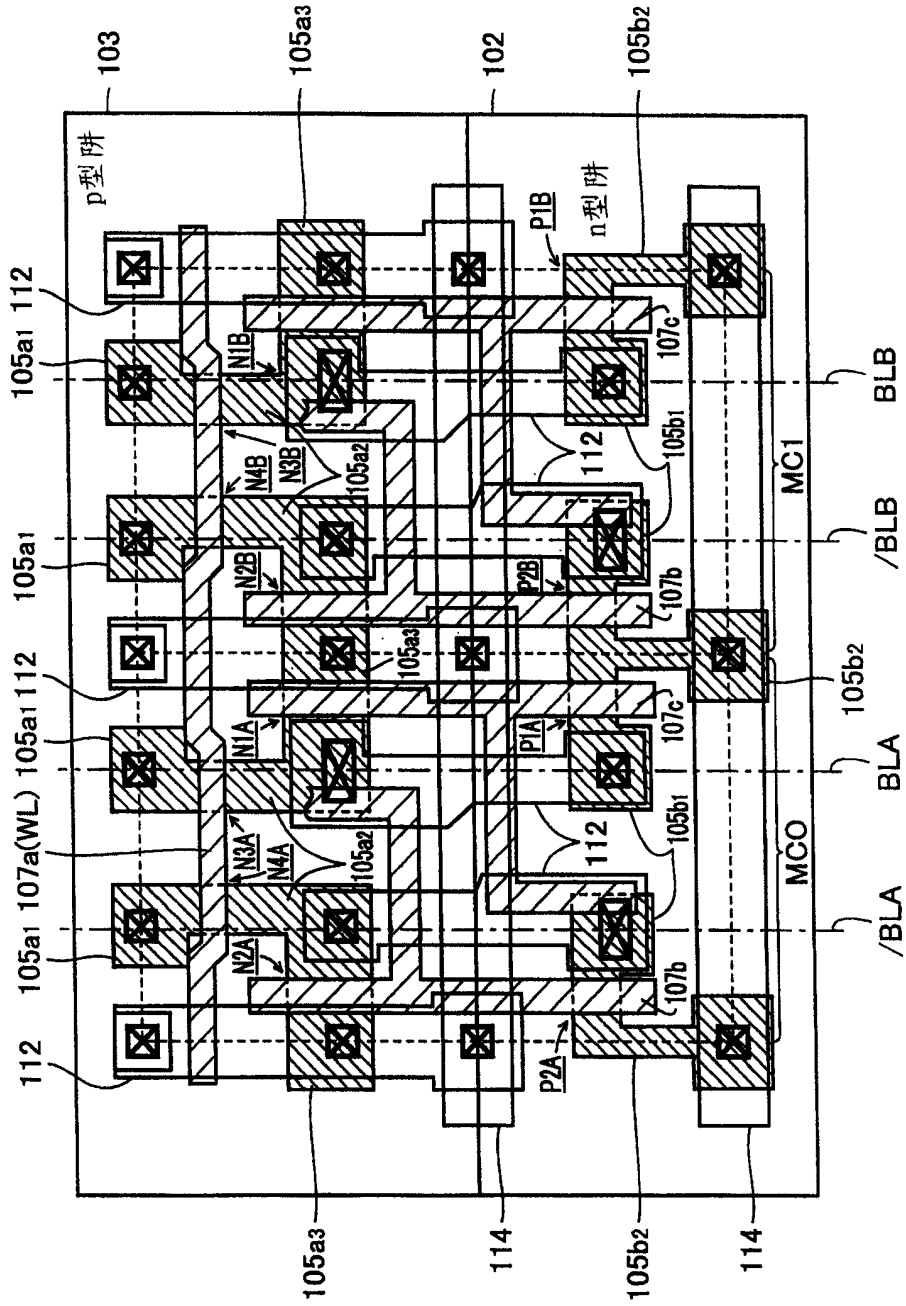


图 15 现有技术