



(12)发明专利

(10)授权公告号 CN 103996661 B

(45)授权公告日 2017.02.08

(21)申请号 201410253555.7

(22)申请日 2014.06.09

(65)同一申请的已公布的文献号
申请公布号 CN 103996661 A

(43)申请公布日 2014.08.20

(73)专利权人 上海华力微电子有限公司
地址 201203 上海市浦东新区张江开发区
高斯路568号

(72)发明人 马杰 刘梅 崔丛丛

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 王宏婧

(51)Int.Cl.

H01L 21/8244(2006.01)

(56)对比文件

CN 1763928 A,2006.04.26,
CN 102136479 A,2011.07.27,
JP 2001015614 A,2001.01.19,
CN 103208496 A,2013.07.17,
US 2008122008 A1,2008.05.29,
CN 101859774 A,2010.10.13,

审查员 沈冬云

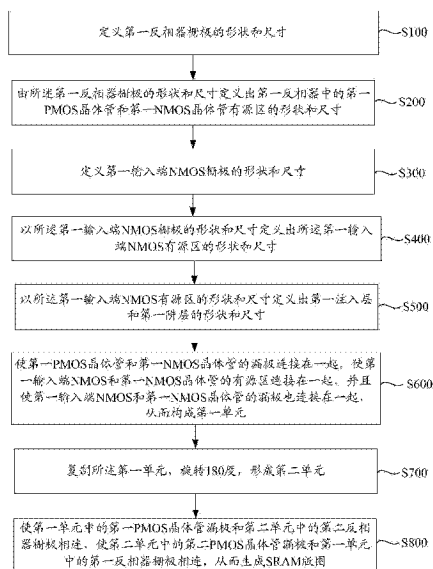
权利要求书1页 说明书4页 附图2页

(54)发明名称

SRAM版图的生成方法

(57)摘要

本发明提出了一种SRAM版图的生成方法,先形成第一单元,然后复制第一单元形成第二单元,连接第一单元和第二单元构成SRAM,把SRAM中相同的参数归类,可以实现SRAM版图的自动生成,从而能够高效完成不同尺寸大小SRAM版图的实现,简化SRAM版图的设计,从而降低人工设计版图过程中产生的错误率,并缩短SRAM版图实现时间。



1. 一种SRAM版图的生成方法,包括步骤:

定义第一反相器栅极的形状和尺寸;

由所述第一反相器栅极的形状和尺寸定义出第一反相器中的第一PMOS晶体管和第一NMOS晶体管有源区的形状和尺寸;

定义第一输入端NMOS栅极的形状和尺寸;

以所述第一输入端NMOS栅极的形状和尺寸定义出所述第一输入端NMOS有源区的形状和尺寸;

以所述第一输入端NMOS有源区的形状和尺寸定义出第一注入层和第一阱层的形状和尺寸;

使所述第一PMOS晶体管的漏极和第一NMOS晶体管的漏极连接在一起,使所述第一输入端NMOS的有源区和第一NMOS晶体管的有源区连接在一起,并且使所述第一输入端NMOS的漏极和第一NMOS晶体管的漏极也连接在一起,从而构成第一单元;

复制所述第一单元,旋转180度,形成第二单元;

使所述第一单元中的第一PMOS晶体管漏极和第二单元中的第二反相器栅极相连,使所述第二单元中的第二PMOS晶体管漏极和第一单元中的第一反相器栅极相连,从而生成SRAM版图。

2. 如权利要求1所述的SRAM版图的生成方法,其特征在于,所述第一PMOS晶体管的漏极和第一NMOS晶体管的漏极通过通孔连线和金属连线连接在一起。

3. 如权利要求2所述的SRAM版图的生成方法,其特征在于,所述第一输入端NMOS的漏极和第一NMOS晶体管的漏极通过通孔连线连接在一起。

4. 如权利要求3所述的SRAM版图的生成方法,其特征在于,所述第一单元中的第一PMOS晶体管漏极和第二单元中的第二反相器栅极通过通孔连线相连。

5. 如权利要求4所述的SRAM版图的生成方法,其特征在于,所述第二单元中的第二PMOS晶体管漏极和第一单元中的第一反相器栅极通过通孔连线相连。

6. 如权利要求5所述的SRAM版图的生成方法,其特征在于,所述通孔连线均通过金属连线引出。

SRAM版图的生成方法

技术领域

[0001] 本发明涉及半导体制造领域,尤其涉及一种SRAM版图的生成方法。

背景技术

[0002] SRAM(Static Random Access Memory,静态随机存储记忆体)是一种只要供电就保持数据的半导体存储器。SRAM具有低功耗、数据存取速度快且与CMOS逻辑工艺兼容等优点,广泛应用于各种电子器件中。因此,SRAM是任何一个半导体逻辑制程都不可缺少的部分。

[0003] 基本的SRAM单元由两个交叉耦合的反相器和两个存取晶体管(通常为NMOS晶体管)构成,属于一个典型的六晶体管SRAM(6T SRAM)。具体的,SRAM可划分为第一反相器(Inverter)、第二反相器和两个NMOS晶体管(简称为NPASS),其中第一反相器由第一PMOS晶体管和第一NMOS晶体管组成,第二反相器由第二PMOS晶体管和第二NMOS晶体管组成,加上两个NMOS晶体管一共由六个晶体管(Transistor)组成。

[0004] 传统SRAM版图的生成方法是通过软件分别对每一个晶体管进行生成,然后组合成SRAM。虽然传统SRAM版图的生成方法可以满足目前SRAM版图的设计要求,但是由于SRAM中有6个晶体管,并且每个晶体管均有多个尺寸需要定义,例如栅极尺寸、有源区尺寸、以及注入层和阱层的尺寸均需要定义,因此,传统的SRAM版图的生成方法效率不高,尤其当SRAM需要对尺寸进行修改的时候,需要改动的尺寸较多,这样人为操作经常会对SRAM版图的生成产生不必要的错误,并且耗费大量的时间和精力。

发明内容

[0005] 本发明的目的在于提供一种SRAM版图的生成方法,能够归类相同的参数,实现SRAM版图的自动生成,提高效率。

[0006] 为了实现上述目的,本发明提出了一种SRAM版图的生成方法,包括步骤:

[0007] 定义第一反相器栅极的形状和尺寸;

[0008] 由所述第一反相器栅极的形状和尺寸定义出第一反相器中的第一PMOS晶体管和第一NMOS晶体管有源区的形状和尺寸;

[0009] 定义第一输入端NMOS栅极的形状和尺寸;

[0010] 以所述第一输入端NMOS栅极的形状和尺寸定义出所述第一输入端NMOS有源区的形状和尺寸;

[0011] 以所述第一输入端NMOS有源区的形状和尺寸定义出第一注入层和第一阱层的形状和尺寸;

[0012] 使所述第一PMOS晶体管和第一NMOS晶体管的漏极连接在一起,使所述第一输入端NMOS和第一NMOS晶体管的有源区连接在一起,并且使所述第一输入端NMOS和第一NMOS晶体管的漏极也连接在一起,从而构成第一单元;

[0013] 复制所述第一单元,旋转180度,形成第二单元;

[0014] 使所述第一单元中的第一PMOS晶体管漏极和第二单元中的第二反相器栅极相连,使所述第二单元中的第二PMOS晶体管漏极和第一单元中的第一反相器栅极相连,从而生成SRAM版图。

[0015] 进一步的,所述第一PMOS晶体管和第一NMOS晶体管的漏极通过通孔连线和金属连线连接在一起。

[0016] 进一步的,所述第一输入端NMOS和第一NMOS晶体管的漏极通过通孔连线连接在一起。

[0017] 进一步的,所述第一单元中的第一PMOS晶体管漏极和第二单元中的第二反相器栅极通过通孔连线相连。

[0018] 进一步的,所述第二单元中的第二PMOS晶体管漏极和第一单元中的第一反相器栅极通过通孔连线相连。

[0019] 进一步的,所述通孔连线均通过金属连线引出。

[0020] 与现有技术相比,本发明的有益效果主要体现在:先形成第一单元,然后复制第一单元形成第二单元,连接第一单元和第二单元构成SRAM,把SRAM中相同的参数归类,可以实现SRAM版图的自动生成,从而能够高效完成不同尺寸大小SRAM版图的实现,简化SRAM版图的设计,从而降低人工设计版图过程中产生的错误率,并缩短SRAM版图实现时间。

附图说明

[0021] 图1为本发明一实施例中SRAM版图的生成方法的流程图;

[0022] 图2为本发明一实施例中第一单元的结构示意图;

[0023] 图3为本发明一实施例中SRAM版图的结构示意图。

具体实施方式

[0024] 下面将结合示意图对本发明的SRAM版图的生成方法进行更详细的描述,其中表示了本发明的优选实施例,应该理解本领域技术人员可以修改在此描述的本发明,而仍然实现本发明的有利效果。因此,下列描述应当被理解为对于本领域技术人员的广泛知道,而并不作为对本发明的限制。

[0025] 为了清楚,不描述实际实施例的全部特征。在下列描述中,不详细描述公知的功能和结构,因为它们会使本发明由于不必要的细节而混乱。应当认为在任何实际实施例的开发中,必须做出大量实施细节以实现开发者的特定目标,例如按照有关系统或有关商业的限制,由一个实施例改变为另一个实施例。另外,应当认为这种开发工作可能是复杂和耗费时间的,但是对于本领域技术人员来说仅仅是常规工作。

[0026] 在下列段落中参照附图以举例方式更具体地描述本发明。根据下面说明和权利要求书,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0027] 本发明的核心思想是,由于6T SRAM具有第一反相器、第一输入端NMOS、第二反相器以及第二输入端NMOS组成,并且第一反相器中第一NMOS晶体管、第一PMOS晶体管分别和第二反相器中的第二NMOS晶体管、第二PMOS晶体管参数完全相同,并且第一输入端NMOS和第二输入端NMOS的参数也完全相同,因此可以将具有大量相同的参数进行归类,形成第

一单元,然后复制第一单元进行旋转获得第二单元,将第一单元和第二单元进行连接即可以获得6T SRAM版图。

[0028] 具体的,请参考图1、图2和图3,图1为本发明一实施例中SRAM版图的生成方法的流程图,图2为本发明一实施例中第一单元的结构示意图,图3为本发明一实施例中SRAM版图的结构示意图;在本实施例中,提出的SRAM版图的生成方法,包括步骤:

[0029] S100:定义第一反相器栅极61的形状和尺寸;

[0030] 在步骤S100中,第一反相器栅极61的形状和尺寸可以根据具体的工艺要求来决定,不同的栅极61尺寸可以获得不同尺寸的SRAM版图。

[0031] S200:由所述第一反相器栅极61的形状和尺寸定义出第一反相器10中的第一PMOS晶体管12和第一NMOS晶体管11有源区的形状和尺寸;

[0032] S300:定义第一输入端NMOS栅极62的形状和尺寸;

[0033] 同样的,在步骤S300中,第一输入端NMOS栅极62的形状和尺寸可以根据具体的工艺要求来决定,不同的第一输入端NMOS栅极62尺寸可以获得不同尺寸的SRAM版图。

[0034] S400:以所述第一输入端NMOS栅极62的形状和尺寸定义出所述第一输入端NMOS30有源区的形状和尺寸;

[0035] S500:以所述第一输入端NMOS30有源区的形状和尺寸定义出第一注入层13和第一阱层14的形状和尺寸;

[0036] S600:使所述第一PMOS晶体管12和第一NMOS晶体管11的漏极连接在一起,使所述第一输入端NMOS30和第一NMOS晶体管11的有源区连接在一起,并且使所述第一输入端NMOS30和第一NMOS晶体管11的漏极也连接在一起,从而构成第一单元,如图2所示;

[0037] S700:复制所述第一单元,旋转180度,形成第二单元;

[0038] 其中,所述第二单元中包括第二反相器20、第二输入端NMOS40、第二注入层和第二阱层,所述第二反相器20中包括第二反相器栅极63、第一PMOS晶体管22和第一NMOS晶体管21,所述第二输入端NMOS40包括第二输入端NMOS栅极64,如图3所示,在此,为了附图的简洁,图3中省略了第一注入层13、第一阱层14、第二注入层、第二阱层以及部分金属连线。

[0039] S800:使所述第一单元中的第一PMOS晶体管12漏极和第二单元中的第二反相器栅极63相连,使所述第二单元中的第二PMOS晶体管22漏极和第一单元中的第一反相器栅极61相连,从而生成SRAM版图。

[0040] 在本实施例中,所述第一PMOS晶体管12和第一NMOS晶体管11的漏极通过通孔连线50和金属连线70连接在一起;所述第一输入端NMOS30和第一NMOS晶体管11的漏极通过通孔连线50连接在一起;所述第一单元中的第一PMOS晶体管12漏极和第二单元中的第二反相器栅极63通过通孔连线50相连;所述第二单元中的第二PMOS晶体管漏极22和第一单元中的第一反相器栅极61通过通孔连线50相连;实际生产中,所述通孔连线50均通过金属连线70引出,以方便外接电路。

[0041] 采用本实施例提出的SRAM版图生成方法,采用SMARTCELL软件进行实现,无需针对每一个晶体管进行尺寸的修改和定义,只需要修改较少的自变量,如第一反相器栅极的形状和尺寸、第一输入端NMOS栅极的形状和尺寸即可实现对6个晶体管的全部形状和尺寸的修改。因此,可以较快捷的获得不同尺寸的SRAM,降低了人工修改较多参数可能出现的错误概率。

[0042] 综上,在本发明实施例提供的SRAM版图的生成方法中,先形成第一单元,然后复制第一单元形成第二单元,连接第一单元和第二单元构成SRAM,把SRAM中相同的参数归类,可以实现SRAM版图的自动生成,从而能够高效完成不同尺寸大小SRAM版图的实现,简化SRAM版图的设计,从而降低人工设计版图过程中产生的错误率,并缩短SRAM版图实现时间。

[0043] 上述仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

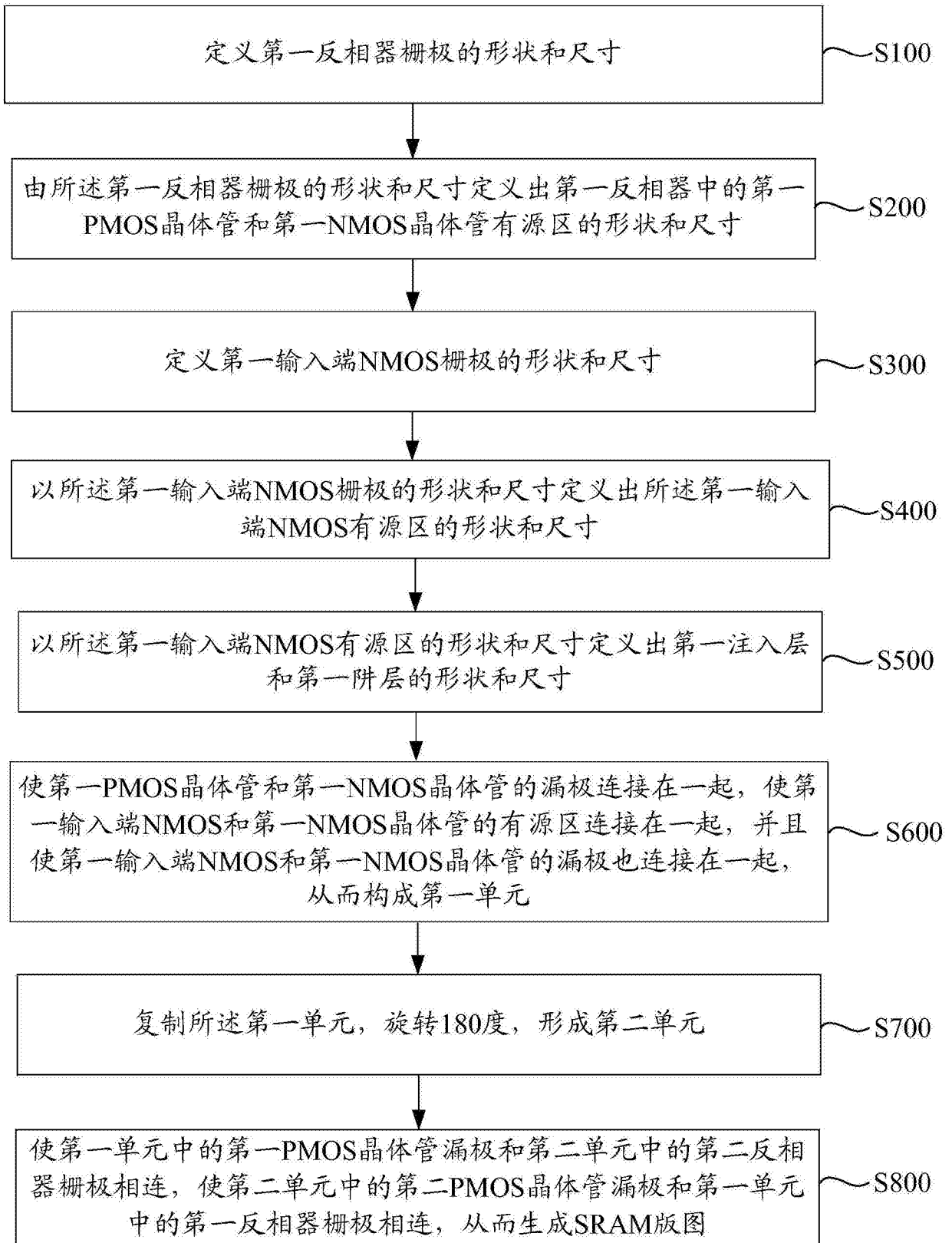


图1

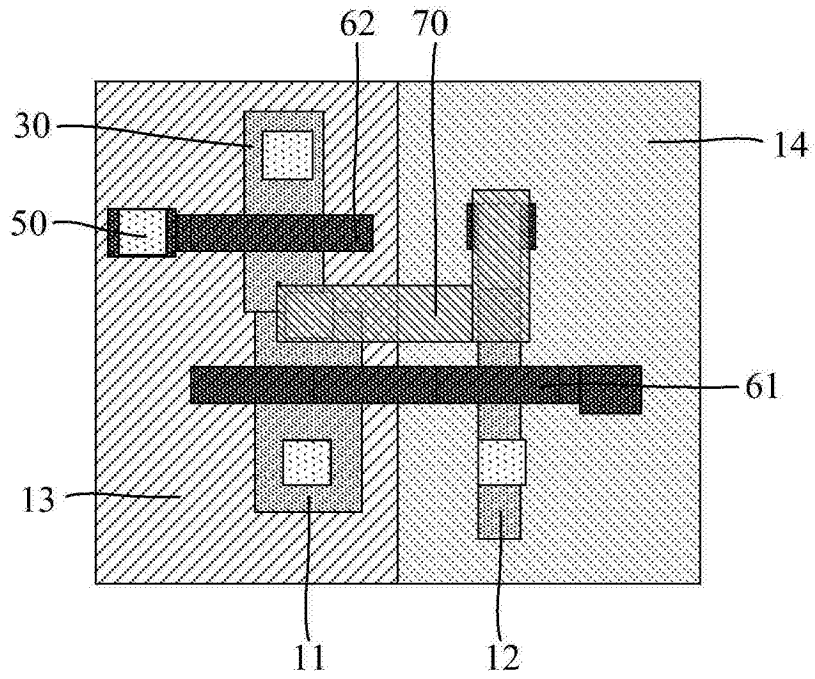


图2

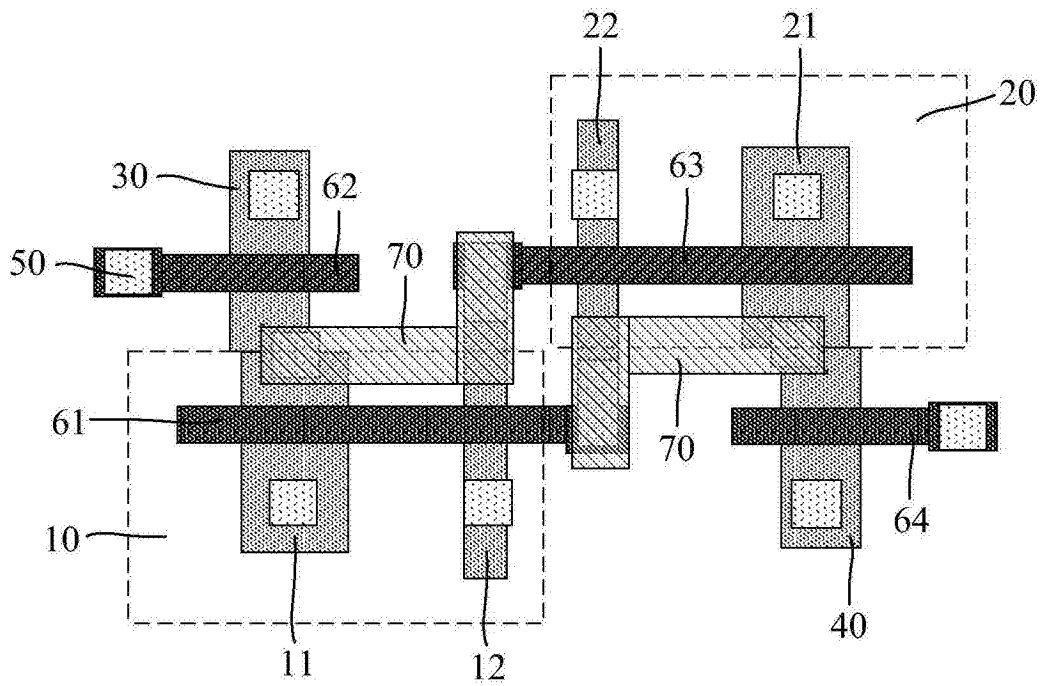


图3