

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6197323号
(P6197323)

(45) 発行日 平成29年9月20日(2017.9.20)

(24) 登録日 平成29年9月1日(2017.9.1)

(51) Int. Cl.		F I	
GO 1 C 19/5614 (2012.01)		GO 1 C 19/5614	
GO 1 C 19/5776 (2012.01)		GO 1 C 19/5776	

請求項の数 15 (全 29 頁)

(21) 出願番号	特願2013-60874 (P2013-60874)	(73) 特許権者	000002369
(22) 出願日	平成25年3月22日 (2013.3.22)		セイコーエプソン株式会社
(65) 公開番号	特開2014-185936 (P2014-185936A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成26年10月2日 (2014.10.2)	(74) 代理人	100104710
審査請求日	平成28年3月4日 (2016.3.4)		弁理士 竹腰 昇
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100124682
			弁理士 黒田 泰
		(72) 発明者	牧 克彦
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	野宮 崇
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 検出装置、センサー、ジャイロセンサー、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

振動子を駆動期間において駆動し、非駆動期間において駆動しない間欠駆動を行う駆動回路と、

前記振動子からの検出信号を受けて、前記検出信号から物理量に応じた所望信号を検出する検出処理を、前記非駆動期間において行う検出回路と、

を含み、

前記検出回路は、前記物理量に応じた所望信号を通過させて不要信号を減衰する周波数特性を有するローパスフィルタを有し、

前記ローパスフィルタのカットオフ周波数を f_c とし、前記駆動期間、前記非駆動期間の長さを、各々、 T_1 、 T_2 とした場合に、 $1 / (T_1 + T_2) > f_c$ であることを特徴とする検出装置。

【請求項2】

請求項1に記載の検出装置において、

前記駆動回路は、

前記振動子に対して駆動信号を出力する駆動信号出力回路を含み、

前記駆動信号出力回路は、前記非駆動期間において、固定電圧を出力する回路、及び前記駆動信号出力回路の出力ノードをハイインピーダンス状態に設定する回路の少なくとも一方を含むことを特徴とする検出装置。

【請求項3】

10

20

請求項 2 に記載の検出装置において、
前記駆動信号出力回路は、
前記振動子の前記駆動期間において矩形波の前記駆動信号を出力することを特徴とする
検出装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の検出装置において、
前記検出回路は、
同期検波を行う同期検波回路、及び前記検出信号の A / D 変換を行う A / D 変換回路の
少なくとも一方を含み、

前記駆動期間において、前記同期検波回路の同期検波動作及び前記 A / D 変換回路の A / D 変換動作の少なくとも一方が停止することを特徴とする検出装置。

10

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の検出装置において、
前記駆動回路は、
前記振動子からの前記検出信号を増幅する増幅回路と、
前記増幅回路の出力信号に基づいてゲイン制御を行うゲイン制御回路を含み、
前記非駆動期間において、前記増幅回路の動作は非停止であり、前記ゲイン制御回路の
少なくとも一部の回路の動作が停止することを特徴とする検出装置。

【請求項 6】

請求項 1 乃至 5 のいずれか一項に記載の検出装置において、
前記検出回路は、
前記駆動期間では、前記検出処理を行わず、
前記非駆動期間において、前記検出処理を行うことを特徴とする検出装置。

20

【請求項 7】

請求項 1 乃至 6 のいずれか一項に記載の検出装置において、
前記駆動回路は、
前記振動子の前記駆動期間と前記非駆動期間とが交互に繰り返される前記間欠駆動を行
うことを特徴とする検出装置。

【請求項 8】

請求項 1 乃至 7 のいずれか一項に記載の検出装置において、
前記間欠駆動を行う間欠駆動モードと、連続的に駆動を行う通常駆動モードの切替の設
定を行うモード切替レジスターを含むことを特徴とする検出装置。

30

【請求項 9】

請求項 1 乃至 8 のいずれか一項に記載の検出装置において、
前記駆動期間、前記非駆動期間の長さを設定するための期間設定レジスターを含むこと
を特徴とする検出装置。

【請求項 10】

振動子を駆動する駆動回路と、
前記振動子からの検出信号を受けて、前記検出信号から物理量に応じた所望信号を検出
する検出処理を行う検出回路と、
を含み、

40

前記駆動回路は、
前記振動子の駆動期間と非駆動期間とが交互に繰り返される間欠駆動を行い、
前記駆動回路は、
前記振動子に対して駆動信号を出力する駆動信号出力回路を含み、
前記駆動信号出力回路は、前記間欠駆動の前記駆動期間と前記非駆動期間のうちの前記
非駆動期間において、固定電圧を出力する回路、及び前記駆動信号出力回路の出力ノード
をハイインピーダンス状態に設定する回路の少なくとも一方を含み、

前記検出回路は、前記物理量に応じた所望信号を通過させて不要信号を減衰する周波数
特性を有するローパスフィルターを有し、

50

前記ローパスフィルターのカットオフ周波数を f_c とし、前記駆動期間、前記非駆動期間の長さを、各々、 T_1 、 T_2 とした場合に、 $1 / (T_1 + T_2) > f_c$ であることを特徴とする検出装置。

【請求項 1 1】

請求項 1 乃至 1 0 のいずれか一項に記載の検出装置において、
前記検出回路は、
前記第 1 の検出信号が入力される第 1 の電荷 - 電圧変換回路と、
前記第 2 の検出信号が入力される第 2 の電荷 - 電圧変換回路と、
前記第 1 の電荷 - 電圧変換回路の出力信号をゲイン調整して増幅する第 1 のゲイン調整アンプと、
前記第 2 の電荷 - 電圧変換回路の出力信号をゲイン調整して増幅する第 2 のゲイン調整アンプと、

前記第 1 のゲイン調整アンプの出力信号が第 1 の入力ノードに入力され、前記第 2 のゲイン調整アンプの出力信号が第 2 の入力ノードに入力され、前記駆動回路からの同期信号により差動の前記第 1 のゲイン調整アンプの出力信号及び前記第 2 のゲイン調整アンプの出力信号に対する同期検波を行って、差動信号である第 1 の出力信号及び第 2 の出力信号のうちの前記第 1 の出力信号を第 1 の出力ノードに出力し、前記第 2 の出力信号を第 2 の出力ノードに出力するスイッチングミキサーと、

前記スイッチングミキサーの前記第 1 の出力ノードからの前記第 1 の出力信号が入力される第 1 のフィルターと、

前記スイッチングミキサーの前記第 2 の出力ノードからの前記第 2 の出力信号が入力される第 2 のフィルターと、

前記第 1 のフィルターからの出力信号と前記第 2 のフィルターからの出力信号を受けて、差動の A / D 変換を行う A / D 変換回路と、

を含むことを特徴とする検出装置。

【請求項 1 2】

請求項 1 乃至 1 1 のいずれか一項に記載の検出装置と、

前記振動子と、

を含むことを特徴とするセンサー。

【請求項 1 3】

請求項 1 乃至 1 1 のいずれか一項に記載の検出装置と、

検出軸を中心に回転したときの角速度に応じて前記検出信号を出力する前記振動子と、
を含み、

前記検出回路の前記検出処理は、前記振動子からの前記検出信号を受けて、前記物理量に応じた所望信号として前記振動子が検出軸を中心に回転したときの角速度に応じた信号を前記検出信号から検出する処理であることを特徴とするジャイロセンサー。

【請求項 1 4】

請求項 1 乃至 1 1 のいずれか一項に記載の検出装置を含むことを特徴とする電子機器。

【請求項 1 5】

請求項 1 乃至 1 1 のいずれか一項に記載の検出装置を含むことを特徴とする移動体。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、検出装置、センサー、ジャイロセンサー、電子機器及び移動体等に関する。

【背景技術】

【0 0 0 2】

デジタルカメラ、ビデオカメラ、携帯電話機、カーナビゲーションシステム等の電子機器には、外的な要因で変化する物理量を検出するためのジャイロセンサーが組み込まれている。このようなジャイロセンサーは、角速度等の物理量を検出し、いわゆる手振れ補正、姿勢制御、GPS 自律航法などに用いられる。

10

20

30

40

50

【 0 0 0 3 】

このようなジャイロセンサーの一つとして、水晶圧電振動ジャイロセンサーなどの振動ジャイロセンサーが知られている。振動ジャイロセンサーでは、回転によって発生するコリオリ力に対応した物理量を検出している。このような振動ジャイロセンサーの検出装置としては、例えば特許文献 1 に開示される従来技術が知られている。

【 0 0 0 4 】

この特許文献 1 の従来技術では、矩形波の駆動信号で振動子を駆動している。振動子を矩形波の駆動信号で駆動しても、振動子自体が有する周波数フィルターの作用によって、不要な高調波が低減され、目的とする共振周波数の駆動信号を得ることができるからである。

10

【 0 0 0 5 】

しかしながら、このような駆動信号で振動子を駆動した場合に、振動子を実装する T A B (Tape-automated bonding) 実装用の基板やパッケージなどの周辺部材が、駆動信号の高調波成分に共振してしまい、そのような共振が振動子に影響することにより、検出信号に不要信号が出現し易くなることが判明した。また、振動子が発振定常状態になった後も、振動子を連続して駆動し続けるのは、低消費電力化の観点からは無駄な駆動である可能性がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 0 9 - 3 1 0 0 7 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の幾つかの態様によれば、低ノイズ性能や低消費電力化等を間欠駆動により実現できる検出装置、センサー、電子機器及び移動体等を提供できる。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の一態様は、振動子を駆動する駆動回路と、前記振動子からの検出信号を受けて、前記検出信号から物理量に応じた所望信号を検出する検出処理を行う検出回路と、を含み、前記駆動回路は、前記振動子を駆動期間において駆動し、非駆動期間において駆動しない間欠駆動を行い、前記検出回路は、前記間欠駆動における前記非駆動期間において、前記所望信号の前記検出処理を行う検出装置に係する。

30

【 0 0 0 9 】

本発明の一態様によれば、駆動回路により、振動子を間欠的に駆動する間欠駆動が行われる。そして検出回路は、このように間欠駆動される振動子からの検出信号を受けて、間欠駆動の非駆動期間において、所望信号の検出処理を行う。このようにすれば、低ノイズ状態であることが予想される非駆動期間において所望信号の検出処理を行うことが可能になる。また間欠駆動により消費電力の低減も可能になる。従って、低ノイズ性能や低消費電力化等を間欠駆動により実現できる検出装置の提供が可能になる。

40

【 0 0 1 0 】

また本発明の一態様では、前記駆動回路は、前記振動子に対して駆動信号を出力する駆動信号出力回路を含み、前記駆動信号出力回路は、前記非駆動期間において、固定電圧を出力する回路、及び前記駆動信号出力回路の出力ノードをハイインピーダンス状態に設定する回路の少なくとも一方を含んでもよい。

【 0 0 1 1 】

このように、駆動信号出力回路が固定電圧を出力したり、その出力ノードがハイインピーダンス状態になることで、間欠駆動の非駆動期間における駆動回路の非駆動状態を実現できる。そして、このように駆動回路が非駆動状態になっても、振動子の発振が継続されることで、非駆動期間における検出回路の検出処理が可能になる。

50

【0012】

また本発明の一態様では、前記駆動信号出力回路は、前記振動子の前記駆動期間において矩形波の前記駆動信号を出力してもよい。

【0013】

このように矩形波で駆動しても、振動子の周波数フィルター作用により、不要な高調波が低減され、目的とする駆動周波数での駆動が可能になる。

【0014】

また本発明の一態様では、前記検出回路は、同期検波を行う同期検波回路、及び前記検出信号のA/D変換を行うA/D変換回路の少なくとも一方を含み、前記駆動期間において、前記同期検波回路の同期検波動作及び前記A/D変換回路のA/D変換動作の少なくとも一方が停止してもよい。

10

【0015】

このように駆動期間において、同期検波動作やA/D変換動作が停止することで、消費電力の低減が可能になる。また駆動期間において同期検波動作やA/D変換動作が停止したとしても、非駆動期間において検出回路が検出処理を行うことで、所望信号の適切な検出処理が可能になる。

【0016】

また本発明の一態様では、前記駆動回路は、前記振動子からの前記検出信号を増幅する増幅回路と、前記増幅回路の出力信号に基づいてゲイン制御を行うゲイン制御回路を含み、前記非駆動期間において、前記増幅回路の動作は非停止であり、前記ゲイン制御回路の少なくとも一部の回路の動作が停止してもよい。

20

【0017】

このように非駆動期間において、ゲイン制御回路の一部の回路の動作を停止することで、低消費電力化が可能になる。また、非駆動期間において増幅回路の動作を非停止とすることで、駆動回路が同期信号を検出回路に供給し、当該同期信号を用いて検出回路が検出処理を実行できるようになる。

【0018】

また本発明の一態様では、前記検出回路は、前記物理量に応じた所望信号を通過させて不要信号を減衰する周波数特性を有するローパスフィルターを有し、前記ローパスフィルターのカットオフ周波数を f_c とし、前記駆動期間、前記非駆動期間の長さを、各々、 T_1 、 T_2 とした場合に、 $1/(T_1 + T_2) > f_c$ であってもよい。

30

【0019】

このようにすれば、間欠駆動における駆動期間と非駆動期間の繰り返し周波数が原因で所望信号の検出性能が劣化する事態等を抑止できる。

【0020】

また本発明の一態様では、前記検出回路は、前記駆動期間では、前記所望信号の前記検出処理を行わず、前記非駆動期間において、前記所望信号の前記検出処理を行ってもよい。

【0021】

このように駆動期間において検出回路が検出処理を行わないことで、駆動期間において発生する不要信号等が検出回路の検出性能に悪影響を与えるのを抑止できる。

40

【0022】

また本発明の一態様では、前記駆動回路は、前記振動子の前記駆動期間と前記非駆動期間とが交互に繰り返される前記間欠駆動を行ってもよい。

【0023】

このように駆動期間と非駆動期間を交互に繰り返すことで、非駆動期間において駆動回路が非駆動状態になったとしても、振動子の発振動作を継続できるようになる。

【0024】

また本発明の一態様では、前記間欠駆動を行う間欠駆動モードと、連続的に駆動を行う通常駆動モードの切替の設定を行うモード切替レジスターを含んでもよい。

50

【 0 0 2 5 】

このようにすれば、種々の状況に応じて、間欠駆動モードと通常駆動モードを切り替えることが可能になり、利便性を向上できる。

【 0 0 2 6 】

また本発明の一態様では、前記駆動期間、前記非駆動期間の長さを設定するための期間設定レジスターを含んでもよい。

【 0 0 2 7 】

このようにすれば、感度を優先する状況なのか、検出効率を優先する状況なのかなどの各種状況に応じて、駆動期間や非駆動期間の長さを設定することが可能になる。

【 0 0 2 8 】

また本発明の他の態様は、振動子を駆動する駆動回路と、前記振動子からの検出信号を受けて、前記検出信号から物量に応じた所望信号を検出する検出処理を行う検出回路と、を含み、前記駆動回路は、前記振動子の駆動期間と非駆動期間とが交互に繰り返される間欠駆動を行い、前記駆動回路は、前記振動子に対して駆動信号を出力する駆動信号出力回路を含み、前記駆動信号出力回路は、前記間欠駆動の前記駆動期間と前記非駆動期間のうちの前記非駆動期間において、固定電圧を出力する回路、及び前記駆動信号出力回路の出力ノードをハイインピーダンス状態に設定する回路の少なくとも一方を含む検出装置に係する。

【 0 0 2 9 】

本発明の一態様によれば、駆動回路により、振動子の駆動期間と非駆動期間とが交互に繰り返される間欠駆動が行われる。そして駆動回路の駆動信号出力回路は、間欠駆動の非駆動期間において、固定電圧を出力したり、或いはその出力をハイインピーダンス状態に設定する。このように駆動期間と非駆動期間を交互に繰り返して、非駆動期間において固定電圧を出力したり出力ノードをハイインピーダンス状態に設定すれば、非駆動期間において駆動回路が非駆動状態になったとしても、振動子の発振動作を継続することが可能になる。従って、無駄な電力の消費を抑制でき、間欠駆動による低消費電力化等を実現できるようになる。

【 0 0 3 0 】

また本発明の一態様及び他の態様では、前記検出回路は、前記第 1 の検出信号が入力される第 1 の電荷 - 電圧変換回路と、前記第 2 の検出信号が入力される第 2 の電荷 - 電圧変換回路と、前記第 1 の電荷 - 電圧変換回路の出力信号をゲイン調整して増幅する第 1 のゲイン調整アンプと、前記第 2 の電荷 - 電圧変換回路の出力信号をゲイン調整して増幅する第 2 のゲイン調整アンプと、前記第 1 のゲイン調整アンプの出力信号が第 1 の入力ノードに入力され、前記第 2 のゲイン調整アンプの出力信号が第 2 の入力ノードに入力され、前記駆動回路からの同期信号により差動の前記第 1 のゲイン調整アンプの出力信号及び前記第 2 のゲイン調整アンプの出力信号に対する同期検波を行って、差動信号である第 1 の出力信号及び第 2 の出力信号のうちの前記第 1 の出力信号を第 1 の出力ノードに出力し、前記第 2 の出力信号を第 2 の出力ノードに出力するスイッチングミキサーと、前記スイッチングミキサーの前記第 1 の出力ノードからの前記第 1 の出力信号が入力される第 1 のフィルターと、前記スイッチングミキサーの前記第 2 の出力ノードからの前記第 2 の出力信号が入力される第 2 のフィルターと、前記第 1 のフィルターからの出力信号と前記第 2 のフィルターからの出力信号を受けて、差動の A / D 変換を行う A / D 変換回路と、を含んでもよい。

【 0 0 3 1 】

このような構成の検出回路によれば、アナログ同期検波方式の検出回路等に比べて、回路ブロック数を少なくできると共に、第 1、第 2 の電荷 - 電圧変換回路や第 1、第 2 のゲイン調整アンプで発生したノイズ等を、スイッチングミキサーの周波数変換と第 1、第 2 のフィルターのフィルター特性で低減・除去することが可能になる。従って、回路の大規模化等を抑えながら低ノイズでの検出処理を実現することが可能になる。また振動子からの差動の信号は、差動信号の状態のまま、ゲイン調整、同期検波処理、フィルター処理

10

20

30

40

50

が行われ、A/D変換回路に入力されてA/D変換が行われる。従って、シングルエンド信号の状態でフィルター処理、同期検波処理、ゲイン調整処理等が行われる回路構成に比べて、ノイズ低減の点で有利な構成となる。

【0032】

また本発明の他の態様は、上記のいずれかに記載の検出装置と、前記振動子と、を含むことを特徴とするセンサーに係る。

【0033】

また本発明の他の態様は、上記のいずれかに記載の検出装置を含む電子機器に係る。

【0034】

また本発明の他の態様は、上記のいずれかに記載の検出装置を含む移動体に係る。

【図面の簡単な説明】

【0035】

【図1】電子機器、ジャイロセンサーの構成例。

【図2】検出装置の構成例。

【図3】本実施形態の間欠駆動の手法の説明図。

【図4】駆動回路の詳細な構成及び動作の説明図。

【図5】駆動回路の詳細な構成及び動作の説明図。

【図6】図6(A)～図6(C)はコンパレーターの出力部の構成及び動作の説明図。

【図7】図7(A)、図7(B)は全差動スイッチングミキサー方式の検出回路の構成及び動作の説明図。

【図8】全差動スイッチングミキサー方式の検出回路の構成及び動作の説明図。

【図9】図9(A)～図9(C)はダイレクトサンプリング方式の検出回路の構成及び動作の説明図。

【図10】図10(A)、図10(B)はアナログジャイロ方式の検出回路の構成及び動作の説明図。

【図11】アナログジャイロ方式の検出回路の構成及び動作の説明図。

【図12】全差動スイッチングミキサー方式の検出回路の詳細な第1の構成例。

【図13】検出回路の各信号の信号波形例。

【図14】全差動スイッチングミキサー方式の検出回路の詳細な第2の構成例。

【図15】図15(A)、図15(B)は雑音電圧の周波数特性図。

【図16】移動体の一具体例としての自動車の構成を概略的に示す概念図である。

【発明を実施するための形態】

【0036】

以下、本発明の好適な実施の形態について詳細に説明する。なお以下に説明する本実施形態は特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。例えば以下では、物理量トランスデューサーが圧電型の振動子(振動ジャイロ)であり、センサーがジャイロセンサーである場合を例にとり説明するが、本発明はこれに限定されない。例えばシリコン基板などから形成された静電容量検出方式の振動子(振動ジャイロ)や、角速度情報と等価な物理量や角速度情報以外の物理量を検出する物理量トランスデューサー、センサー等にも本発明は適用可能である。

【0037】

1. 電子機器、ジャイロセンサー

図1に本実施形態の検出装置20を含むジャイロセンサー510(広義にはセンサー)と、ジャイロセンサー510を含む電子機器500の構成例を示す。なお電子機器500、ジャイロセンサー510は図1の構成に限定されず、その構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。また本実施形態の電子機器500としては、デジタルカメラ、ビデオカメラ、携帯電話機、カーナビゲーションシステム、ロボット、ゲーム機、時計、健康器具、或いは携帯型情報端末等の種々の機器を

10

20

30

40

50

想定できる。

【0038】

電子機器500はジャイロセンサー510と処理部520を含む。またメモリー530、操作部540、表示部550を含むことができる。処理部520(CPU、MPU等)はジャイロセンサー510等の制御や電子機器500の全体制御を行う。また処理部520は、ジャイロセンサー510により検出された角速度情報(広義には物理量)に基づいて処理を行う。例えば角速度情報に基づいて、手ぶれ補正、姿勢制御、GPS自律航法などのための処理を行う。メモリー530(ROM、RAM等)は、制御プログラムや各種データを記憶したり、ワーク領域やデータ格納領域として機能する。操作部540はユーザーが電子機器500を操作するためのものであり、表示部550は種々の情報をユーザーに表示する。

10

【0039】

ジャイロセンサー510は振動子10、検出装置20を含む。図1の振動子10(広義には物理量トランスデューサー)は、水晶などの圧電材料の薄板から形成される音叉型の圧電振動子であり、駆動用振動子11、12と、検出用振動子16、17を有する。駆動用振動子11、12には駆動端子2、4が設けられ、検出用振動子16、17には検出端子6、8が設けられている。

【0040】

検出装置20が含む駆動回路30は、駆動信号(駆動電圧)を出力して振動子10を駆動する。そして振動子10からフィードバック信号を受け、これにより振動子10を励振させる。検出回路60は、駆動信号により駆動される振動子10から検出信号(検出電流、電荷)を受け、検出信号から所望信号(コリオリ力信号)を検出(抽出)する。

20

【0041】

具体的には、駆動回路30からの交流の駆動信号(駆動電圧)が駆動用振動子11の駆動端子2に印加される。すると逆電圧効果によって駆動用振動子11が振動を開始し、音叉振動により駆動用振動子12も振動を開始する。この時、駆動用振動子12の圧電効果によって発生する電流(電荷)が、駆動端子4からフィードバック信号として駆動回路30にフィードバックされる。これにより振動子10を含む発振ループが形成される。

【0042】

駆動用振動子11、12が振動すると、検出用振動子16、17が図1に示す方向で振動速度 v で振動する。すると、検出用振動子16、17の圧電効果によって発生する電流(電荷)が、検出信号(第1、第2の検出信号)として検出端子6、8から出力される。すると、検出回路60は、この振動子10からの検出信号を受け、コリオリ力に応じた信号である所望信号(所望波)を検出する。即ち、検出軸19を中心に振動子10(ジャイロセンサー)が回転すると、振動速度 v の振動方向と直交する方向にコリオリ力 F_c が発生する。例えば検出軸19を中心に回転したときの角速度を ω とし、振動子の質量を m とし、振動子の振動速度を v とすると、コリオリ力は $F_c = 2m \cdot v \cdot \omega$ と表される。従って検出回路60が、コリオリ力に応じた信号である所望信号を検出することで、ジャイロセンサーの回転角速度 ω を求めることができる。そして求められた角速度 ω を用いることで、処理部520は、手ぶれ補正、姿勢制御、或いはGPS自律航法等のための種々の処理を行うことができる。

30

40

【0043】

なお図1では、振動子10が音叉型である場合の例を示しているが、本実施形態の振動子10はこのような構造に限定されない。例えばT字型やダブルT字型等であってもよい。また振動子10の圧電材料は水晶以外であってもよい。

【0044】

2. 検出装置

図2に本実施形態の検出装置20の構成例を示す。検出装置20は、振動子10(物理量トランスデューサー)を駆動する駆動回路30と、振動子10からの第1、第2の検出信号 I_Q1 、 I_Q2 を受け、所望信号を検出する検出処理を行う検出回路60を含む。

50

【 0 0 4 5 】

駆動回路 30 は、振動子 10 からの信号 D I が入力される増幅回路 32 と、自動ゲイン制御を行うゲイン制御回路 40 (A G C : Automatic Gain Control) と、駆動信号 D Q を振動子 10 に出力する駆動信号出力回路 50 と、同期信号 S Y C を検出回路 60 に出力する同期信号出力回路 52 を含む。なお、駆動回路 30 の構成は図 2 に限定されず、これらの構成要素の一部を省略したり、他の構成要素を追加するなどの種々の変形実施が可能である。

【 0 0 4 6 】

増幅回路 32 (I / V 変換回路) は、振動子 10 からの電流の信号 D I を電圧の信号 D V に変換して出力する。この増幅回路 32 は、キャパシター、抵抗素子、演算増幅器などにより実現できる。

10

【 0 0 4 7 】

ゲイン制御回路 40 (A G C) は、信号 D V を監視して、発振ループのゲインを制御する。具体的には発振ループのゲインを制御するための制御電圧 D S を駆動信号出力回路 50 に出力する。例えば駆動回路 30 では、ジャイロセンサーの感度を一定に保つために、振動子 10 (駆動用振動子) に供給する駆動電圧の振幅を一定に保つ必要がある。このため、駆動振動系の発振ループ内に、ゲインを自動調整するためのゲイン制御回路 40 が設けられる。ゲイン制御回路 40 は、振動子 10 からフィードバックされた信号 D I の振幅 (振動子の振動速度 v) が一定になるように、ゲインを可変に自動調整する。また発振起動時には、高速な発振起動を可能にするために、発振ループのゲインは 1 よりも大きなゲインに設定される。このゲイン制御回路 40 は、増幅回路 32 からの交流の信号 D V を直流信号に変換するための全波整流回路や、全波整流回路からの直流信号の電圧と基準電圧との差分に応じた制御電圧 D S を出力する積分器などを含むことができる。

20

【 0 0 4 8 】

駆動信号出力回路 50 は、増幅回路 32 から信号 D V を受け、駆動信号 D Q を振動子 10 に出力する。具体的にはゲイン制御回路 40 からの制御電圧 D S に応じた振幅の駆動信号 D Q を出力する。例えば矩形波の駆動信号を出力する。この駆動信号出力回路 50 はコンパレータ等により実現できる。

【 0 0 4 9 】

同期信号出力回路 52 は、増幅回路 32 から信号 D V を受け、同期信号 S Y C (参照信号) を検出回路 60 に出力する。この同期信号出力回路 52 は、正弦波 (交流) の信号 D V の 2 値化処理を行って矩形波の同期信号 S Y C を生成するコンパレータや、同期信号 S Y C の位相調整を行う位相調整回路 (移相器) などにより実現できる。

30

【 0 0 5 0 】

検出回路 60 は、増幅回路 61、同期検波回路 81、A / D 変換回路 100 を含む。増幅回路 61 は、振動子 10 からの第 1、第 2 の検出信号 I Q 1、I Q 2 を受けて、信号増幅や電荷 - 電圧変換を行う。同期検波回路 81 は、駆動回路 30 からの同期信号 S Y C に基づいて同期検波を行う。A / D 変換回路 100 は、同期検波後の信号の A / D 変換を行う。なお検出回路 60 の構成としては、後述するように種々の方式の構成を採用することができる。これらについては後に詳述する。

40

【 0 0 5 1 】

検出装置 20 はレジスター部 150 を更に含むことができる。レジスター部 150 は、モード切替レジスター 152、期間設定レジスター 154 などの各種のレジスターを有する。モード切替レジスター 152 は、間欠駆動を行う間欠駆動モードと、間欠駆動を行わず通常駆動を行う通常駆動モードの切替の設定を行うためのレジスターである。なお、通常駆動モードは、振動子 10 を連続的に駆動させるモードである。期間設定レジスター 154 は、間欠駆動の駆動期間、非駆動期間の長さを設定するためのレジスターである。レジスター部 150 の各レジスターへのレジスター値の設定処理は、図示しない制御部により行われる。

【 0 0 5 2 】

50

3. 間欠駆動

本実施形態では駆動回路30は、振動子10を間欠的に駆動する間欠駆動を行う。具体的には駆動回路30は、振動子10の駆動期間と非駆動期間とが交互に繰り返される間欠駆動を行う。

【0053】

ここで、間欠駆動の駆動期間は、振動子10からフィードバックされた信号DIに基づく駆動信号DQにより、振動子10が駆動される期間である。例えば駆動期間においては、ゲイン制御回路40により、発振ループのゲインであるループゲインが1になるようにゲイン制御が行われる。駆動回路30の駆動信号出力回路50は、駆動期間において、このようなゲイン制御を行うゲイン制御回路40から制御電圧DSを受けて、ループゲインが1になるように制御された駆動信号DQを振動子10に出力する。

10

【0054】

一方、間欠駆動の非駆動期間は、振動子10からフィードバックされた信号DIに基づく駆動信号DQ（ループゲインが1になるように制御された駆動信号）が、駆動回路30から出力されない期間である。具体的には、この非駆動期間においては、駆動信号出力回路50は、固定電圧を出力する、或いは、その出力ノードをハイインピーダンス状態に設定する。即ち、非駆動期間においては、駆動信号出力回路50は、矩形波（或いは正弦波）の駆動信号DQを出力しない。

【0055】

そして検出回路60は、間欠駆動における振動子10の駆動期間と非駆動期間のうち非駆動期間において、所望信号（コリオリ力信号）の検出処理を行う。具体的には検出回路60は、間欠駆動の駆動期間では、所望信号の検出処理を行わず、間欠駆動の非駆動期間において、所望信号の検出処理を行う。

20

【0056】

また図2に示すように、駆動回路30は、振動子10からの検出信号DIを増幅する増幅回路32と、増幅回路32の出力信号DVに基づいてゲイン制御を行うゲイン制御回路40を含んでいる。そして間欠駆動の非駆動期間においては、増幅回路32の動作は非停止となる一方で、ゲイン制御回路40の少なくとも一部の回路（例えば積分器）の動作が停止してもよい。例えばゲイン制御回路40の少なくとも一部の回路が、動作ディスエーブル状態（例えば動作電流の停止）に設定されてもよい。

30

【0057】

一方、検出回路60は、同期検波を行う同期検波回路81、及び検出信号のA/D変換を行うA/D変換回路100の少なくとも一方を含んでいる。そして駆動期間においては、同期検波回路81の同期検波動作及びA/D変換回路100のA/D変換動作の少なくとも一方が停止する。例えば同期検波回路81への同期信号SYCの供給が停止されて、同期検波動作が停止する。或いは、A/D変換回路100が、入力信号のサンプリング動作を停止して、A/D変換動作を停止する。

【0058】

図3に駆動回路30の各信号の信号波形例を示す。図3では、駆動期間と非駆動期間が交互に繰り返される間欠駆動が行われている。例えば駆動回路30は、駆動期間においては矩形波の駆動信号DQを出力し、非駆動期間においてはその出力ノードをハイインピーダンス状態に設定している。

40

【0059】

図3に示すように、間欠駆動により駆動回路30の非駆動期間が存在している場合でも、振動子10の発振動作は停止せず、発振動作は継続する。例えば非駆動期間において駆動回路30がその出力ノードをハイインピーダンス状態に設定しても、振動子10の発振動作は停止せずに継続する。このため、駆動信号DQのノードには正弦波の信号が現れる。そして駆動期間のみならず非駆動期間においても、同期信号出力回路52からの同期信号SYCは停止せずに出力される。また増幅回路32の出力信号DVも、非駆動期間を要因とする振幅の減衰は見られるものの、発振状態を示す信号となっている。

50

【 0 0 6 0 】

このように駆動期間と非駆動期間を繰り返す間欠駆動を行えば、非駆動期間での消費電流が削減されるため、低消費電力化を実現できる。そして、このように間欠駆動により低消費電力化を図った場合にも、振動子 1 0 の発振動作は停止せず、同期信号 S Y C を検出回路 6 0 に供給できるため、検出回路 6 0 での検出処理も適正に実行できるようになる。即ち、低消費電力化と適正な検出処理を両立して実現できる。

【 0 0 6 1 】

また、例えば駆動回路 3 0 が矩形波の駆動信号 D Q により振動子 1 0 を駆動した場合に、駆動信号 D Q には、駆動周波数の周波数成分のみならず高調波成分も含まれることになる。そして、振動子 1 0 を実装する T A B やパッケージなどの周辺部材が、この高調波成分に共振してしまうことなどが原因で、不要信号が発生するおそれがある。即ち、周辺部材の共振周波数が、駆動信号 D Q の高調波成分の周波数に一致すると、一時的な共振現象が発生し、検出信号に不要信号が発生する。従って、この不要信号が原因で検出信号の S / N 比が劣化して、検出回路 6 0 の検出性能が低下してしまうおそれがある。

10

【 0 0 6 2 】

そこで本実施形態では、検出回路 6 0 は、間欠駆動の駆動期間では、所望信号の検出処理を行わず、非駆動期間において、所望信号の検出処理を行う。つまり、図 3 に示すように、間欠駆動の非駆動期間においても発振動作が停止せず、同期信号 S Y C が正常に検出回路 6 0 に出力されていることに着目して、この同期信号 S Y C を用いて、非駆動期間において検出処理を行う。

20

【 0 0 6 3 】

即ち、駆動信号 D Q の駆動周波数において、振動子 1 0 の Q 値は高いが、上述の周辺部材の Q 値は低い。従って、非駆動期間において駆動信号 D Q による駆動が停止した場合に、Q 値が高い振動子 1 0 の発振動作は継続するが、Q 値が低い周辺部材の一時的な共振動作は停止する。従って、非駆動期間においては、周辺部材の一時的な共振動作を原因とする不要信号が無くなる。そこで、検出回路 6 0 が、不要信号が無くなる非駆動期間において検出処理を行うことで、S / N 比の高い検出信号に対して検出処理を行うことが可能になり、検出回路 6 0 の検出性能を向上できる。

【 0 0 6 4 】

なお、間欠駆動の非駆動期間において、非駆動期間の開始時点から、例えば駆動周波数（例えば 5 0 ~ 1 5 0 K H z ）のクロックの少なくとも 1 クロック期間が経過した後に、検出回路 6 0 が検出処理を開始すればよい。例えば非駆動期間の開始時点においては、上記の周辺部材の共振動作は未だ停止していない可能性がある。しかしながら、駆動周波数における周辺部材の Q 値は非常に低いことが想定される。従って、非駆動期間の開始時点から、少なくとも 1 クロック期間が経過した後に検出動作を行えば、周辺部材の共振動作を原因とする不要信号を回避した検出処理を実現することが可能になる。

30

【 0 0 6 5 】

また、間欠駆動の非駆動期間において検出動作を行う場合には、駆動期間において検出回路 6 0 を動作させることは、電力の無駄な消費になってしまう。そこで駆動期間においては、同期検波回路 8 1 の同期検波動作や A / D 変換回路 1 0 0 の A / D 変換動作を停止させる。このようにすれば、検出動作を行わない駆動期間において、同期検波回路 8 1 や A / D 変換回路 1 0 0 の動作が停止することで、無駄な電力消費が抑えられ、低消費電力化を図れる。そして、駆動期間の後の非駆動期間において、同期検波回路 8 1 や A / D 変換回路 1 0 0 を動作させて検出処理を行えば、所望信号の適正な検出処理を実現できるようになる。

40

【 0 0 6 6 】

また、間欠駆動の非駆動期間においては発振ループを維持する必要がなく、発振ループを形成するための回路での電力消費は、無駄な電力消費となる。そこで非駆動期間においては、ゲイン制御回路 4 0 の少なくとも一部の回路（例えば積分器等）の動作を停止させる。また駆動信号出力回路 5 0 の駆動も停止させる。一方、非駆動期間において、増幅回

50

路 3 2 の動作については非停止とする。

【 0 0 6 7 】

このように非駆動期間において、ゲイン制御回路 4 0 の動作を停止することで、無駄な電力消費を防止できる。また、ゲイン制御回路 4 0 の動作が停止すると、A G C ループの経路が遮断されるが、非駆動期間においては A G C ループを維持する必要性がないため、問題は生じない。一方、非駆動期間においては、上述のように検出回路 6 0 が検出処理を行うため、同期信号 S Y C の供給が必要になる。このため、非駆動期間においては、増幅回路 3 2 については停止せずに動作させて、増幅回路 3 2 からの信号 D V を同期信号出力回路 5 2 に供給する。これにより、同期信号出力回路 5 2 は、信号 D V を 2 値化することで得られる同期信号 S Y C を検出回路 6 0 に供給できるようになる。従って、検出回路 6 0 は、この同期信号 S Y C を用いて非駆動期間において検出処理を実行できるようになる。

10

【 0 0 6 8 】

また図 3 では、駆動期間、非駆動期間の長さを、各々、 $T 1$ 、 $T 2$ とした場合に、例えば $T 1 = T 2$ となるように間欠駆動が行われている。これらの駆動期間、非駆動期間の長さ $T 1$ 、 $T 2$ は、図 2 の期間設定レジスタ 1 5 4 を用いて任意の長さに設定可能である。

【 0 0 6 9 】

例えば間欠駆動を行うと、実質的な駆動時間が短くなるため、所望信号の検出の感度が低下するおそれがある。一方、検出回路 6 0 が、駆動期間においては検出動作を行わず、非駆動期間においてだけ検出動作を行うと、検出効率が低下するおそれがある。特に A / D 変換回路 1 0 0 として シグマ方式を採用した場合には、検出時間の減少により検出効率が低下する。図 3 のように駆動期間、非駆動期間の長さ $T 1$ 、 $T 2$ を、 $T 1 = T 2$ とすれば、感度の減少と検出効率の低下の偏りがなくなり、バランスを保つことができる。

20

【 0 0 7 0 】

一方、検出効率よりも感度の方を優先する状況の場合には、 $T 1 > T 2$ とすればよく、感度よりも検出効率の方を優先する状況の場合には、 $T 1 < T 2$ とすればよい。図 2 に示すような期間設定レジスタ 1 5 4 を設ければ、 $T 1$ 、 $T 2$ を任意に設定できるため、上述の種々の状況に対応できるようになる。

【 0 0 7 1 】

また図 2 では、モード切替レジスタ 1 5 2 が設けられており、このモード切替レジスタ 1 5 2 の設定により、間欠駆動を行う間欠駆動モードと、通常駆動を行う通常駆動モードの切替を行うこと可能になる。通常駆動は、非駆動期間がなく駆動期間だけが続く駆動である。例えば、 $T A B$ やパッケージの共振の影響が少ない、又は感度の減少や検出効率の低下が好ましくないような状況の場合には、モード切替レジスタ 1 5 2 により、駆動モードを通常駆動モードに設定すればよい。一方、感度の減少や検出効率の低下よりも、不要信号等の低減や低消費電力を優先するような状況の場合には、モード切替レジスタ 1 5 2 により、駆動モードを間欠駆動モードに設定すればよい。こうすることで種々の状況に対応できるようになる。

30

【 0 0 7 2 】

また図 3 のような間欠駆動を行うと、駆動期間と非駆動期間の繰り返し周波数の信号が、検出信号の変調信号のように見えてしまい、この変調信号が検出回路 6 0 において検出されてしまうおそれがある。例えば、駆動期間と非駆動期間の繰り返し周波数が、数十 H z の周波数であると、所望信号の周波数帯域と重なってしまい、所望信号の検出性能を劣化させてしまう。

40

【 0 0 7 3 】

例えば検出回路 6 0 には、所望信号を通過して不要信号を減衰（遮断）する周波数特性を有するローパスフィルター（例えば A / D 変換回路の前段に設けられるフィルターや D S P 部のデジタルフィルター）が設けられる。そして、駆動期間と非駆動期間の繰り返し周波数が、所望信号の周波数帯域と重なってしまうと、このローパスフィルターにより所

50

望信号と分離できなくなってしまう、所望信号の検出性能を劣化させてしまう。

【 0 0 7 4 】

そこで、このローパスフィルターのカットオフ周波数を f_c とし、駆動期間、非駆動期間の長さを、各々、 T_1 、 T_2 とした場合には、 $1 / (T_1 + T_2) > f_c$ と設定されていることが望ましい。即ち、駆動期間と非駆動期間の繰り返し周波数を、ローパスフィルターのカットオフ周波数 f_c よりも十分に高い周波数に設定する。例えばローパスフィルターのカットオフ周波数 f_c が $10\text{ Hz} \sim$ 数十 Hz である場合には、 $1 / (T_1 + T_2)$ で表される繰り返し周波数を、例えば $1\text{ kHz} \sim$ 数 kHz 程度に設定する。こうすることで、間欠駆動における駆動期間と非駆動期間の繰り返し周波数が原因で所望信号の検出性能が劣化する事態を抑止できるようになる。

10

【 0 0 7 5 】

4 . 駆動回路の詳細な構成及び動作

図 4、図 5 は、駆動回路 30 の詳細な構成及び動作を説明する図である。

【 0 0 7 6 】

図 4 において、増幅回路 32 は、ローパスフィルター特性をもつ積分型の電流 - 電圧変換回路であり、演算増幅器 OPE、キャパシター CE、抵抗素子 RE を有する。演算増幅器 OPE の非反転入力端子 (第 1 の入力端子) は所定電位 (例えば AGND) に設定され、反転入力端子 (第 2 の入力端子) には振動子 10 からの信号 DI が入力される。キャパシター CE 及び抵抗素子 RE は、増幅回路 32 の出力ノードと演算増幅器 OPE の反転入力端子のノードとの間に設けられる。

20

【 0 0 7 7 】

ゲイン制御回路 40 (AGC) は、発振定常状態において、ループゲインが 1 になるようにゲインを自動調整する回路であり、全波整流器 42、積分器 44 を有する。なお、ゲイン制御回路 40 に、発振状態を検出する発振検出器を含ませてもよい。

【 0 0 7 8 】

全波整流器 42 は、増幅回路 32 の出力信号 DV を全波整流する回路であり、演算増幅器 OPF、抵抗素子 RF1、RF2、コンパレータ CP3、スイッチ素子 SF1、SF2、インバータ回路 INV を有する。

【 0 0 7 9 】

抵抗素子 RF1 は、信号 DV のノードと演算増幅器 OPF の反転入力端子のノードとの間に設けられ、抵抗素子 RF2 は、演算増幅器 OPF の出力ノードと反転入力端子のノードとの間に設けられる。

30

【 0 0 8 0 】

スイッチ素子 SF1 は、演算増幅器 OPF の出力ノードと積分器 44 の入力ノードとの間に設けられ、スイッチ素子 SF2 は、信号 DV のノードと積分器 44 の入力ノードとの間に設けられる。そしてスイッチ素子 SF1、SF2 は、信号 DV の電圧と所定電位の電圧とを比較するコンパレータ CP3 の出力信号に基づいて、排他的にオン・オフ制御される。これにより信号 DR は、信号 DV を全波整流した信号になる。

【 0 0 8 1 】

積分器 44 は、全波整流器 42 により全波整流された信号 DR の積分処理を行う回路であり、演算増幅器 OPG、抵抗素子 RG、キャパシター CG を有する。演算増幅器 OPG の非反転入力端子は所定電圧 VR3 に設定される。抵抗素子 RG は積分器 44 の入力ノードと演算増幅器 OPG の反転入力端子のノードとの間に設けられ、キャパシター CG は、演算増幅器 OPG の出力ノードと反転入力端子のノードとの間に設けられる。ゲイン制御回路 40 の出力信号である積分器 44 の出力信号は、制御電圧 DS として、駆動信号出力回路 50 のコンパレータ CP1 に供給される。

40

【 0 0 8 2 】

駆動信号出力回路 50 を構成するコンパレータ CP1 は、非反転入力端子が所定電位 (例えば AGND) に設定され、反転入力端子に増幅回路 32 からの信号 DV が入力される。そして信号 DV を 2 値化した矩形波の駆動信号 DQ を出力する。矩形波の駆動信号 D

50

Qを振動子10に出力しても、振動子10が持つ周波数フィルター作用によって不要な高調波が低減され、目的とする周波数（共振周波数）の駆動信号を得ることが可能になる。このコンパレータCP1は、差動部と、差動部に接続された出力部を有する。そして、ゲイン制御回路40（積分器）からの制御電圧DSは、コンパレータCP1の出力部の電源電圧（高電位側電源電圧）として供給される。これにより、コンパレータCP1が出力する駆動信号DQの振幅は、ゲイン制御回路40の制御電圧DSに応じて変化するようになり、発振定常状態においてループゲインを1にするゲイン制御が実現される。なお、駆動信号出力回路50は、矩形波ではなく正弦波の駆動信号DQを出力する回路であってもよい。

【0083】

10

同期信号出力回路52は、コンパレータCP2と位相調整回路54（移相器）を有する。コンパレータCP2は、非反転入力端子が所定電位（例えばAGND）に設定され、反転入力端子に増幅回路32からの信号DVが入力される。そして信号DVを2値化した信号SDETを出力する。位相調整回路54は、スイッチングミキサー80での同期検波が適切に行われるように、信号SDETの位相を調整して、同期信号SYCとして検出回路60のスイッチングミキサー80に出力する。

【0084】

なお駆動回路30の構成は図4の構成に限定されず、種々の変形実施が可能である。例えば図4では、駆動信号出力回路50が、矩形波の駆動信号DQを出力するコンパレータCP1により構成されているが、駆動信号出力回路50を、正弦波の駆動信号DQを出力するゲインアンプ等により構成してもよい。この場合には、ゲイン制御回路40からの制御電圧DSに基づいて、ゲインアンプのゲインを制御することで、駆動信号DQの振幅を制御すればよい。また図4では、駆動信号出力回路50のコンパレータCP1と同期信号出力回路52のコンパレータCP2とが別体の回路として示されているが、これに限定されるものではない。例えばコンパレータCP1とCP2とでその差動部が共用される複合型のコンパレータを用いてもよい。

20

【0085】

図4は、間欠駆動の駆動期間での駆動回路30の状態を示す図であり、図5は、間欠駆動の非駆動期間での駆動回路30の状態を示す図である。図4、図5に示すように、積分器44の抵抗素子RGの一端と演算増幅器OPGの反転入力端子のノードとの間にスイッチ素子SWが設けられている。

30

【0086】

図4に示すように駆動期間においては、スイッチ素子SWはオンになる。これによりゲイン制御回路40によるAGCループが形成される。そして駆動信号出力回路50のコンパレータCP1は、ゲイン制御回路40のAGCループにより振幅が制御される矩形波の駆動信号DQを出力する。

【0087】

一方、図5に示すように非駆動期間においては、スイッチ素子SWはオフになり、AGCループは遮断される。そして駆動信号出力回路50のコンパレータCP1は、固定電圧を出力したり、或いはその出力ノードがハイインピーダンス状態に設定される。これにより図3に示すような駆動期間と非駆動期間が繰り返される間欠駆動が実現される。

40

【0088】

なお、図4、図5ではスイッチ素子SWを設けて、駆動期間か非駆動期間かに応じてスイッチ素子SWをオン・オフ制御しているが、必ずしもこのスイッチ素子SWを設ける必要はない。例えば、スイッチ素子SWを設けずに、図4の駆動期間においては積分器44を動作させる一方で、図5の非駆動期間においては、動作電流を停止することで積分器44の動作を停止させて、間欠駆動を実現してもよい。

【0089】

また図4に示すように、駆動期間においては、増幅回路32、ゲイン制御回路40、駆動信号出力回路50、同期信号出力回路52は、動作状態に設定される。一方、図5に示

50

すように、非駆動期間においては、増幅回路 3 2 は動作状態に設定されるが、ゲイン制御回路 4 0 の一部の回路である積分器 4 4 が停止状態に設定される。

【 0 0 9 0 】

また図 5 の非駆動期間において、駆動信号出力回路 5 0 は、矩形波の駆動信号 D Q の出力を停止するが、同期信号出力回路 5 2 は動作状態に設定されて、矩形波の同期信号 S Y C を検出回路 6 0 に出力する。なお図 5 では全波整流器 4 2 が動作状態に設定されているが、停止状態に設定するようにしてもよい。

【 0 0 9 1 】

図 6 (A) ~ 図 6 (C) は、駆動信号出力回路 5 0 のコンパレータ C P 1 の出力部の構成及び動作を説明する図である。コンパレータ C P 1 は、信号 D V と所定電位 (A G N D) が入力される差動部と、差動部に接続される出力部を有する。この出力部は、図 6 (A) ~ 図 6 (C) に示すように、P 型のトランジスタ T A 1 及び N 型のトランジスタ T A 2 と、スイッチ素子 S A 1 ~ S A 5 を有する。

10

【 0 0 9 2 】

トランジスタ T A 1、T A 2 は、制御電圧 D S の供給ノードと所定電位 (A G N D) の供給ノードとの間に直列接続される。スイッチ素子 S A 1 は、コンパレータ C P 1 の差動部の出力信号 D F Q の入力ノードとトランジスタ T A 1 のゲートノードとの間に設けられる。スイッチ素子 S A 2 は、差動部の出力信号 D F Q の入力ノードとトランジスタ T A 2 のゲートノードとの間に設けられる。スイッチ素子 S A 3 は、制御電圧 D S の供給ノードとトランジスタ T A 1 のゲートノードとの間に設けられる。スイッチ素子 S A 4 は、所定電位の供給ノードとトランジスタ T A 2 のゲートノードとの間に設けられる。スイッチ素子 S A 5 は、出力部の駆動信号 D Q の出力ノードと所定電位の供給ノードとの間に設けられる。

20

【 0 0 9 3 】

図 4 の駆動期間のような通常時においては、図 6 (A) に示すように、スイッチ素子 S A 1、S A 2 がオンになり、スイッチ素子 S A 3、S A 4、S A 5 がオフになる。これにより、差動部からの出力信号 D F Q が出力部によりバッファリングされて、矩形波の駆動信号 D Q が出力されるようになる。

【 0 0 9 4 】

一方、非駆動期間において固定電圧を出力する場合には、図 6 (B) に示すように、スイッチ素子 S A 1、S A 2 がオフになり、スイッチ素子 S A 3、S A 4、S A 5 がオンになる。スイッチ素子 S A 3、S A 4 がオンになることで、トランジスタ T A 1、T A 2 がオフになる。またスイッチ素子 S A 5 がオンになることで、出力部の出力ノードが固定電位 (例えば A G N D) に設定され、駆動電圧出力回路 5 0 は固定電圧を出力することになる。

30

【 0 0 9 5 】

また、非駆動期間においてハイインピーダンス状態に設定する場合には、図 6 (C) に示すように、スイッチ素子 S A 1、S A 2、S A 5 がオフになり、スイッチ素子 S A 3、S A 4 がオンになる。スイッチ素子 S A 3、S A 4 がオンになることで、トランジスタ T A 1、T A 2 がオフになる。これにより、駆動電圧出力回路 5 0 の出力ノードである出力部の出力ノードが、ハイインピーダンス状態に設定されることになる。

40

【 0 0 9 6 】

5 . 各種検出方式の検出回路の構成及び動作

次に、各種検出方式の検出回路 6 0 の構成及び動作について説明する。図 7 (A)、図 7 (B)、図 8 は、全差動スイッチングミキサー方式の検出回路 6 0 の構成及び動作の説明図である。

【 0 0 9 7 】

図 7 (A) に示すように、全差動スイッチングミキサー方式の検出回路 6 0 は、第 1、第 2 の Q / V 変換回路 6 2、6 4、第 1、第 2 のゲイン調整アンプ 7 2、7 4、スイッチングミキサー 8 0、第 1、第 2 のフィルター 9 2、9 4、A / D 変換回路 1 0 0、D S P

50

部 1 1 0 (デジタル信号処理部) を含む。

【 0 0 9 8 】

Q / V 変換回路 6 2、6 4 (電荷 - 電圧変換回路) には振動子 1 0 からの差動の第 1、第 2 の検出信号 I Q 1、I Q 2 が入力される。そして Q / V 変換回路 6 2、6 4 は振動子 1 0 で発生した電荷 (電流) を電圧に変換する。これらの Q / V 変換回路 6 2、6 4 は帰還抵抗を有する連続型の電荷 - 電圧変換回路である。

【 0 0 9 9 】

ゲイン調整アンプ 7 2、7 4 は、Q / V 変換回路 6 2、6 4 の出力信号 Q A 1、Q A 2 をゲイン調整して増幅する。ゲイン調整アンプ 7 2、7 4 は、いわゆるプログラブルゲインアンプであり、図示しない制御回路により設定されたゲインで信号 Q A 1、Q A 2 を増幅する。例えば A / D 変換回路 1 0 0 の電圧変換範囲に適合する振幅の信号に増幅する。

10

【 0 1 0 0 】

スイッチングミキサー 8 0 は、駆動回路 3 0 からの同期信号 S Y C に基づいて差動の同期検波を行うミキサーである。具体的にはスイッチングミキサー 8 0 では、ゲイン調整アンプ 7 2 の出力信号 Q B 1 が第 1 の入力ノード N I 1 に入力され、ゲイン調整アンプ 7 4 の出力信号 Q B 2 が第 2 の入力ノード N I 2 に入力される。そして駆動回路 3 0 からの同期信号 S Y C により差動の同期検波を行って、差動の第 1、第 2 の出力信号 Q C 1、Q C 2 を第 1、第 2 の出力ノード N Q 1、N Q 2 に出力する。このスイッチングミキサー 8 0 により、前段の回路 (Q / V 変換回路、ゲイン調整アンプ) が発生したノイズ (1 / f ノイズ) などの不要信号が高周波帯域に周波数変換される。また、コリオリ力に応じた信号である所望信号が直流信号に落とし込まれる。

20

【 0 1 0 1 】

フィルター 9 2 には、スイッチングミキサー 8 0 の第 1 の出力ノード N Q 1 からの第 1 の出力信号 Q C 1 が入力される。フィルター 9 4 には、スイッチングミキサー 8 0 の第 2 の出力ノード N Q 2 からの第 2 の出力信号 Q C 2 が入力される。これらのフィルター 9 2、9 4 は、例えば不要信号を除去 (減衰) して所望信号を通過させる周波数特性を有するローパスフィルターである。例えばスイッチングミキサー 8 0 により高周波帯域に周波数変換された 1 / f ノイズ等の不要信号は、フィルター 9 2、9 4 により除去される。またフィルター 9 2、9 4 は、例えばパッシブ素子で構成されるパッシブフィルターである。即ち、フィルター 9 2、9 4 としては、演算増幅器を用いずに、抵抗素子やキャパシターなどのパッシブ素子で構成されるパッシブフィルターを採用できる。

30

【 0 1 0 2 】

A / D 変換回路 1 0 0 は、フィルター 9 2 からの出力信号 Q D 1 とフィルター 9 4 からの出力信号 Q D 2 を受けて、差動の A / D 変換を行う。具体的には、A / D 変換回路 1 0 0 は、フィルター 9 2、9 4 をアンチエイリアシング用のフィルター (前置きフィルター) として、出力信号 Q D 1、Q D 2 のサンプリングを行って A / D 変換を行う。そして本実施形態では、フィルター 9 2 からの出力信号 Q D 1 及びフィルター 9 4 からの出力信号 Q D 2 は、アクティブ素子を介さずに A / D 変換回路 1 0 0 に入力される。

【 0 1 0 3 】

A / D 変換回路 1 0 0 としては、例えば シグマ型や逐次比較型などの種々の方式の A / D 変換回路を採用できる。シグマ型を採用する場合には、例えば 1 / f ノイズ低減のための C D S (Correlated double sampling) やチョッパーの機能などを有し、例えば 2 次の シグマ変調器などにより構成される A / D 変換回路を用いることができる。また逐次比較型を採用する場合には、例えば D A C の素子バラツキによる S / N 比の劣化を抑制する D E M (Dynamic Element Matching) の機能などを有し、容量 D A C 及び逐次比較制御ロジックにより構成される A / D 変換回路を用いることができる。

40

【 0 1 0 4 】

D S P (Digital Signal Processing) 部 1 1 0 は、各種のデジタル信号処理を行う。例えば D S P 部 1 1 0 は、例えば所望信号のアプリケーションに応じた帯域制限のデジタ

50

ルフィルター処理や、A/D変換回路100等により発生したノイズを除去するデジタルフィルター処理を行う。また、ゲイン補正(感度調整)、オフセット補正などのデジタル補正処理を行う。

【0105】

この図7(A)の検出回路60では、全差動スイッチングミキサー方式を採用している。即ち、振動子10からの差動の検出信号IQ1、IQ2は、Q/V変換回路62、64、ゲイン調整アンプ72、74により信号増幅やゲイン調整が行われて、差動の信号QB1、QB2としてスイッチングミキサー80に入力される。そして、これらの差動の信号QB1、QB2に対して、スイッチングミキサー80により、不要信号が高周波帯域に周波数変換される同期検波処理が行われる。そして、フィルター92、94により、高周波帯域に周波数変換された不要信号が除去されて、差動の信号QD1、QD2としてA/D変換回路100に入力されて、差動のA/D変換が行われる。

10

【0106】

このような全差動スイッチングミキサー方式の検出回路60によれば、Q/V変換回路62、64やゲイン調整アンプ72、74で発生した $1/f$ ノイズ等は、スイッチングミキサー80での周波数変換とフィルター92、94によるローパスフィルター特性により除去される。そしてゲイン調整アンプ72、74とA/D変換回路100の間には、ゲインは稼げないが発生ノイズが少ない($1/f$ ノイズが発生しない)スイッチングミキサー80や、低ノイズのパッシブ素子により構成されるフィルター92、94が設けられる構成となっている。従って、Q/V変換回路62、64やゲイン調整アンプ72、74で発生したノイズが除去されると共に、スイッチングミキサー80やフィルター92、94が発生するノイズも最小限に抑えられるため、低ノイズの状態の信号QD1、QD2をA/D変換回路100に入力して、A/D変換できるようになる。しかも、信号QD1、QD2を差動信号としてA/D変換できるため、シングルエンドの信号でA/D変換する場合に比べて、S/N比を更に向上できるようになる。

20

【0107】

そして、前述したように本実施形態では、間欠駆動の非駆動期間において検出回路60が検出処理を行う一方で、駆動期間においては、検出回路60の少なくとも一部の回路の動作が停止する。これにより低消費電力化が実現される。

【0108】

例えば図7(A)の全停止方式では、間欠駆動の駆動期間において検出回路60の全ての回路が停止する。即ちQ/V変換回路62、64、ゲインアンプ72、74、スイッチングミキサー80、A/D変換回路100、DSP部110の全てが停止する。この全停止方式によれば、駆動期間での検出回路60の電力消費が最小限になり、消費電力の削減効果が最も大きくなる。なお、回路の動作の停止は、例えば供給クロックを停止したり、アナログ回路の動作電流をオフにすることなどにより実現できる。

30

【0109】

一方、図7(B)のADC停止方式では、間欠駆動の駆動期間においてA/D変換回路100及びDSP部110の動作が停止する。そしてQ/V変換回路62、64、ゲインアンプ72、74、スイッチングミキサー80は、駆動期間においても動作を継続する。例えばアナログ回路であるQ/V変換回路62、63、ゲインアンプ72、74は、一旦動作が停止すると、安定した動作状態に復帰するまでに長い時間を要する場合がある。従って、このような場合には、図7(A)の全停止方式に比べて消費電力の削減効果は小さいが、図7(B)の方式が望ましい。即ち、駆動期間から非駆動期間に切り替わって、検出回路60が検出処理を開始する際に、Q/V変換回路62、64等のアナログ回路が安定動作状態になっているため、検出処理を直ぐに開始できるようになる。なお図7(B)においてスイッチングミキサー80の動作を停止するようにしてもよい。

40

【0110】

また図8の検波停止方式では、間欠駆動の駆動期間においてスイッチングミキサー80だけが動作を停止する。例えば駆動期間においてスイッチングミキサー80への同期信号

50

S Y Cの供給を停止（例えばS Y Cの電圧レベルをLレベルに固定）することで、スイッチングミキサ80の動作が停止する。そしてQ/V変換回路62、64、ゲインアンプ72、74、A/D変換回路100、DSP部110は駆動期間においても動作を継続する。このようにすれば、A/D変換回路100やDSP部110が、動作が停止してから安定した動作状態に復帰するまでに長い時間を要する場合にも、これに対処できるようになる。即ち、駆動期間から非駆動期間に切り替わって、検出回路60が検出処理を開始する際に、A/D変換回路100等が安定動作状態となっているため、検出処理を直ぐに開始できるようになる。一方、スイッチングミキサ80は、後述するようにスイッチ素子により構成されるものであり、演算増幅器のようなアナログ回路を有しない。従って、駆動期間から非駆動期間に切り替わって検出回路60が検出処理を開始する際に、スイッチングミキサ80は直ぐに安定した同期検波動作を開始できる。

10

【0111】

図9(A)～図9(C)は、ダイレクトサンプリング方式の検出回路60の構成及び動作の説明図である。

【0112】

ダイレクトサンプリング方式の検出回路60は、分散型Q/V変換回路260、A/D変換回路270、DSP部280を有する。このダイレクトサンプリング方式は、回路の小規模化という意味において最も優位な構成となる。但し、A/D変換回路270の直前にアンチエイリアシング用のフィルターがないため、折り返し雑音による性能劣化は避けられないという課題がある。また、分散型Q/V変換回路260の低ノイズ化のために消費電流を増やすと、帯域が伸び、折り返し雑音が増す結果となり、低ノイズ化が難しいという課題もある。これに対して図7(A)の全差動スイッチングミキサ方式では、Q/V変換回路62、64は、帰還抵抗素子を有する連続型の電荷-電圧変換回路となっているため、ダイレクトサンプリング方式で生じる折り返し雑音による性能劣化の問題を防止でき、小規模の回路構成で低ノイズでの検出処理を実現できるという利点がある。

20

【0113】

そして、このダイレクトサンプリング方式の検出回路60の停止方式としても、図9(A)の全停止方式、図9(B)のADC停止方式、図9(C)の検波停止方式がある。

【0114】

例えば図9(A)の全停止方式では、間欠駆動の駆動期間において、分散型Q/V変換回路260、A/D変換回路270、DSP部280の全てが停止する。これにより、駆動期間での検出回路60の電力消費が最小限になり、消費電力の削減効果が最も大きくなる。

30

【0115】

一方、図9(B)のADC停止方式では、間欠駆動の駆動期間において、A/D変換回路270及びDSP部280の動作が停止し、分散型Q/V変換回路260が動作状態を継続する。これにより、駆動期間から非駆動期間に切り替わって検出回路60が検出処理を開始する際に、分散型Q/V変換回路270が安定動作状態となっているため、検出処理を直ぐに開始できるようになる。

【0116】

また図9(C)の検波停止方式では、間欠駆動の駆動期間において分散型Q/V変換回路260だけが動作を停止する。そして駆動期間において、A/D変換回路270、DSP部280は動作状態を継続する。このようにすれば、A/D変換回路270やDSP部280が、動作が停止してから安定した動作状態に復帰するまでに長い時間を要する場合にも、これに対処できるようになる。

40

【0117】

図10(A)、図10(B)、図11は、アナログ同期検波方式の検出回路60の構成及び動作の説明図である。

【0118】

アナログ同期検波方式の検出回路60は、Q/V変換回路362、364、差動増幅回

50

路 366、ハイパスフィルター 367、ACアンプ 368、オフセット調整回路 370、同期検波回路 380、ローパスフィルター 382、ゲイン調整アンプ 384、DCアンプ 386、SCF 388（スイッチトキャパシターフィルター）を有する。また、例えば検出装置の外付けの回路として、A/D変換回路 390やDSP部 392（デジタルフィルター）が設けられている。

【0119】

このアナログ同期検波方式では、例えば検出回路 60での信号のゲインを大きくとることで、ノイズ特性を向上できるという利点がある。但し、回路ブロック数が多くなり、回路が大規模化したり、電流を多く消費するアナログの回路ブロックが多いため、電力が無駄に消費されて、消費電力が過大になってしまうという課題がある。これに対して図 7（A）の全差動スイッチングミキサー方式は、アナログ同期検波方式に比べて回路ブロック数が少なく、回路の小規模化や消費電力の低減化を容易に実現できるという利点がある。また全差動スイッチングミキサー方式では、振動子 10からの差動の信号 IQ1、IQ2は、差動信号の状態のまま、ゲイン調整、同期検波処理、フィルター処理が行われ、A/D変換回路 100に入力されてA/D変換が行われる。このため、シングルエンド信号の状態ではフィルター処理、同期検波処理、ゲイン調整処理等が行われるアナログ同期検波方式に比べて、ノイズ低減の点で有利な構成となる。例えばアナログ同期検波方式では、同期検波回路 380の前段において、ACアンプ 368からのシングルエンドの第 1の信号を反転アンプで反転して第 2の信号を生成し、これらの第 1、第 2の信号を用いて同期検波を行う。このため、第 1の信号のノイズと第 2の信号のノイズは等価ではなく、同期検波回路 380での周波数変換を行っても、上記の反転アンプのノイズ等が残存してしまう。これに対して、全差動スイッチングミキサー方式では、このような反転アンプの残存ノイズ等は発生しないため、S/N比を向上できる。

【0120】

そして、このアナログ同期検波方式の検出回路 60の停止方式としても、図 10（A）の全停止方式、図 10（B）のADC停止方式、図 11の検波停止方式がある。

【0121】

例えば図 10（A）の全停止方式では、間欠駆動の駆動期間において、検出回路 60の全ての回路が停止する。これにより、駆動期間での検出回路 60の電力消費が最小限になり、消費電力の削減効果が最も大きくなる。

【0122】

一方、図 10（B）のADC停止方式では、間欠駆動の駆動期間において、A/D変換回路 390及びDSP部 392の動作が停止し、その他のアナログ回路は動作状態を継続する。これにより、駆動期間から非駆動期間に切り替わって検出回路 60が検出処理を開始する際に、これらのアナログ回路が安定動作状態となっているため、検出処理を直ぐに開始できるようになる。なお駆動期間において、同期検波回路 380以降の回路を全て停止するようにしてもよい。

【0123】

また図 11の検波停止方式では、間欠駆動の駆動期間において、同期検波回路 380だけが動作を停止する。例えば駆動期間において同期検波回路 380への同期信号 SYCの供給を停止することで、同期検波回路 380の動作が停止する。そして駆動期間においても、他の回路は動作状態を継続する。このようにすれば、これらの回路が動作が停止してから安定した動作状態に復帰するまでに長い時間を要する場合にも、これに対処できるようになる。

【0124】

6. 検出回路の詳細な構成例

図 12に、図 7（A）で説明した全差動スイッチングミキサー方式の検出回路 60の詳細な第 1の構成例を示す。

【0125】

Q/V変換回路 62は、演算増幅器OPA1、キャパシターCA1、抵抗素子RA1を

有し、Q/V変換回路64は、演算増幅器OPA2、キャパシターCA2、抵抗素子RA2を有する。

【0126】

Q/V変換回路62の演算増幅器OPA1は、その非反転入力端子（広義には第1の入力端子）が所定電位（AGND）に設定される。キャパシターCA1及び抵抗素子RA1は、Q/V変換回路62の出力ノードと演算増幅器OPA1の反転入力端子（広義には第2の入力端子）のノードとの間に設けられる。

【0127】

Q/V変換回路64の演算増幅器OPA2は、その非反転入力端子が所定電位に設定される。キャパシターCA2及び抵抗素子RA2は、Q/V変換回路64の出力ノードと演算増幅器OPA2の反転入力端子のノードとの間に設けられる。

10

【0128】

このように図12のQ/V変換回路62、64は、帰還抵抗素子RA1、RA2を有する連続型の電荷-電圧変換回路になっており、図9(A)のダイレクトサンプリング方式の離散型Q/V変換回路260に比べて、ノイズ低減の意味で有利な構成となる。

【0129】

ゲイン調整アンプ72は、演算増幅器OPB1、第1、第2のキャパシターCB11、CB12、抵抗素子RB1を有する。ゲイン調整アンプ74は、演算増幅器OPB2、第1、第2のキャパシターCB21、CB22、抵抗素子RB2を有する。

【0130】

ゲイン調整アンプ72の演算増幅器OPB1は、非反転入力端子（第1の入力端子）が所定電位（AGND）に設定される。キャパシターCB11は、ゲイン調整アンプ72の入力ノードと演算増幅器OPB1の反転入力端子（第2の入力端子）のノードとの間に設けられる。キャパシターCB12及び抵抗素子RB1は、ゲイン調整アンプ72の出力ノードと演算増幅器OPB1の反転入力端子のノードとの間に設けられる。

20

【0131】

ゲイン調整アンプ74の演算増幅器OPB2は、非反転入力端子が所定電位に設定される。キャパシターCB21は、ゲイン調整アンプ74の入力ノードと演算増幅器OPB2の反転入力端子のノードとの間に設けられる。キャパシターCB22及び抵抗素子RB2は、ゲイン調整アンプ74の出力ノードと演算増幅器OPB2の反転入力端子のノードとの間に設けられる。

30

【0132】

ゲイン調整アンプ72では、キャパシターCB11、CB12の少なくとも一方が、容量値が可変のキャパシターになっている。ゲイン調整アンプ74でも、キャパシターCB21、CB22の少なくとも一方が、容量値が可変のキャパシターになっている。これらのキャパシターの容量値は、図示しない制御回路（レジスター）により可変に設定される。そして、例えばキャパシターCB11、CB21の容量値をC1として、キャパシターCB12、CB22の容量値をC2とすると、ゲイン調整アンプ72、74のゲインは、C1とC2の容量比C2/C1により設定されることになる。

【0133】

また図12のゲイン調整アンプ72、74は、ハイパスフィルターの周波数特性を有している。即ち、ゲイン調整アンプ72のキャパシターCB11と抵抗素子RB1によりハイパスフィルターが構成され、ゲイン調整アンプ74のキャパシターCB21と抵抗素子RB2によりハイパスフィルターが構成される。これにより、ゲイン調整アンプ72は、Q/V変換回路62の1/fノイズを低減（除去）するハイパスフィルターの周波数特性を有することになる。またゲイン調整アンプ74は、Q/V変換回路64の1/fノイズを低減（除去）するハイパスフィルターの周波数特性を有することになる。

40

【0134】

スイッチングミキサ80は、第1、第2、第3、第4のスイッチ素子SW1、SW2、SW3、SW4を有する。スイッチ素子SW1は、スイッチングミキサ80の第1の

50

入力ノードN I 1と第1の出力ノードN Q 1との間に設けられる。スイッチ素子S W 2は、スイッチングミキサー80の第1の入力ノードN I 1と第2の出力ノードN Q 2との間に設けられる。スイッチ素子S W 3は、スイッチングミキサー80の第2の入力ノードN I 2と第1の出力ノードN Q 1との間に設けられる。スイッチ素子S W 4は、第2の入力ノードN I 2と第2の出力ノードN Q 2との間に設けられる。これらのスイッチ素子S W 1～S W 4は、例えばM O Sトランジスタ（例えばN M O S型トランジスタ或いはトランスファークロスタ）により構成できる。

【0135】

そして駆動回路30からの同期信号S Y Cに基づいて、スイッチ素子S W 1とS W 2は排他的にオン・オフされ、スイッチ素子S W 3とS W 4は排他的にオン・オフされる。例えば同期信号S Y CがHレベル（第1のレベル）の場合に、スイッチ素子S W 1、S W 4がオンになり、スイッチ素子S W 2、S W 3がオフになる。一方、同期信号S Y CがLレベル（第2のレベル）の場合に、スイッチ素子S W 2、S W 3がオンになり、スイッチ素子S W 1、S W 4がオフになる。これにより、ゲイン調整アンプ72、74からの差動の信号Q B 1、Q B 2が、差動信号の状態でも同期検波されて、同期検波後の信号が差動の信号Q C 1、Q C 2として出力されるようになる。例えば図10(A)のアナログ同期検波方式では、シングルエンド信号の状態でも同期検波が行われ、シングルエンドの信号が出力されていたが、図12の全差動スイッチングミキサー方式では、差動信号の状態でも同期検波が行われ、同期検波後の信号として差動の信号が出力されるようになる。

【0136】

フィルタ92は、抵抗素子R D 1とキャパシタC D 1を有する。フィルタ94は、抵抗素子R D 2とキャパシタC D 2を有する。

【0137】

フィルタ92の抵抗素子R D 1は、スイッチングミキサー80の出力ノードN Q 1と第1の接続ノードN D 1との間に設けられる。この第1の接続ノードN D 1はA/D変換回路100の第1の入力ノードに接続されるノードである。キャパシタC D 1は、第1の接続ノードN D 1と所定電位（例えばA G N D）のノードとの間に設けられる。

【0138】

フィルタ94の抵抗素子R D 2は、スイッチングミキサー80の出力ノードN Q 2と第2の接続ノードN D 2との間に設けられる。この第2の接続ノードN D 2はA/D変換回路100の第2の入力ノードに接続されるノードである。キャパシタC D 2は、第2の接続ノードN D 2と所定電位（例えばA G N D）のノードとの間に設けられる。

【0139】

このように、フィルタ92、94は、抵抗素子やキャパシタなどのパッシブ素子で構成されるパッシブフィルタとなっている。そしてフィルタ92からの出力信号Q D 1及びフィルタ94からの出力信号Q D 2は、アクティブ素子を介さずにA/D変換回路100に入力される。

【0140】

図13に、図12の検出回路の各信号Q A 1及びQ A 2、Q B 1及びQ B 2、Q C 1及びQ C 2、Q D 1及びQ D 2の信号波形例を示す。

【0141】

図13に示すように、Q/V変換回路62、64から出力された信号Q A 1、Q A 2は、ゲイン調整アンプ72、74により反転増幅されて、信号Q B 1、Q B 2として出力される。具体的には、前述した容量比C 2/C 1のゲインで増幅される。

【0142】

ゲイン調整アンプ72、74から出力された信号Q B 1、Q B 2は、スイッチングミキサー80により同期検波されて、信号Q C 1、Q C 2として出力される。同期検波により、1/fノイズ等の不要信号は、高周波帯域に周波数変換される。そして、これらの信号Q C 1、Q C 2に対してフィルタ92、94がローパスフィルタ処理を行うことで、信号Q D 1、Q D 2が生成される。これらの信号Q D 1、Q D 2では、ローパスフィルタ

10

20

30

40

50

ー処理により、高周波帯域に周波数変換された不要信号が除去されて低ノイズの信号となっている。そして、この低ノイズの信号Q D 1、Q D 2が、A / D変換回路1 0 0に差動信号として入力されて、差動のA / D変換が行われることになる。

【 0 1 4 3 】

図1 4に全差動スイッチングミキサー方式の検出回路の詳細な第2の構成例を示す。

【 0 1 4 4 】

前述したように、図1 2の第1の構成例では、ゲイン調整アンプ7 2は、キャパシターC B 1 1、C B 1 2と抵抗素子R B 1と演算増幅器O P B 1で構成される。ゲイン調整アンプ7 4も同様である。そして、ゲインは容量比で設定される。また、ゲイン調整アンプ7 2、7 4はハイパスフィルターの周波数特性を有する。

10

【 0 1 4 5 】

これに対して図1 4の第2の構成例では、ゲイン調整アンプ7 2は、抵抗素子R B 1 1、R B 1 2と演算増幅器O P B 1で構成される。ゲイン調整アンプ7 4も同様である。そしてゲインは抵抗比で設定される。また、ゲイン調整アンプ7 2、7 4はハイパスフィルターの周波数特性を有していない。

【 0 1 4 6 】

図1 5 (A) は、図1 4の第2の構成例の雑音電圧の周波数特性を示す図である。A 1に示すように、Q / V変換回路6 2、6 4の出力では、低周波帯域に大きな1 / fノイズが発生している。このA 1の1 / fノイズは、ゲイン調整アンプ7 2、7 4での信号増幅により、A 2に示すように増加する。そしてスイッチングミキサー8 0での周波数変換及びフィルター9 2、9 4のローパスフィルター特性により、この1 / fノイズは低減されるが、A 3に示すように、その低減の度合いは十分ではない。例えばスイッチングミキサー8 0のクロックのデューティが5 0パーセントからずれると、1 / fノイズが漏れることになり、ノイズ性能の低下につながる。

20

【 0 1 4 7 】

図1 5 (B) は、図1 2の第1の構成例の雑音電圧の周波数特性を示す図である。B 1に示すように、Q / V変換回路6 2、6 4の出力では、低周波帯域に大きな1 / fノイズが発生している。このB 1の1 / fノイズは、ゲイン調整アンプ7 2、7 4のハイパスフィルター特性により、図1 5 (A)のA 2に比べて、B 2に示すように大きく低減される。そして、この1 / fノイズは、スイッチングミキサー8 0での周波数変換及びフィルター9 2、9 4のローパスフィルター特性により、図1 5 (A)のA 3に比べて、B 3に示すように十分に低減されるようになる。例えばスイッチングミキサー8 0のクロックのデューティが5 0パーセントからずれた場合にも、1 / fノイズの漏れを最小限に抑えることができる。従って、A / D変換回路1 0 0は、1 / fノイズ等が十分に低減された信号を、A / D変換することが可能になり、回路の大規模化や消費電力の増加を抑えながら低ノイズでの検出処理を実現できるようになる。

30

【 0 1 4 8 】

また図1 4の第2の構成例は、Q / V変換回路6 2、6 4でのオフセットがゲイン調整アンプ7 2、7 4で増幅される構成となる。このため、後段の回路 (A / D変換回路、D S P部) から見ると、ゲイン調整アンプ7 2、7 4で設定されたゲインに応じて、オフセットも異なった値となってしまふ。例えばオフセット調整を、D S P部1 1 0などの後段の回路で行う場合を考えると、一度の検査でオフセット調整を実行することが望まれるが、図1 4の第2の構成例では、ゲイン調整アンプ7 2、7 4で設定されたゲインごとに、オフセット調整が必要になり、処理が煩雑になってしまうという問題がある。

40

【 0 1 4 9 】

この点、図1 2の第1の構成例では、Q / V変換回路6 2、6 4のオフセットは、ゲイン調整アンプ7 2、7 4のハイパスフィルター特性により除去される。従って、D S P部1 1 0等の後段の回路から見ると、ゲイン調整アンプ7 2、7 4のゲイン設定に依らずに、ゲイン調整アンプ7 2、7 4のオフセットだけが見えるようになる。また、ゲイン調整アンプ7 2、7 4で設定されたゲインごとにオフセット調整を行う必要がなくなり、処理

50

の簡素化を図れる。また前述のように、Q/V変換回路62、64の1/fノイズは、ゲイン調整アンプ72、74のハイパスフィルター特性により除去され、ゲイン調整アンプ72、74の1/fノイズは、スイッチングミキサー80の周波数変換とフィルター92、94のローパスフィルター特性により除去される。従って、A/D変換回路100の入力段ではアクティブ回路で発生する1/fノイズが見えない構成となり、低周波帯域でのノイズが重要視される検出回路の回路構成として、最適な構成となる。

【0150】

また本実施形態のジャイロセンサー510(センサー)は、例えば、車、飛行機、バイク、自転車、或いは船舶等の種々の移動体に組み込むことができる。移動体は、例えばエンジンやモーター等の駆動機構、ハンドルや舵等の操舵機構、各種の電子機器を備えて、地上や空や海上を移動する機器・装置である。図16は移動体の一具体例としての自動車206を概略的に示す。自動車206には振動子10及び検出装置20を有するジャイロセンサー510が組み込まれる。ジャイロセンサー510は車体207の姿勢を検出することができる。ジャイロセンサー510の検出信号は車体姿勢制御装置208に供給することができる。車体姿勢制御装置208は例えば車体207の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪209のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種移動体で利用されることができる。姿勢制御の実現にあたってジャイロセンサー510は組み込まれることができる。

【0151】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。従って、このような変形例はすべて本発明の範囲に含まれるものとする。例えば、明細書又は図面において、少なくとも一度、より広義または同義な異なる用語(センサー、物理量トランスデューサー、物理量、第1の入力端子、第2の入力端子等)と共に記載された用語(ジャイロセンサー、振動子、角速度情報、非反転入力端子、反転入力端子等)は、明細書又は図面のいかなる箇所においても、その異なる用語に置き換えることができる。また、検出装置やセンサーや電子機器の構成、振動子の構造等も、本実施形態で説明したものに限定されず、種々の変形実施が可能である。

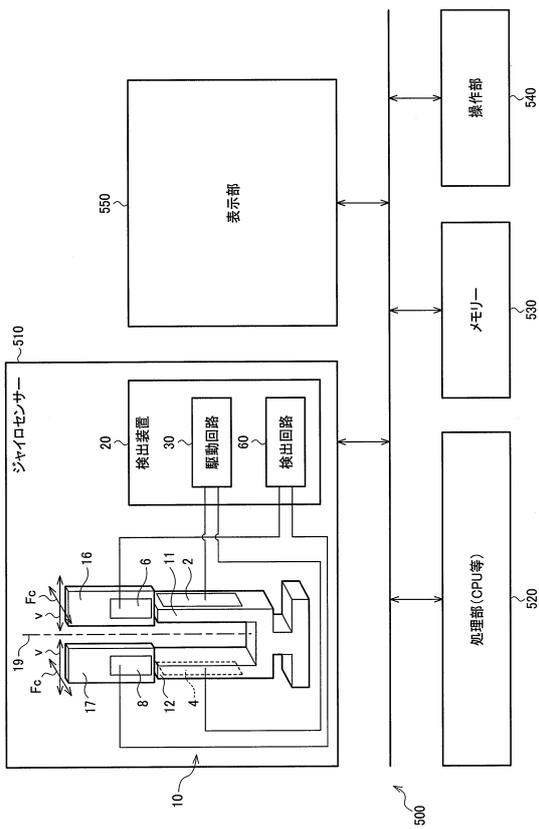
【符号の説明】

【0152】

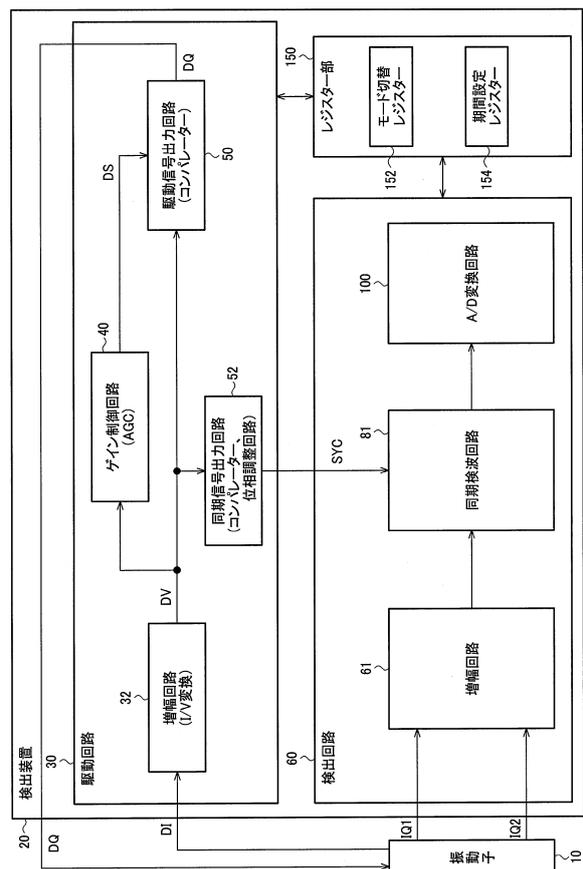
OPA1、OPA2、OPB1、OPB2 演算増幅器、
 CA1、CA2、CB11、CB12、CB21、CB22 キャパシター、
 RA1、RA2、RB1、RB2 抵抗素子、
 SW1、SW2、SW3、SW4 スイッチ素子、SYC 同期信号、
 RD1、RD2 抵抗素子、CD1、CD2 キャパシター、
 OPE、OPF、OPG 演算増幅器、CP1、CP2、CP3 コンパレーター、
 CE、CG キャパシター、RE、RF1、RF2、RG 抵抗素子、
 SF1、SF2、SW スイッチ素子、
 10 振動子、20 検出装置、30 駆動回路、32 増幅回路、
 40 ゲイン制御回路、42 全波整流器、44 積分器、
 50 駆動信号出力回路、52 同期信号出力回路、54 位相調整回路、
 60 検出回路、61 増幅回路、62、64 Q/V変換回路、
 72、74 ゲイン調整アンプ、80 スwitchingミキサー、
 81 同期検波回路、92、94 フィルター、
 100 A/D変換回路、110 DSP部、
 150 レジスター部、152 モード切替レジスター、152 期間設定レジスター、
 206 移動体(自動車)、207 車体、208 車体姿勢制御装置、車輪209、
 260 分散型Q/V変換回路、270 A/D変換回路、280 DSP部、
 362、364 Q/V変換回路、366 差動増幅回路、

- 367 ハイパスフィルター、368 ACアンプ、370 オフセット調整回路、
- 380 同期検波回路、382 ローパスフィルター、384 ゲイン調整アンプ、
- 386 DCアンプ、388 SCF、390 A/D変換回路、392 DSP部、
- 500 電子機器、510 ジャイロセンサー、520 処理部、530 メモリー、
- 540 操作部、550 表示部

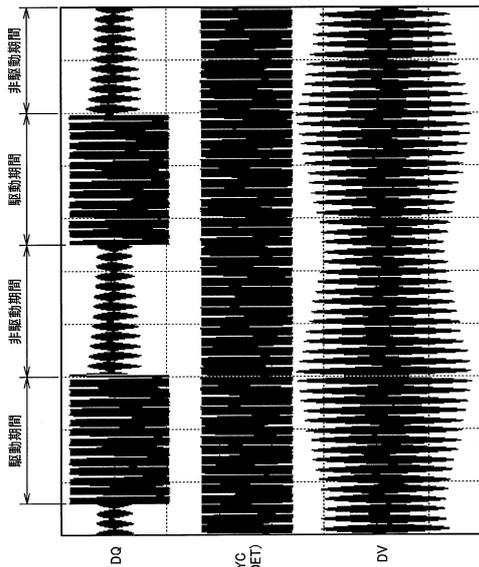
【図1】



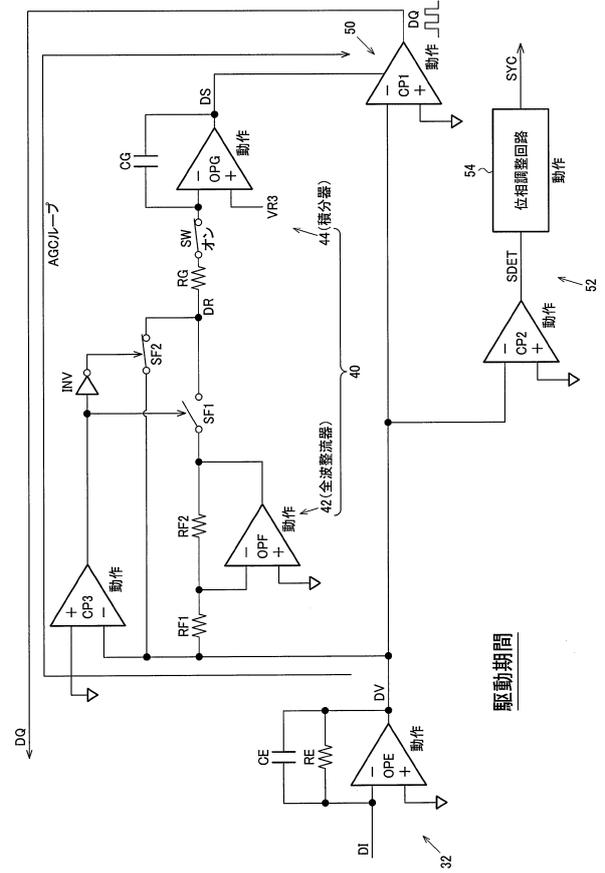
【図2】



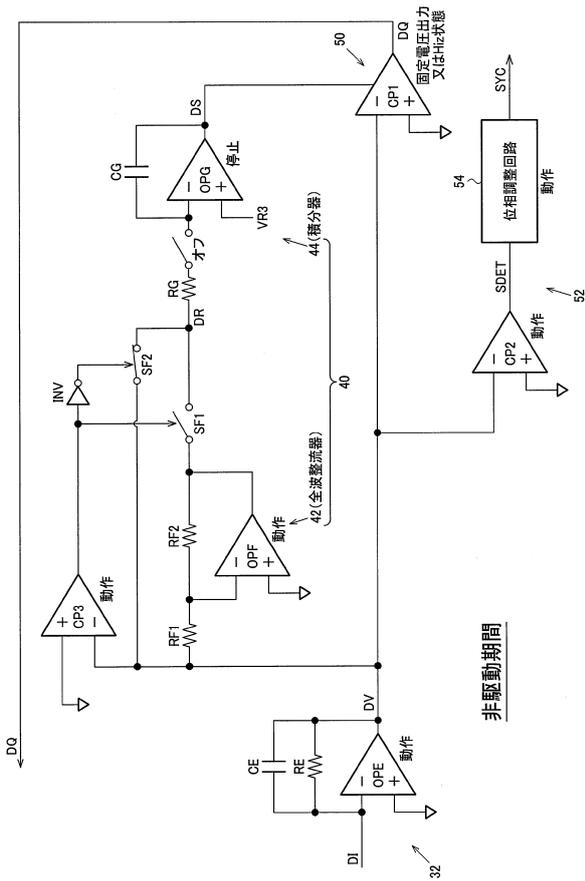
【図3】



【図4】

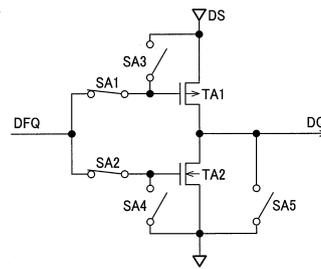


【図5】

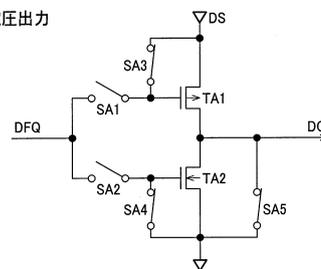


【図6】

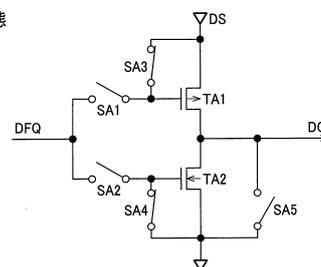
(A) 通常時



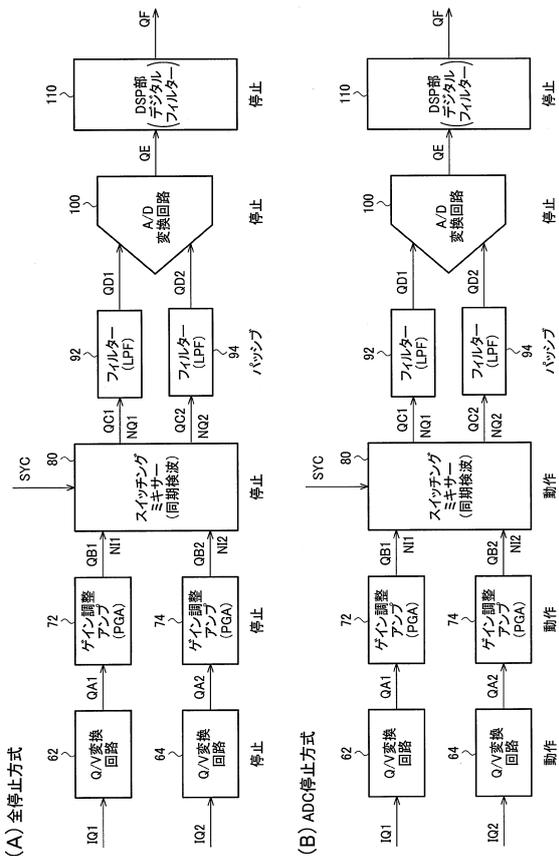
(B) 固定電圧出力



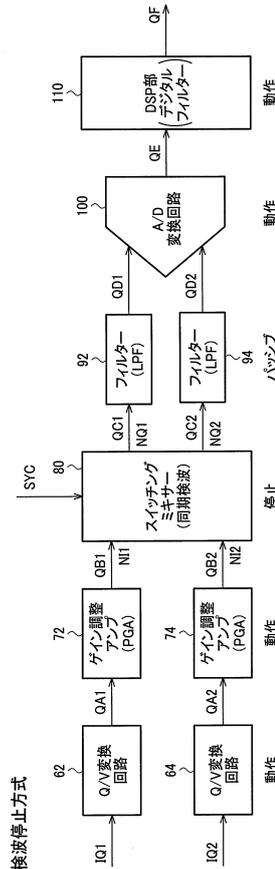
(C) Hiz状態



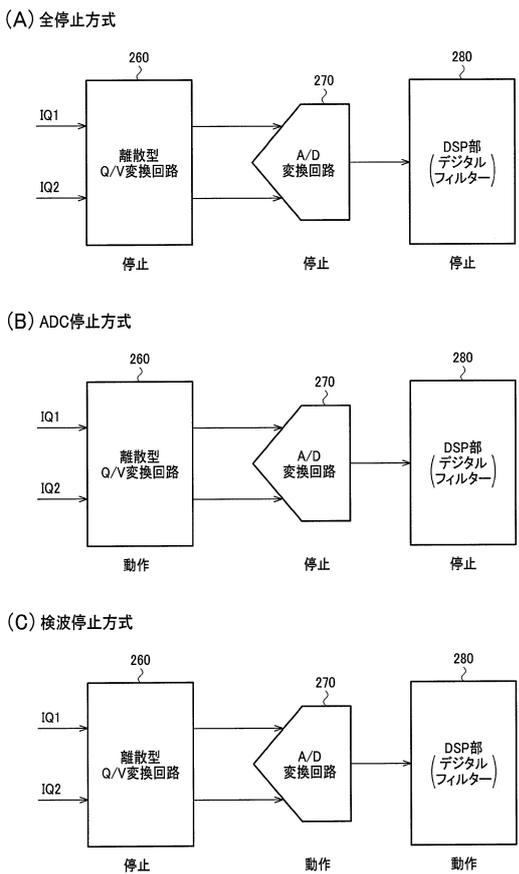
【図7】



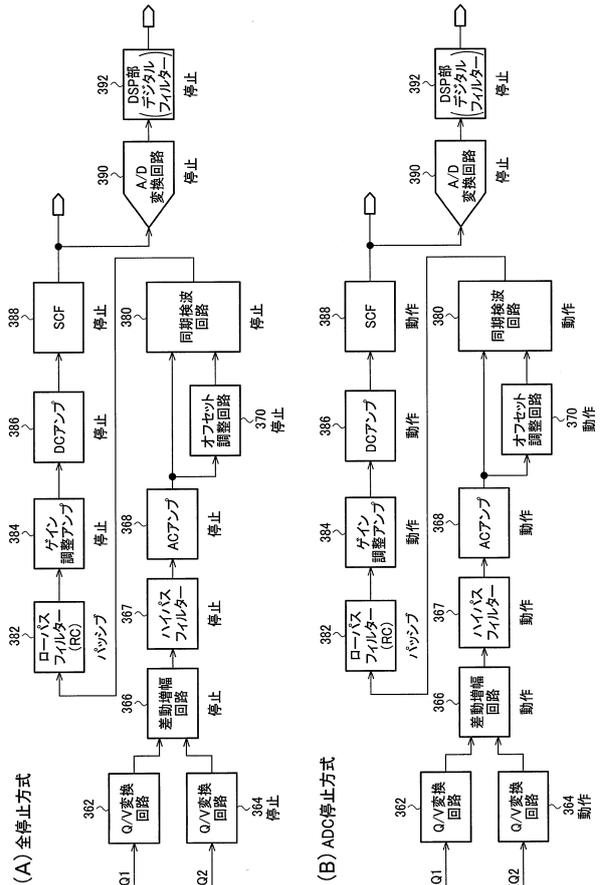
【図8】



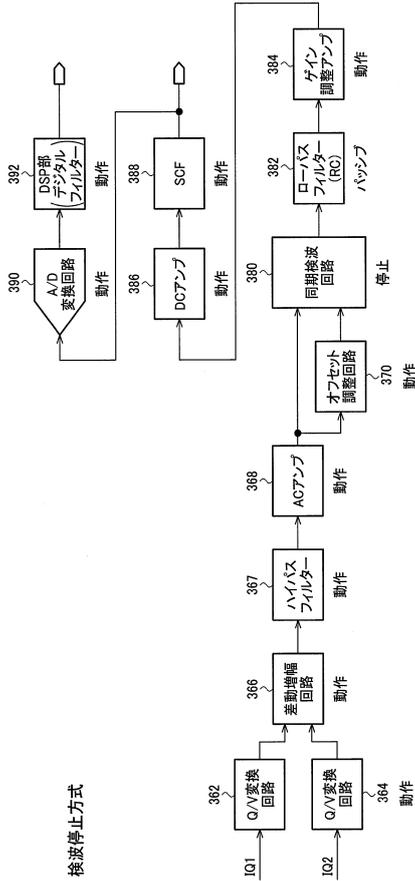
【図9】



【図10】

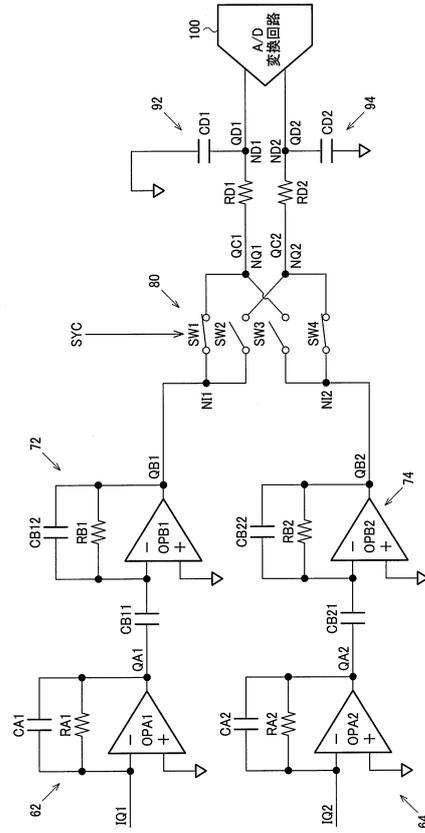


【図 1 1】

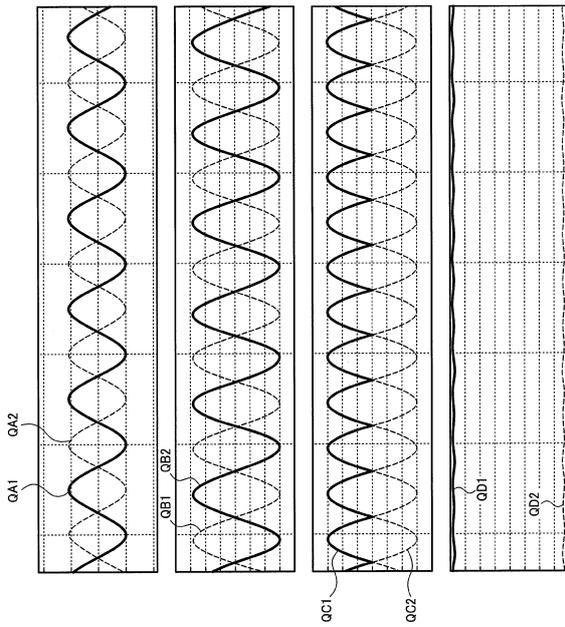


検波停止方式

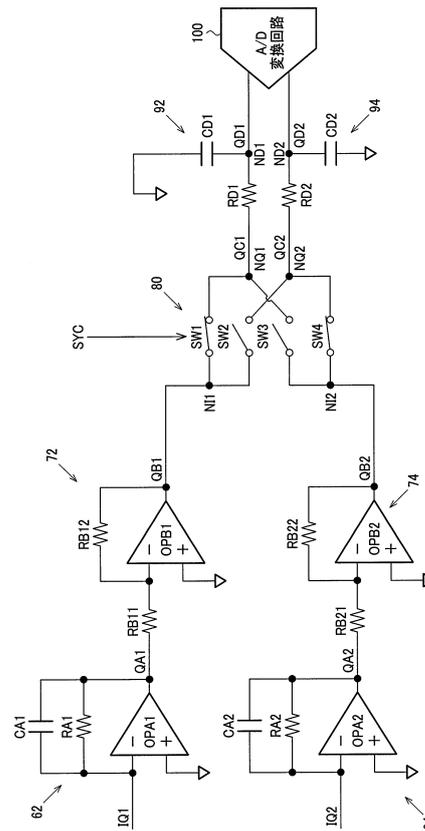
【図 1 2】



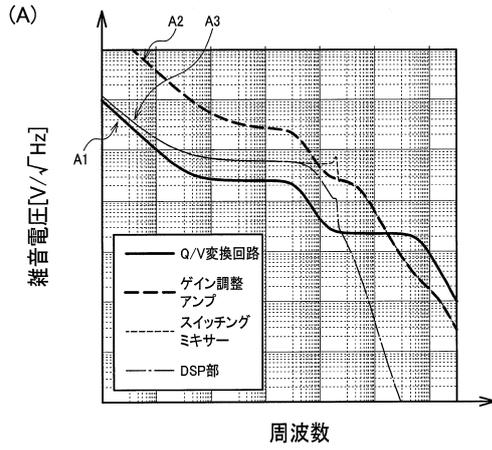
【図 1 3】



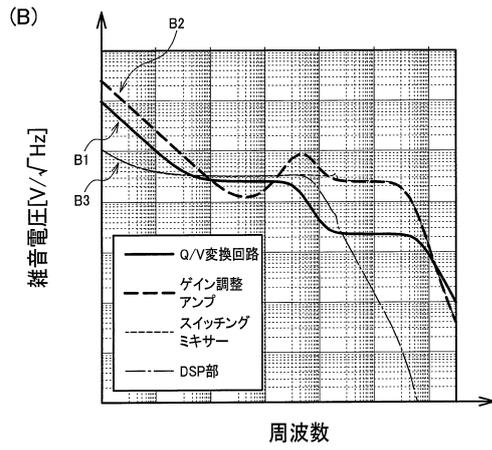
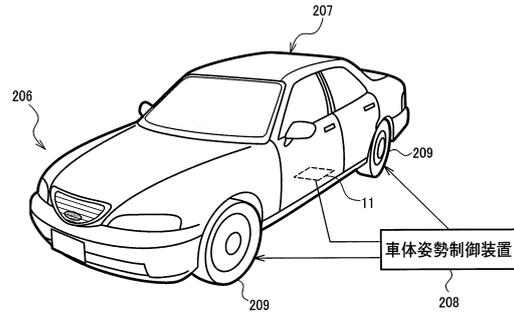
【図 1 4】



【図15】



【図16】



フロントページの続き

審査官 梶田 真也

(56)参考文献 特開2007-071654(JP,A)
特開2000-081335(JP,A)
特開2005-308650(JP,A)
特開2008-089572(JP,A)
特開2010-021818(JP,A)
特開2009-031007(JP,A)
国際公開第2010/150736(WO,A1)
特開2012-044571(JP,A)
国際公開第2012/011019(WO,A1)

(58)調査した分野(Int.Cl., DB名)

G01C 19/00 - 19/5783
G01P 15/00 - 15/18
H01L 27/20
H01L 29/84