

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5191555号
(P5191555)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.		F I			
G 0 6 F	12/00	(2006.01)	G 0 6 F	12/00	5 6 4 D
G 1 1 C	11/401	(2006.01)	G 1 1 C	11/34	3 6 2 Z

請求項の数 41 外国語出願 (全 19 頁)

<p>(21) 出願番号 特願2011-50556 (P2011-50556)</p> <p>(22) 出願日 平成23年3月8日(2011.3.8)</p> <p>(62) 分割の表示 特願2006-533897 (P2006-533897) の分割</p> <p>原出願日 平成16年9月3日(2004.9.3)</p> <p>(65) 公開番号 特開2011-146063 (P2011-146063A)</p> <p>(43) 公開日 平成23年7月28日(2011.7.28)</p> <p>審査請求日 平成23年3月23日(2011.3.23)</p> <p>(31) 優先権主張番号 10/676,648</p> <p>(32) 優先日 平成15年9月30日(2003.9.30)</p> <p>(33) 優先権主張国 米国 (US)</p>	<p>(73) 特許権者 501055961 ラムバス・インコーポレーテッド アメリカ合衆国, カリフォルニア州 9 4089, サニーヴェール, スイート 7 00, エンタープライズ ウェイ 105 0</p> <p>(74) 代理人 100079108 弁理士 稲葉 良幸</p> <p>(74) 代理人 100109346 弁理士 大貫 敏史</p> <p>(72) 発明者 ハンベル, クレイグ, イー. アメリカ合衆国, カリフォルニア州 95 123, サン ノゼ, ダン アベニュー 5927</p>
--	--

最終頁に続く

(54) 【発明の名称】 バイモーダル・データストロープを備えた集積回路

(57) 【特許請求の範囲】

【請求項 1】

第一のクロック信号に同期して制御およびアドレス信号を送信する第一のインタフェースを含むメモリコントローラであって、

第一の動作モードにおいて、前記メモリコントローラは、書き込み動作中にデータストロープを送信し、読み出し動作中に前記メモリコントローラからの前記データストロープの送信を無効にするように構成され、

第二の動作モードにおいて、前記メモリコントローラは、書き込みおよび読み出し動作の両方の間に第二のクロック信号を送信するように構成され、前記第二のクロック信号は前記第一のクロック信号とは異なる、メモリコントローラ。

【請求項 2】

前記第一の動作モードにおいて、前記データストロープは、前記書き込み動作中に第一の書き込みデータをサンプリングするように外部メモリ素子による使用のために前記第一の書き込みデータに同期して送信され、

前記第二の動作モードにおいて、前記第二のクロック信号は、前記書き込み動作中に第二の書き込みデータをサンプリングし、前記読み出し動作中に読み出しデータを送信するように外部メモリ素子による使用のために前記第二の書き込みデータに同期して送信される、請求項 1 に記載のメモリコントローラ。

【請求項 3】

前記第一の動作モードにおいて、前記メモリコントローラは、前記書き込み動作の間だ

け前記データストローブを送信するように構成される、請求項 1 に記載のメモリコントローラ。

【請求項 4】

前記第二の動作モードにおいて、前記メモリコントローラは、前記第二のクロック信号を連続的に送信するように構成される、請求項 1 に記載のメモリコントローラ。

【請求項 5】

前記メモリコントローラが動作する前記第一および第二のモードの 1 つを示す情報を記憶するレジスタを更に含む、請求項 1 に記載のメモリコントローラ。

【請求項 6】

信号出力を有する第二のインタフェースを更に含み、前記第二のインタフェースは、第一の動作モードでの前記書き込み動作中に前記信号出力を介して前記データストローブを送信し、前記第二の動作モードにおける読み出しおよび書き込み動作の両方の間に前記信号出力を介して前記第二のクロック信号を送信するように構成される、請求項 1 に記載のメモリコントローラ。

10

【請求項 7】

前記第二のインタフェースは、

前記第一の動作モードにおける前記書き込み動作中に前記データストローブを、かつ、前記第二の動作モードにおける前記読み出しおよび書き込み動作の両方の間に前記第二のクロック信号を送信する、出力バッファを含む、請求項 6 に記載のメモリコントローラ。

【請求項 8】

20

前記出力バッファは、前記第一の動作モードにおける前記読み出し動作中に前記信号出力を 3 状態化させるように構成される、請求項 7 に記載のメモリコントローラ。

【請求項 9】

前記出力バッファに接続された論理ゲートであって、前記第一の動作モードにおける前記書き込み動作中に前記データストローブを送信するように前記出力バッファを有効にし、前記第一の動作モードにおける前記読み出し動作中に前記出力バッファを無効にし、かつ、前記第二の動作モードにおける前記読み出しおよび書き込み動作の両方の間に前記第二のクロック信号を送信するように前記出力バッファを有効にする、論理ゲートを更に含む、請求項 7 に記載のメモリコントローラ。

【請求項 10】

30

前記論理ゲートに接続されたレジスタであって、前記メモリコントローラが前記第一の動作モードで動作しているかまたは前記第二の動作モードで動作しているのかを示す指示を前記論理ゲートに提供する、レジスタを更に含む、請求項 9 に記載のメモリコントローラ。

【請求項 11】

第三のクロック信号の位相を調整し、かつ、前記位相調整済み第三のクロック信号を前記第二のインタフェースに提供する、クロック較正器を更に含み、

前記第二のインタフェースは、前記位相調整済み第三のクロック信号に基づいて前記データストローブおよび前記第二のクロック信号を送信するように構成される、請求項 6 に記載のメモリコントローラ。

40

【請求項 12】

前記クロック較正器に接続され、前記第一および第二の動作モードにおける前記書き込み動作中にデータを送信する出力レジスタを更に含む、請求項 11 に記載のメモリコントローラ。

【請求項 13】

前記クロック較正器は、書き込み動作中のデータの送信を計時するように前記出力レジスタに前記位相調整済み第三のクロック信号を提供するように構成される、請求項 12 に記載のメモリコントローラ。

【請求項 14】

前記第一の動作モードにおける前記書き込み動作中に送信される前記データストローブ

50

は第一のデータストローブであり、前記メモリコントローラは、

前記第一の動作モードにおける前記読み出し動作中に第二のデータストローブを受信する入力バッファと、

前記第一の動作モードにおける前記読み出し動作中にデータを受信する入力レジスタと、

を更に含み、

前記入力レジスタは、前記第一の動作モードにおける前記読み出し動作中に前記データをサンプリングするように前記第二のデータストローブを使用するように構成される、請求項7に記載のメモリコントローラ。

【請求項15】

前記入力バッファは、前記第一の動作モードにおける前記読み出し動作中に前記データをサンプリングするように前記入力レジスタに前記第二のデータストローブを提供するように構成される、請求項14に記載のメモリコントローラ。

【請求項16】

前記入力レジスタは、前記第二の動作モードにおける前記読み出し動作中にデータを受信するように構成され、

前記メモリコントローラは、第三のクロック信号の位相を調整し、かつ、前記第二の動作モードにおける前記読み出し動作中にデータをサンプリングするように前記位相調整済み第三のクロック信号を前記入力レジスタに提供する、クロック較正器を更に含む、請求項14に記載のメモリコントローラ。

【請求項17】

前記出力バッファおよび前記入力バッファは、前記第一の動作モード中に外部導線に接続され、

前記出力バッファは、前記第一の動作モードにおける前記書き込み動作中に前記外部導線を介して前記第一のデータストローブを送信するように構成され、

前記入力バッファは、前記第一の動作モードにおける前記読み出し動作中に前記外部導線から前記第二のデータストローブを受信するように構成される、請求項14に記載のメモリコントローラ。

【請求項18】

メモリコントローラを動作させる方法であって、

外部メモリ素子に接続されたメモリコントローラにおいて、

前記メモリコントローラの動作モードを第一の動作モードまたは第二の動作モードに設定すること、

第一のクロック信号に同期して制御およびアドレス信号を送信すること、および、

前記第一の動作モードにおいて、書き込み動作中に前記外部メモリ素子にタイミング信号をデータストローブとして送信し、読み出し動作中に前記メモリコントローラからの前記タイミング信号の送信を無効にすること、または、

前記第二の動作モードにおいて、書き込みおよび読み出し動作の両方の間に前記外部メモリ素子に、前記第一のクロック信号とは異なる第二のクロック信号を送信すること、を含む、方法。

【請求項19】

前記タイミング信号を送信することは、前記タイミング信号をインタフェースを介して送信することを含み、前記第二のクロック信号を送信することは、前記第二のクロック信号を前記インタフェースポートを介して送信することを含む、請求項18に記載の方法。

【請求項20】

前記第一の動作モードにおいて、前記タイミング信号は、前記書き込み動作中に第一の書き込みデータをサンプリングするように前記外部メモリ素子による使用のために前記第一の書き込みデータに同期して送信され、

前記第二の動作モードにおいて、前記第二のクロック信号は、前記書き込み動作中に第二の書き込みデータをサンプリングし、前記読み出し動作中に読み出しデータを送信する

10

20

30

40

50

ように前記外部メモリ素子による使用のために前記外部メモリ素子に送信され、

前記第二のクロック信号は、前記書き込み動作中に前記第二の書き込みデータに同期して送信される、請求項 18 に記載の方法。

【請求項 21】

前記第一の動作モードにおいて、前記タイミング信号は、前記書き込み動作の間だけ前記第一のメモリ素子に送信されること、および、

前記第二の動作モードにおいて、前記第二のクロック信号は、連続的に送信されること

を含む、請求項 18 に記載の方法。

【請求項 22】

レジスタにおいて、前記メモリコントローラの前記動作モードを示す情報を記憶することを更に含む、請求項 18 に記載の方法。

【請求項 23】

前記コントローラは、出力を有するインタフェースを含み、

前記第一の動作モードにおいて、前記タイミング信号は、前記書き込み動作中に前記出力を介して前記インタフェースによって送信され、

前記第二の動作モードにおいて、前記第二のクロック信号は、前記読み出しおよび書き込み動作の両方の間に前記出力を介して前記インタフェースによって送信される、請求項 18 に記載の方法。

【請求項 24】

前記インタフェースは出力バッファを含み、

前記タイミング信号を送信することは、前記出力バッファを用いて前記タイミング信号を出力することを含み、

前記第二のクロック信号を送信することは、前記出力バッファを用いて前記第二のクロック信号を出力することを含む、請求項 23 に記載の方法。

【請求項 25】

前記第一の動作モードが選択される場合、前記読み出し動作中に前記出力バッファの出力を 3 状態化することを更に含む、請求項 24 に記載の方法。

【請求項 26】

第三のクロック信号の位相を調整することを更に含む、

前記第一の動作モードにおいて、前記タイミング信号の送信は、前記位相調整済み第三のクロック信号に基づき、

前記第二の動作モードにおいて、前記第二のクロック信号の送信は、前記位相調整済み第三のクロック信号に基づく、請求項 23 に記載の方法。

【請求項 27】

前記インタフェースは出力バッファを含み、

前記方法は、

前記第一の動作モードにある場合に前記タイミング信号として、また、前記第二の動作モードにある場合に前記第二のクロック信号として、前記位相調整済み第三のクロック信号を前記出力バッファに提供することを更に含む、請求項 26 に記載の方法。

【請求項 28】

前記位相調整済み第三のクロック信号を用いて前記書き込み動作中に出力レジスタからデータを送信することを更に含む、請求項 26 に記載の方法。

【請求項 29】

前記出力レジスタからの前記データの伝送を計時するために前記出力レジスタに前記位相調整済み第三のクロック信号を提供することを更に含む、請求項 28 に記載の方法。

【請求項 30】

前記第一の動作モードにおける前記書き込み動作中に前記出力バッファから送信される前記タイミング信号は第一のデータストロープであり、

前記方法は、

10

20

30

40

50

前記第一の動作モードにおいて、

前記読み出し動作中に、入力バッファにおいて第二のデータストローブを受信すること、および、

前記読み出し動作中に、入力レジスタにおいて、前記第二のデータストローブを用いてデータをサンプリングすること、

を更に含む、請求項 2 3 に記載の方法。

【請求項 3 1】

前記第二の動作モードにおいて、

第三のクロック信号の位相を調整すること、および、

前記読み出し動作中に、入力レジスタにおいて、前記位相調整済み第三のクロック信号を用いてデータをサンプリングすること、

を更に含む、請求項 1 8 に記載の方法。

【請求項 3 2】

アドレス情報と、書き込みコマンドまたは読み出しコマンドの 1 つである転送コマンドとをメモリ素子に送信するインタフェースであって、前記アドレス情報および前記転送コマンドは第一のクロック信号に同期して送信される、インタフェースと、

前記転送コマンドが書き込みコマンドである場合、データバス上の書き込みデータを前記メモリ素子に送信する第一の回路と、

前記転送コマンドが読み出しコマンドである場合、前記データバス上の読み出しデータを前記メモリ素子から受信する第二の回路と、

第一のモードにあり、かつ、前記転送コマンドが書き込みコマンドである場合、データストローブ線上の第一のデータストローブを前記メモリ素子に送信し、第二のモードにある場合、連続的に継続する第二のクロック信号を前記メモリ素子に送信するように構成された第三の回路であって、前記メモリ素子は前記第一のデータストローブを用いて前記書き込みデータをサンプリングし、前記転送コマンドが書き込みコマンドである場合、前記メモリ素子は前記第二のクロックを用いて前記書き込みデータをサンプリングし、前記転送信号が読み出しコマンドである場合、前記メモリ素子は前記第二のクロックを用いて前記読み出しデータを送信する、第三の回路と、

前記第一のモードにあり、かつ、前記転送コマンドが読み出しコマンドである場合、前記メモリ素子から前記データストローブ線上の第二のデータストローブを受信するように構成された第四の回路であって、前記第二のデータストローブを用いて前記読み出しデータをサンプリングする、第四の回路と、

を含む、メモリコントローラ。

【請求項 3 3】

前記第三の回路は、前記第二のモードにある場合、前記データストローブ線上の前記第二のクロック信号を送信するように構成される、請求項 3 2 に記載のメモリコントローラ。

【請求項 3 4】

アドレス情報と、書き込みコマンドまたは読み出しコマンドの 1 つである転送コマンドとをメモリ素子に送信するインタフェースであって、前記アドレス情報および前記転送コマンドは第一のクロック信号に同期して送信される、インタフェースと、

前記転送コマンドが書き込みコマンドである場合、データバス上の書き込みデータを送信する第一の回路と、

前記転送コマンドが読み出しコマンドである場合、前記データバス上の読み出しデータを受信する第二の回路と、

第一のモードにあり、かつ、前記転送コマンドが書き込みコマンドである場合、データストローブ線上の第一のデータストローブを、また、第二のモードにある場合、連続的に継続する第二のクロック信号を、送信するように構成された第三の回路と、

前記第一のモードにあり、かつ、前記転送コマンドが読み出しコマンドである場合、前記データストローブ線上の第二のデータストローブを受信するように構成された第四の回

10

20

30

40

50

路であって、前記第二のデータストローブを用いて前記読み出しデータをサンプリングする、第四の回路と、

を含むメモリコントローラ。

【請求項 35】

前記第三の回路は、前記第二のモードの場合、前記データストローブ線上の第二のクロック信号を送信するように構成される、請求項 34 に記載のメモリコントローラ。

【請求項 36】

メモリコントローラであって、

タイミング信号を送信し、かつ、第一の動作モードおよび第二の動作モードの 1 つで動作するように構成可能な第一のインタフェース回路であって、前記第一の動作モードにおいて、前記コントローラが書き込み動作を行っている場合、第一のタイミング信号を書き込みストローブとして送信し、また、前記コントローラが読み出し動作を行っている場合、前記第一のタイミング信号を送信することが無効にされ、また、前記第二の動作モードにおいて、読み出しおよび書き込み動作の両方の間に第二のタイミング信号を自由継続クロックとして送信するように構成される、第一のインタフェース回路と、

10

書き込み動作中に前記第一のタイミング信号および前記第二のタイミング信号のうちの 1 つと共にデータ信号を送信する第二のインタフェース回路と、

を含むメモリコントローラ。

【請求項 37】

前記コントローラが前記第一または前記第二の動作モードで動作するかどうかを示すモード設定を記憶するレジスタを更に含み、前記第一のインタフェースは前記モード設定に基づくように構成される、請求項 36 に記載のメモリコントローラ。

20

【請求項 38】

前記第一および第二のタイミング信号は、クロック信号から導出され、前記コントローラは、前記クロック信号に同期してコマンド/アドレス信号を送信する、請求項 36 に記載のメモリコントローラ。

【請求項 39】

前記第一のインタフェース回路は、前記第一のタイミング信号および前記第二のタイミング信号を送信する信号出力を有する、請求項 36 に記載のメモリコントローラ。

【請求項 40】

30

前記第一のインタフェース回路は、前記第一および第二のタイミング信号を送信する出力バッファを含む、請求項 36 に記載のメモリコントローラ。

【請求項 41】

前記出力バッファは出力を有し、前記出力バッファは、前記第一のインタフェース回路が前記第一の動作モードにある場合、読み出し動作中に前記出力を 3 状態化させる、請求項 40 に記載のメモリコントローラ。

【発明の詳細な説明】

【技術分野】

【0001】

発明の簡単な説明

40

本発明は、一般に集積回路技術に関する。より具体的には、本発明はバイモーダル・データストローブを備えた集積回路素子に関する。

【背景技術】

【0002】

背景

ソース同期データストローブは、データを送信している素子の送信経路、および当該データを受信している素子の受信経路における遅延を補償する機能を果たす。これらの遅延の程度は、半導体素子の動作条件および製造公差にわたる速度および経路速度の変化の関数である。

【0003】

50

通常、素子間のデータストローブ相互接続線は、データストローブを生成する責任が一方の素子からもう一方へ移った場合、3状態または休止状態に置かれる。これらの休止期間の結果として、データストローブには、所定の一定周波数が無く、短期間オン/オフされるクロックに類似している。単一の素子によりデータストローブの複数の周期が生成される期間中、データストローブ信号に定常波現象という問題が生じる。第一のエッジ、および恐らくはデータストローブの最初の数個のエッジは通常、データに関して同相に到着する。しかし、データストローブの後続するエッジは、前のデータストローブエッジの反射に起因してシフトする場合があるため、データに関して同相でなくなる。換言すれば、データストローブは、むしろ自由継続クロックの如く振舞う。

【発明の開示】

【発明が解決しようとする課題】

【0004】

メモリバス速度が増すにつれて、メモリシステムにおいてソース同期データストローブを用いる利点が減少している。次第に、より高速で動作するシステムに対応すべくデータストローブを改良する必要があることは明らかである。製造コストおよびスケールメリットの観点から、データストローブに関する問題に対処する新規なシステム設計がソース同期データストローブを用いる製品と互換性を持つならば有益であろう。

【課題を解決するための手段】

【0005】

要約

メモリシステム用のコントローラがデータストローブ・バス、データバスおよびクロック・バスに接続されている。コントローラは、出力バッファが有効にされた際にデータストローブ・バス上の第一のデータストローブ信号をアサートすべく構成された出力バッファを含んでいる。コントローラはまた、コントローラの動作モードを記憶するレジスタを含んでいる。出力バッファが有効にされるのは、コントローラの動作モードが第一のコントローラ動作モードに設定されている場合、データバス経由で第一のデータ信号がコントローラから転送されている期間だけである。しかし、出力バッファは、コントローラの動作モードが第二のコントローラ動作モードに設定されている場合、連続的に有効にされる。更に、コントローラはクロック・バス経由でクロック信号を受信し、クロック信号によりデータバス経由で第二のデータ信号の受信を計時すべく構成されている。

【0006】

別の態様においては、メモリ素子はデータストローブ・バス、データバス、およびクロック・バスに接続されている。メモリ素子は、データストローブ・バス上で連続的かつ遠隔的にアサートされたデータストローブ信号をデータストローブ・バス経由で受信すべく構成されている。メモリ素子はまた、データバス経由でデータストローブ信号と共に第一のデータ信号を受信して、データストローブ信号により第一のデータ信号の受信を計時すべく構成されている。メモリ素子は更に、クロック・バス経由でクロック信号を受信すべく構成されている。第一の動作モードにおいて、メモリ素子はデータバス経由でクロック信号と共に第二のデータ信号を送信し、クロック信号により第二のデータ信号の送信を計時すべく構成されている。第二の動作モードにおいて、メモリ素子はデータストローブ信号により第二のデータ信号の送信を計時すべく構成されている。

【0007】

本発明の態様は、添付の図面と共に、以下の記述および添付の請求項から容易に理解されよう。

【発明を実施するための最良の形態】

【0008】

実施形態の説明

本発明の多くの実施形態について以下に述べる。簡潔のため、現実の実装の全ての特徴を記述する訳ではない。そのような実施形態の開発において、システム関連および事業関連の制約の準拠等、実装毎に異なる開発者固有の目標に到達すべく、多くの実装に固有の

10

20

30

40

50

決定を行なう必要がある点を理解されたい。更に、そのような開発の努力は複雑かつ時間を要するであろうが、それにもかかわらず本開示の利点を享受する当業者にとっては日常的であることを理解されたい。

【0009】

図1に、マスター・システム・クロックまたはグローバル・クロック140、クロック・バッファ142、コントローラ110/425、1個以上のメモリモジュール120(120-1、120-2)、1個以上の制御およびアドレス(「C/A」)導線150、8個のデータ(「DQ」)導線160(160-1~160-8)、8個のデータストロープ(「DS」)導線170(170-1~170-8)を含むメモリシステム100を示す。いくつかの実施形態におけるメモリモジュール120-1は、8個のDRAM130/440/450(130-1~130-8)および設定記憶素子132を含むDIMM(デュアルインライン・メモリモジュール)である。図1に示すメモリモジュール120-1は1列のDRAM群を備えていて、一方、システム100内の1個以上のメモリモジュールは2列以上のDRAM群(ランクとも呼ぶ)を備えたマルチランク・メモリモジュールであってよい。そのようなメモリモジュールにおいて、メモリモジュールを使用する各々のメモリが動作する間、1列またはランクのDRAMがアクセスされる。各メモリモジュール120はオプションとしてレジスタ152、および位相固定ループ(「PLL」)クロック・バッファ144を含んでいる。これらオプションの補助回路は、例えば大規模なファンアウト(すなわち多数のDRAM)対応型システムにおいて有用である。特に、これらオプションの回路は、DRAM130同士でクロック、制御、およびアドレス信号を分配しやすくする。

【0010】

いくつかの実施形態において、メモリモジュール設定記憶素子132(モード・レジスタまたは設定レジスタと呼ぶこともある)は、PROM(プログラム可能読出専用メモリ)等のシリアル・プレゼンス検出(SPD)素子として実装されている。設定記憶素子132は通常、電源投入時またはシステム・リセット時にコントローラが読んで、メモリモジュール120の能力および/または設定を決定する。いくつかの実施形態において、メモリモジュール設定記憶素子132内のビットは、メモリモジュール内のメモリ素子が他のモード値だけでなく、データストロープの駆動を無効にすべく設定可能か否かを表わすデータストロープ・モード値(本明細書では方向モード値とも呼ぶ)を記憶する。メモリモジュール設定記憶素子132から読み込まれた情報をコントローラ110が用いて、コントローラ110およびDRAM130内のモード・ビットを設定する。いくつかの実施形態において、データ導線、データストロープ、およびDRAMの個数が増減してもよい。別途注記しない限り、コントローラ110に関して本明細書に記述する内容はまた、コントローラ425にも適用でき、DRAM130に関する記述はまた、DRAM440、450にも適用できる。

【0011】

C/A導線150はメモリシステム100で必要とする個数の並列信号経路を備えた制御およびアドレス・バスとして機能する。同様に、各々のDQ導線160はメモリシステム100で必要とする個数の並列信号経路(または信号経路1個のみ)を備えたデータバスとして機能する。メモリシステム100が2個以上のメモリモジュールを備えている場合、C/A導線150、DQ導線160、およびDS導線170はコントローラ110を各々のメモリモジュールに接続する。

【0012】

いくつかの実施形態において、DS導線170は、ソース同期双方向タイミング基準として機能するデータストロープを送信する。コントローラ110/425とメモリモジュール120を相互接続する導線150、160、170の組は、集合的にメモリバス、またはより一般的に、相互接続部と呼ばれることもある。DS導線170は、コントローラ110を個別にメモリモジュール120内の各DRAM130に接続する。コントローラ110が所与のDQ導線160経由でDRAM130へデータを送信した場合、当該デー

10

20

30

40

50

タの送信および受信はコントローラ110が対応するDS導線170経由で送信したデータストロープにより計時される。同様に、いくつかの実施形態において、DRAM130が所与のDQ導線160経由でコントローラ110へデータを送信した場合、当該データの送信および受信はDRAM130が対応するDS導線170経由で送信したデータストロープにより計時される。

【0013】

他の実施形態において、メモリシステム100内のDS導線170は、一方向的に動作すべく設定されている。より具体的には、DS導線170が送信するデータストロープは一方向性である。すなわちコントローラ110だけが生成および送信する。従ってDRAM130は、データストロープの受信を行なっても、データストロープの生成および送信は行なわない。これらの実施形態において、DRAM130が所与のDQ導線160経由でコントローラ110へデータを送信した場合、データの送信および受信はクロック・バッファ142から受信したクロック信号により計時される。

10

【0014】

以下に詳述するように、メモリシステム100は、双方向または一方向のDS導線170と協働して動作すべく設定可能なコントローラ110およびDRAM130を含んでいる。本明細書に述べる実施形態は、一方向的に動作するコントローラ110および/またはDRAM130に限定されない。メモリシステム市場の過去、現在、未来にわたるニーズを満たすべく、単一の部品(例:コントローラ110、DRAM130/440/450、またはメモリモジュール120)が設定可能であってよい。換言すれば、これらの素子は後方互換性を維持しながら、向上した性能を提供することができる。

20

【0015】

図示していないが、コントローラ110(メモリコントローラと呼ばれる場合もある)は好適には、外部構成要素(すなわち図1に示していない構成要素)との間でデータを送受信する。また、コントローラ110はメモリモジュール120との間で同データを送受信し、メモリモジュール120がDQ導線160経由で当該データを記憶する。より具体的には、DQ導線160の各々がコントローラ110をメモリモジュール120内のDRAM130に接続している。図1に示すように、DQ導線160は双方向性である。より具体的には、コントローラ110はDQ導線160経由でDRAM130との間でデータを送受信する。

30

【0016】

コントローラ110は制御およびアドレス信号により、C/A導線150経由で、メモリモジュール120の、従ってDRAM130の動作を制御する。これらの信号によりコントローラ110は、コントローラ110が接続されている恐らく2個以上のメモリモジュール120のうちの1個を選択できるようになる。メモリモジュール120は、制御およびアドレス・バス150経由で、クロック・バス上のアサートされたクロック信号と共に、制御およびアドレス信号を受信すべく設定されており、クロック信号が制御およびアドレス信号の受信を計時する。DRAM130への制御およびアドレス信号の送信は同期していて、DQ導線160経由でデータ信号の同期送信と並列に動作する。

【0017】

グローバル・クロック140は、クロック・バッファ142へ送信されるクロック(システム・クロックまたは基準クロックと呼ぶ場合がある)を生成し、クロック・バッファ142はコントローラ110およびメモリモジュール120へクロックを送る。クロック・バッファは通常、クロックの位相を揃えるべくPLLに基づいている。本明細書に引用している米国特許第5,485,490号に示す構成等、システムまたは基準クロックを配信する他のバス構造を用いてもよい。メモリモジュール120内で、PLLクロック・バッファ144は、クロック・バッファ142からクロックを受信する。PLLクロック・バッファ144は、モジュールクロック(メモリモジュール内で内部的に使用)の位相を、受信された基準クロックに揃えて、モジュールクロックをレジスタ152およびDRAM130へ送信する。メモリモジュール120へのデータおよび制御信号の送信は、こ

40

50

のようにグローバル・クロック 140 により生成されたクロックに同期している。

【0018】

方向モード制御機能を備えたコントローラ

図2に、メモリシステム100のコントローラ110をより詳細に示す。図2が、典型的なコントローラの構成要素の小さいサブセットを概念的に表現したものである点に注意されたい。コントローラ110は、書込みインジケータ380、データ出力レジスタ388、出力バッファ390、別の書込みインジケータ392、出力バッファ394、データ入力レジスタ395、読出しインジケータ396、入力バッファ397、別の読出しインジケータ398、および入力バッファ399を含んでいる。いくつかの実装方式において、2個の読出しインジケータ396、398は同一の読出し制御信号であり、2個の書込みインジケータ380、392は同一の書込み制御信号である。

10

【0019】

いくつかの実施形態において、コントローラは更に、較正セクタ382、較正アレイ384、クロック較正器386を含んでいる一方、他の実施形態では、これらの要素は含まれていない。これらの要素を含まない実施形態において、クロック・バッファ142からのクロックは出力バッファ394に接続されている。

【0020】

コントローラ110はまた、モード・レジスタ510、ORゲート515、較正セクタ555、較正アレイ560、クロック較正器565、および計時マルチプレクサ570を含んでいる。追加的な制御ロジック580が図2に示す制御信号を生成し、更に本明細書の記述に関係しないコントローラ110の制御機能を実行する。モード・レジスタ510は、方向モードを記憶する。一般に、当該モードは、DS導線170が一方向か双方向かを判定する。モード・レジスタ510は好適には、1個以上の外部構成要素(図示しない)によりコントローラ110が動作する間、またはコントローラ110を製造する間に設定されてよい。モード・レジスタ510により記憶された方向モードは、ORゲート515へ、次いで計時マルチプレクサ570へ送信される。

20

【0021】

上段に示したように、ORゲート515はモード・レジスタ510から入力を受信する。ORゲート515はまた、書込みインジケータ380から入力も受信する。ORゲート515の出力は従って、方向モードが「高」、または書込みインジケータ380が「高」のいずれかであれば「高」である。好適には、コントローラ110がデータをDRAMに書き込んだ場合、書込みインジケータ380は「高」であり、コントローラ110が一方向モード(コントローラ110がデータの書き込みや読み込みを行なっているか、あるいは停止中であるに無関係に)で動作すべく設定されている場合、方向モードは「高」である。ORゲート515の出力は出力バッファ394に接続されていて、出力バッファ394を有効または無効にする。従って、コントローラ110がDRAMにデータを書き込んだ場合、またはコントローラ110が一方向モードで動作すべく設定されている場合に出力バッファ394は有効にされる。出力バッファ394が有効でない場合、その出力は3状態化され(すなわち高インピーダンス状態に設定される)、他のどの素子もDS導線上の信号をアサートしていなければDS導線170は浮動状態のままであり、より一般的には、別の素子(例:メモリモジュール内のメモリ素子)によりDS導線170を駆動してもよい。

30

40

【0022】

上に示したように、コントローラ110は、DRAM130へデータを送信する際に出力バッファ394の出力を有効にすべく書込みインジケータ380を設定する。また、コントローラ110は、コントローラ110が接続されている各メモリモジュール120用の較正データを記憶する。本出願で説明するメモリシステムにおいて、1個のメモリモジュール120だけを示す。しかし、メモリシステムは2つ以上のメモリモジュール120を含んでいてよい。メモリモジュール120へのコントローラ110の各種な接続は異なっていてよい。例えば、そのような接続の長さおよびインピーダンスは変わる場合がある

50

。その結果、タイミング信号（例：クロックまたはデータストロープ）を較正または調整してもよい。

【 0 0 2 3 】

上に注記したように、いくつかの実施形態において、コントローラは、較正セクタ 3 8 2、較正アレイ 3 8 4、およびメモリ素子にデータを書き込む際に用いるタイミング信号を調整するクロック較正器 3 8 6 を含んでいる。較正アレイ 3 8 4 は、この目的で較正データを記憶する。較正セクタ 3 8 2 は、コントローラ 1 1 0 がどのメモリモジュール 1 2 0 に書き込むかに基づいて特定の較正を選択するコントローラ 1 1 0 により生成される信号を搬送する。較正セクタ 3 8 2 は、例えば、較正アレイ 3 8 4 に記憶されている特定の較正值を選択するためのアドレスを送信することができる。

10

【 0 0 2 4 】

選択された較正值は、較正アレイ 3 8 4 によりクロック較正器 3 8 6 へ送信され、当該クロック較正器はまた、クロック・バッファ 1 4 2 からクロックを受信する。クロック較正器 3 8 6 は選択された較正值を用いることにより、受信したクロックの位相を調整する。いくつかの実施形態において、各々の記憶された較正值は、クロック信号の状態遷移をオフセットすべく遅延素子を指定する。いくつかの実施形態において、記憶された較正值は各々クロック位相を指定する。調整されたクロックは、コントローラ 1 1 0 が生成するデータストロープの基礎になる。当該データストロープはクロック較正器 3 8 6 により、データ出力レジスタ 3 8 8 および出力バッファ 3 9 4 へ送信される。上述のように、出力バッファ 3 9 4 はデータストロープを D S 導線 1 7 0 へ送信する。データストロープは、データ出力レジスタ 3 8 8 から出力バッファ 3 9 0 へのデータの出力を計時し、当該出力バッファは D Q 導線 1 6 0 に接続されていて、書込みインジケータ 3 9 2 により有効にされる。

20

【 0 0 2 5 】

ある動作モードにおいて、コントローラ 1 1 0 のデータ入力レジスタ 3 9 5 は、入力バッファ 3 9 7 からデータストロープを、および入力バッファ 3 9 9 からデータを受信する。入力バッファ 3 9 7 は、読出しインジケータ 3 9 6 により有効にされ、入力バッファ 3 9 9 は読出しインジケータ 3 9 8 により有効にされる。入力バッファ 3 9 7 は、D S 導線 1 7 0 から入力（すなわちデータ・ストロープ）を受信し、入力バッファ 3 9 9 は D Q 導線 1 6 0 から入力（すなわちデータ）を受信する。制御ロジック 5 8 0 コントローラ 1 1 0 は、D R A M 1 3 0 からデータを受信する際に、入力バッファ 3 9 7、3 9 9 を有効にすべく読出しインジケータ 3 9 6、3 9 8 を設定する。受信されたデータストロープは従って、データの受信を計時する。

30

【 0 0 2 6 】

コントローラ 1 1 0 が、D S 導線を双方向的に用いるべく設定されている場合、D R A M がデータを送信する間、データストロープはソース同期されていて、D R A M により駆動される。このモードにおいて、コントローラ 1 1 0 は従来型 D R A M（例：D R A M 1 3 0）メモリモジュールと互換性を有する。しかし、コントローラが D S 導線 1 7 0 を一方向的に用いるべく設定されている場合、データストロープはソース同期されておらず、D R A M により駆動されない。このモードにおいて、データストロープは、コントローラ 1 1 0 により送信されたデータをサンプリングすべく自由継続クロックとして D R A M により用いることができる。

40

【 0 0 2 7 】

上述のように、メモリモジュール 1 2 0 は複数の D R A M 1 3 0 を含んでいる。従って、コントローラ 1 1 0 はメモリモジュール 1 2 0 内で各 D R A M 1 3 0 用のデータ出力レジスタ 3 8 8（しかし簡潔のため図示しないが）を含んでいてよい。クロック較正器 3 8 6 の出力は、各々のデータ出力レジスタ 3 8 8 に接続されている。また、各データ出力レジスタ 3 8 8 用に出力バッファ 3 9 0 が含まれていて、これは次いで各々の D Q 導線 1 6 0 に接続している。書込みインジケータ 3 9 2 は、好適にはこれらのデータ出力レジスタ 3 8 8 の各々に接続していることにより、各データ出力レジスタ 3 8 8 の出力が同一デー

50

タストロープにより計時されて、同一書込みインジケータ392により有効にされる。また、メモリモジュール120内の各DRAM130用に出力バッファ394が含まれている。クロック較正器386の出力は各々のデータ出力バッファ394に接続しており、これは次いで各々のDS導線170に接続している。この構成により、コントローラはメモリモジュール120の各DRAM130に別々のデータを同時に送信することが可能になる。

【0028】

所与の較正值は、従って、データストロープにより同時に計時される各々のデータ出力レジスタ388に適用される。出力バッファ390、394の所与の組に接続されたDS170およびDQ導線160の各々の組はまた、2つ以上のメモリモジュール120に接続されていてよい。従って、較正值は通常、メモリモジュール120内の各DRAM130ではなく、各メモリモジュール120について導かれる。特定のメモリモジュール120が選択された場合、選択されたメモリモジュール120がデータを受信すべく設定するために、各メモリモジュール120へ送信された制御およびアドレス信号にこの選択を反映させる。

10

【0029】

同様に、コントローラ110は、(簡潔のため図示しないが)メモリモジュール120内の各DRAM130(すなわちDS170およびDQ導線160の各組)用にデータ入力レジスタ395、入力バッファ397、および入力バッファ399を含んでいてよい。この構成により、コントローラは、メモリモジュール120の各DRAM130から別々のデータを同時に受信可能になる。データをコントローラに送信するために特定のメモリモジュール120が選択された場合、データおよびデータストロープをDQ160とDS導線170の各々に配置するのはこのメモリモジュール120だけである。

20

【0030】

較正セクタ555は、コントローラ110がどのメモリモジュールから読み出しているかに応じて(すなわち、どのメモリモジュールがDQ導線160経由でコントローラ110へデータを送信しているかに応じて)、コントローラ110の制御ロジック580により生成された信号を搬送する。較正セクタ555は、較正アレイ560に記憶された特定の較正值を選択すべくアドレスを送信することができる。

【0031】

選択された較正值は、較正アレイ560によりクロック較正器565へ送信され、当該クロック較正器はまた、クロック・バッファ142からクロックも受信する。クロック較正器565は選択された較正值を用いて、受信したクロックの位相を調整する。調整済みクロックは、クロック較正器565により計時マルチプレクサ570へ送信される。較正セクタ555、較正アレイ560、およびクロック較正器565は、方向モードが一方向である場合にだけ使用され、データの送信元であるメモリ素子に従って調整または較正された位相調整済み受信クロックを生成すべく使用される点に留意されたい。いくつかの実施形態において、省電力のため、方向モードが双方向の場合はクロック較正器565の動作が無効になる。

30

【0032】

計時マルチプレクサ570は、クロック較正器565により送信された位相調整済みクロック、あるいはDS導線170経由で送信されたデータストロープを送信すべく構成されている。計時マルチプレクサ570の出力は、ある状況では当該信号は受信されたデータストロープから導かれる場合もあるが、クロック信号または基準信号と呼ばれる。計時マルチプレクサ570による信号出力の選択はモード・レジスタ510により制御され、上述のように当該モード・レジスタは計時マルチプレクサ570へ方向モードを出力する。計時マルチプレクサ570の出力は入力バッファ397へ送信され、上述のように当該入力バッファは読出しインジケータ396により有効にされてデータ入力レジスタ395に接続されている。データ入力レジスタ395により受信されたデータは、従って、クロック較正器565が生成した調整済みクロックか、またはDS導線170経由で送信され

40

50

るデータストロープにより計時される。コントローラ 110 が双方向モードで動作すべく構成されている場合、計時マルチプレクサ 570 は DS 導線 170 経由で送信されたデータストロープを入力バッファ 397 へ送信する。また、コントローラ 110 が一方向モードで動作すべく構成されている場合、計時マルチプレクサ 570 はクロック較正器 565 が生成した調整済みクロックを入力バッファ 397 に送信する。

【0033】

従って、コントローラ 110 が、DS 導線を双方向的に用いるべく構成されている場合、コントローラ 110 がデータストロープを用いて、DRAM により送信されたデータをサンプリングすることができる。しかし、一方向的に動作すべく構成されている場合、コントローラ 110 による読み込みデータの取得は、較正済み内部タイミング基準（例：調整済みクロック）により、計測または計時される。

10

【0034】

方向モード制御機能を備えた DRAM

図 3 に、メモリシステム 100 の DRAM 130 を示す。図 3 に示すように、DRAM 130 は、モード・レジスタ 302、C/A レジスタ 310、送信 (Tx) インジケータ 320、出力バッファ 325、受信 (Rx) インジケータ 330、入力バッファ 335、データ入力レジスタ 340、受信インジケータ 350、入力バッファ 355、送信 (Tx) インジケータ 360、出力バッファ 365、データ出力レジスタ 370、および AND ゲート 304 を含んでいる。いくつかの実施形態において、2 個の受信インジケータ 330、350 は同一の受信制御信号であって、2 個の送信インジケータ 320、360 は同一送信制御信号である。更に、送受信インジケータは互いに補完的であってよい。

20

【0035】

図 3 が DRAM ・チップの構成要素の小さいサブセットの概念的な表現である点に注意されたい。例えば、この図に示すデータ入力およびデータ出力レジスタ 340、370 は、DRAM の感度増幅器アレイ等、DRAM の記憶アレイへのインタフェースにおける回路であって、当該回路が（例えばラッチその他のクロック制御された回路とは対照的に）厳密に「レジスタ」の定義を満たしていても、いなくてもよい。更に、図 3 ではデータ入力およびデータ出力レジスタ 340、370 を別々に示しているが、同一回路の一部または全体として実装されていてもよい。

【0036】

C/A レジスタ 310 は、（通常は図 1 の PLL クロック・バッファ 144 からの）クロックと、C/A 導線 150 経由でコントローラ 110 から制御およびアドレス信号を受信する。クロックは、これらの制御およびアドレス信号の受信を計時または計測する。

30

【0037】

入力および出力バッファ 335、325 の第一の組は、DS 導線 170 に接続されていて、各々データストロープの受信と送信を行なう。図に示すように、出力バッファ 325 が送信するデータストロープは、DRAM 130 がクロックから生成したものである。

【0038】

DRAM モード・レジスタ 302 は、DRAM 130（または図 4 の DRAM 440）と連動して使われた場合に方向モードを記憶する。方向モードは、DS 導線 170 が一方向または双方向のいずれであるかを判定する。モード・レジスタ 302 は好適には、コントローラ 110 により、DRAM 130 が動作している間、または DRAM 130 またはメモリモジュール 120 を製造する間に設定されてよい。いくつかの実施形態において、コントローラ 110 および DRAM 130 は、コントローラが制御およびアドレス線 150 経由で、DRAM に対し特定のモード値をモード・レジスタ 302 に記憶すべく指示するコマンドを送信可能なように構成されている。モード・レジスタ 302 により記憶された方向モードは、AND ゲート 304 へ送信される。

40

【0039】

上段に示す AND ゲート 304 は、DRAM モード・レジスタ 302 から入力を受信する。AND ゲート 304 はまた、送信 (Tx) インジケータ 320 から入力を受信する。

50

方向モードが「高」であって、送信(Tx)インジケータ320が「高」である場合、ANDゲート304の出力は「高」である。好適には、DRAM130がコントローラヘデータストロープを送信し、DRAM130が双方向モードで動作すべく構成されている場合、送信(Tx)インジケータ320および方向モードは「高」である。ANDゲート304の出力は、出力バッファ325を有効または無効にすべく出力バッファ325に接続されている。従って、DRAM130がデータを送信し、さらに、DRAM130が双方向モードで動作すべく構成されている場合、出力バッファ325は有効にされて、データ用のデータストロープがデータ出力レジスタ370から送信されるにつれて、受信されたクロック信号をDS導線170へ送る。逆に、DRAM130が一方向モードで動作すべく構成されている場合、出力バッファ325が無効になるようANDゲート304の出力は低くなっている。出力バッファ325が有効でない場合、その出力が3状態(すなわち高インピーダンス状態に設定)にされ、他のどの素子もDS導線上の信号をアサートしていなければDS導線170は浮動状態のままであり、より一般的には、別の素子(例:メモリコントローラ110、またはDRAM130が存在するメモリモジュール120と同一メモリバス上の別のメモリモジュール内の別のメモリ素子)によりDS導線170を駆動してもよい。

【0040】

入力バッファ335が受信するデータストロープは、コントローラ110が生成および送信したものである。さらに、入力バッファ335は、受信(Rx)インジケータ330により有効にされる(またはDS導線170からデータ入力レジスタ340へデータストロープを送信すべく設定される)。従って、DRAMがコントローラ110からデータを受信した場合、受信(Rx)インジケータ330は入力バッファ335を有効にすべく設定される。データ入力レジスタ340によるデータの受信は従って、DS導線170経由で受信されたデータストロープにより計時される。

【0041】

入力および出力バッファ355、365の第二の組は、各々データを送受信すべくデータ信号(DQ)導線160に接続されている。図3に示すように、出力バッファ365が送信するデータはデータ出力レジスタ370から送信されたものであり、当該データ出力レジスタはDRAM130内の記憶素子からデータを受信する。さらに、出力バッファ365は、送信(Tx)インジケータ360により有効にされる(またはDQ導線160へデータを送信すべく設定されている)。従って、DRAMがコントローラ110へデータを送信する場合、送信(Tx)インジケータ360は出力バッファ365が有効にされるように設定されている。入力バッファ355が受信するデータは、コントローラ110が送信したものである。また、入力バッファ355は、DQ導線160からデータ入力レジスタ340へデータを送信すべく有効にされていて、当該データ入力レジスタは、受信(Rx)インジケータ350により、DRAM130内の記憶素子へデータを送信する。従って、DRAMがコントローラ110からデータを受信した場合、受信(Rx)インジケータ350は、入力バッファ355が有効にされるよう設定されている。データ出力レジスタ370によるデータの送信は従って、(DS導線170経由で受信されたデータストロープではなく)クロックにより計時される。

【0042】

上述のように、DRAM130が双方向的にDS導線を用いるべく構成されている場合、DRAM130がデータを送信する間、データストロープはソース同期されていて、DRAM130により駆動される。ストロープ出力バッファ325とデータ出力バッファ365に付随する送信遅延は好適には同一であるか、またはほぼ同一に近い。その結果、これらの信号がコントローラに到達した際に、送信されたデータとデータストロープの位相関係は記憶される。このモードでは、DRAM130は従来型コントローラ(例:図1のコントローラ110)と互換性を有する。しかし、DRAM130が一方向的にDS導線を用いるべく構成されている場合、データストロープはソース同期されておらず、DRAMにより駆動されない。このモードでは、DRAM130は本明細書に述べるコントロー

10

20

30

40

50

ラ（例：DRAM 130からデータを受信すべく較正されたタイミングを有するコントローラ）と互換性を有する。

【0043】

図4に、メモリシステム100のDRAM 440の別の実施形態を示す。図3に示すDRAM 130と関連して上で述べた構成要素に加え、図4に示すDRAM 440はマルチプレクサ410を含んでいる。

【0044】

マルチプレクサ410は（通常はPLLクロック・バッファ144からの）クロックと、DS導線170により送信されたデータストローブを受信する。マルチプレクサの出力は、データ出力レジスタ370へ送信される。従って、マルチプレクサ410による選択に応じて、データ出力・バッファによるデータの出力は、クロックまたはDS導線170により送信されたデータストローブにより計測または計時される。この選択はモード・レジスタ302により行なわれ、方向モードを選択入力としてマルチプレクサ410へ送信する。

【0045】

上で示したように、DRAM 440が一方向的にDS導線170を用いるべく構成されている場合、DRAM 440が出力したデータはコントローラ（例：コントローラ110）が生成したデータストローブにより計時される。これが可能なのは、コントローラにより常にデータストローブが送信されるためである。また、データストローブは通常、クロックより位相シフトが小さい点が問題であり、その結果、メモリバス経由のデータ送信速度が従来型システムよりも増大してもよい。このモードでは、DRAM 440はDRAM 440へデータストローブを連続的に送信すべく構成されたコントローラ（本明細書に述べるコントローラ等）と互換性を有する。しかし、DRAM 440が一方向的にDS導線170を用いるべく構成されている場合、DRAM 440がデータを送信する間、データストローブは利用できない。その代わりに、DRAM 440が出力したデータは、クロックにより計時される。このモードでは、DRAM 440は従来型コントローラ（例：コントローラ110）と互換性を有する。

【0046】

追加的な実施形態

図5Aに、メモリシステム100で使用するコントローラ425の別の実施形態を示す。図2に示したコントローラ110とは異なり、図5Aに示すコントローラ425は双方向モードでは動作しない。従って、コントローラ425は、モード・レジスタ510、書込みインジケータ380、ORゲート515、または計時マルチプレクサ570を含んでいない。これらの構成要素が不要なのは、クロック較正器386の出力がDS導線170に連続的に印加されるからである。あるいは、コントローラは、方向モード値以外の各種モード値を記憶するモード・レジスタを含んでいてよい。

【0047】

コントローラ425の本実施形態は、オプションとして、データ出力レジスタ388および出力バッファ390に付随する送信遅延に一致またはほぼ一致する信号遅延を提供すべく、データストローブ出力バッファ394を含んでいてよい。さらに、データ入力レジスタへの入力は、クロック較正器565の出力により常に計時されている。コントローラ425は、本明細書に述べるDRAM（例：DRAM 130、DRAM 440、およびDRAM 450）と互換性を有するが、従来型DRAMとは互換性を有しない。

【0048】

図5Bに、メモリシステム100で使用するDRAM 450の別の実施形態を示す。図3、4のDRAM 130、440とは異なり、DRAM 450はANDゲート304または出力バッファ325を含んでいない。これは、DRAM 450がDS導線170経由出でデータストローブを送信しないからである。さらに、データ出力レジスタ370の出力がクロックにより計時または計測されないため、DRAM 450はマルチプレクサ410を含んでいない。その代わりに、データ出力レジスタ370はデータ入力レジスタ340と

10

20

30

40

50

同様に、D S 導線 1 7 0 経由で送信されるデータストロープにより常に計時されている。好適には、C / A 導線 1 5 0 経由で送信された制御およびアドレス信号だけがクロックにより計時される。D R A M 4 5 0 は、本明細書に述べるコントローラ（例：コントローラ 1 1 0 およびコントローラ 4 2 5 ）と互換性を有するが、従来型コントローラとは互換性を有しない。

【 0 0 4 9 】

特定の実施形態に関する上の記述は、例示および説明目的で提示されている。各実施形態は、本発明の原理および実際的な応用を最適に説明し、それにより他の当業者が本発明を最適に利用できるようにすべく選択および記述したものである。従ってこれらが全てではなく、開示した方式を以って本発明を限定するものでもない。本開示の利点を享受し得る当業者は、本明細書に述べた本発明の概念から逸脱することなく、各種の変更を想起することが可能であろう。

10

【 0 0 5 0 】

例えば、上に述べた各種のデータストロープおよびクロック（すなわちクロック信号）は単一終端信号として提示されている。しかし、別の実施形態では、これらのデータストロープおよびクロックは差分信号である。差分信号を利用することにより、クロック速度およびデータ速度を向上させることが可能である。従って、単に上記の説明だけではなく、特許請求の範囲によって、本発明の排他的権利の規定を意図する。

【 図面の簡単な説明 】

【 0 0 5 1 】

20

図面の簡単な説明

【 図 1 】 メモリシステムを示す図である。

【 図 2 】 図 1 に示すメモリシステムのコントローラを示す図である。

【 図 3 】 図 1 に示すメモリシステムに含まれる D R A M を示す図である。

【 図 4 】 図 1 に示すメモリシステムに含まれる別の D R A M を示す図である。

【 図 5 A 】 図 1 に示すメモリシステムに含まれる別のコントローラを示す図である。

【 図 5 B 】 図 1 に示すメモリシステムに含まれる別の D R A M を示す図である。

【図1】

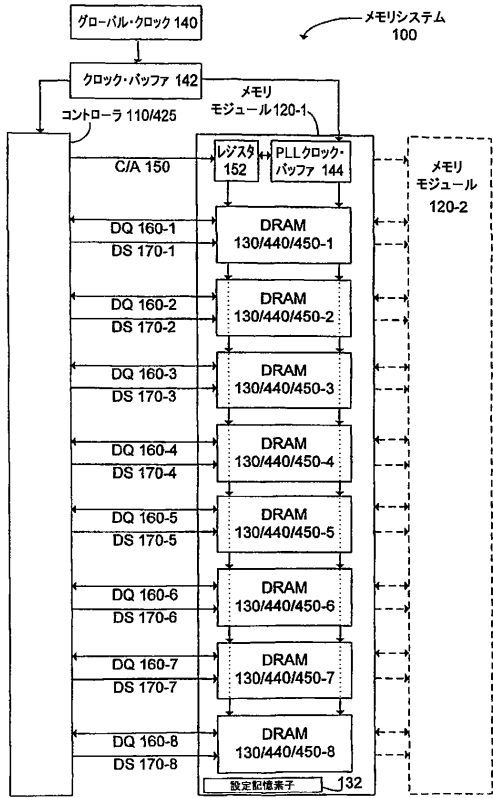


図 1

【図2】

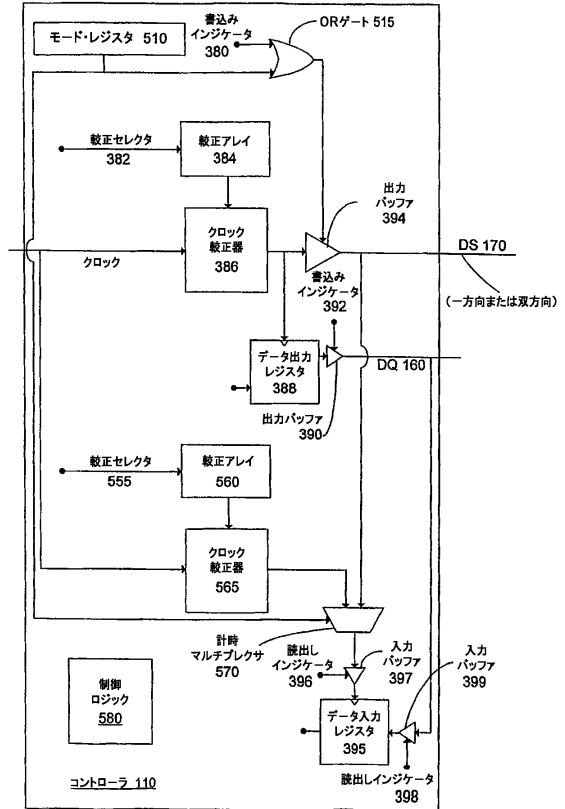


図 2

【図3】

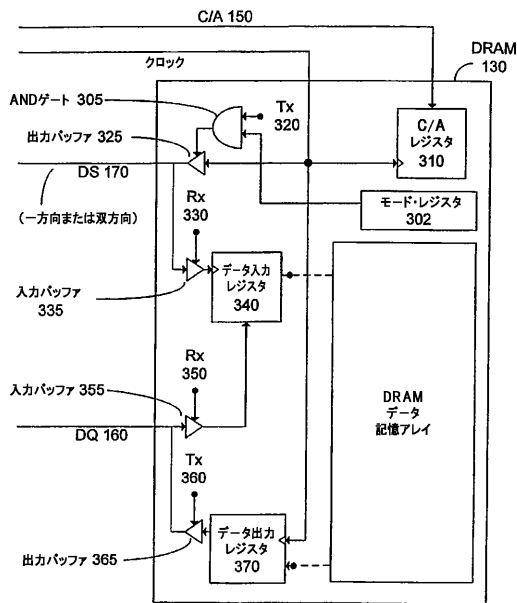


図 3

【図4】

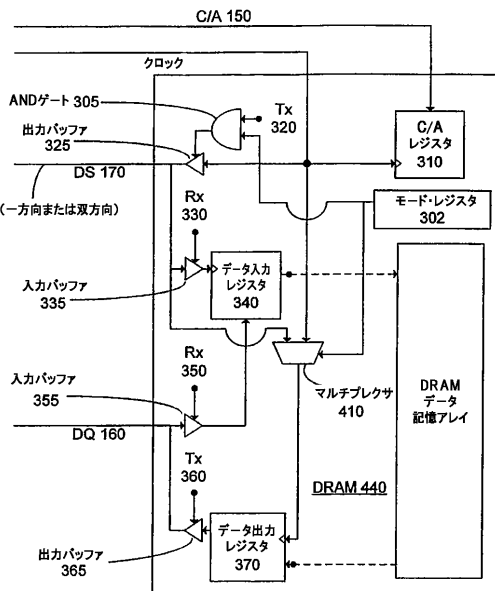


図 4

【図 5 A】

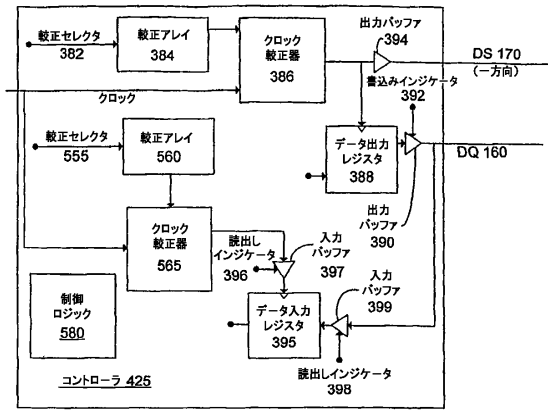


図 5A

【図 5 B】

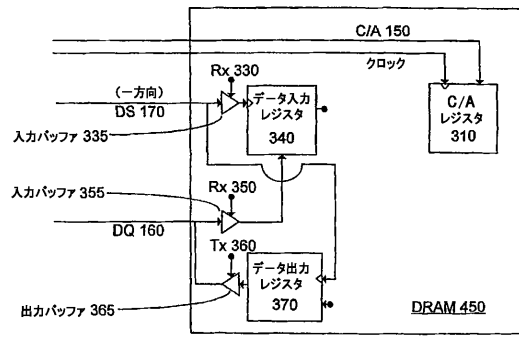


図 5B

フロントページの続き

審査官 野田 佳邦

- (56)参考文献 特開平11-025029(JP,A)
特開2005-044494(JP,A)
特開2002-007200(JP,A)
特開2003-007069(JP,A)
特開2000-163965(JP,A)
特開2003-050739(JP,A)
米国特許第6188638(US,B1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06
G06F 13/16 - 13/18
G11C 11/401
G11C 11/409