

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710111454.6

[43] 公开日 2007年12月26日

[11] 公开号 CN 101093647A

[22] 申请日 2007.6.20

[21] 申请号 200710111454.6

[30] 优先权

[32] 2006.6.21 [33] KR [31] 10-2006-0055654

[32] 2007.5.29 [33] KR [31] 10-2007-0051904

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李旼哲 文胜焕

[74] 专利代理机构 北京康信知识产权代理有限责任公司

代理人 章社杲 吴贵明

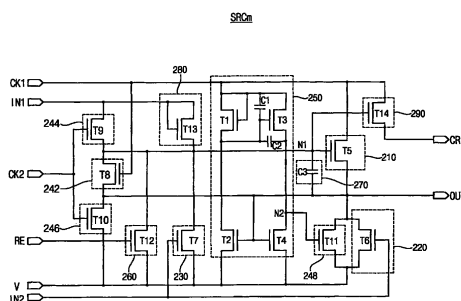
权利要求书 11 页 说明书 30 页 附图 11 页

[54] 发明名称

栅极驱动电路及具有该栅极驱动电路的显示装置

[57] 摘要

在栅极驱动电路和显示装置中，栅极驱动电路包括多个级。这些级中的至少一个包括响应于第一节点信号的上拉部；响应于第二输入信号的下拉部；响应于第二输入信号而使第一节点信号放电的放电部；响应于第一时钟信号的第一保持部，其将第一节点信号保持在截止电压；以及响应于第二时钟信号的第二保持部，其将第一节点信号保持在截止电压。第二保持部具有大于第一保持部的晶体管宽长比。因此，出现异常栅极导通信号的可能性较小，减少了该显示装置的驱动缺陷。



1. 一种栅极驱动电路，包括移位寄存器，其具有相互串联连接的多个级，所述多个级包括一个或多个级，其每一个包括：

上拉部，接收第一时钟信号，并在第一节点信号响应于第一输入信号而被驱动至高电压时传递所述第一时钟信号作为栅极信号；

下拉部，响应于第二输入信号而将所述栅极信号放电至截止电压；

放电部，响应于所述第二输入信号而将所述第一节点信号放电至所述截止电压；

第一保持部，响应于所述第一时钟信号，在所述栅极信号已被放电至所述截止电压时将所述第一节点信号保持在所述截止电压；以及

第二保持部，响应于第二时钟信号，在所述第一输入信号处于所述截止电压时将所述第一节点信号保持在所述截止电压，

其中，所述第二保持部具有大于所述第一保持部的晶体管宽长比。

2. 根据权利要求 1 所述的栅极驱动电路，进一步包括进位部，其响应于所述第一节点信号传递所述第一时钟信号作为进位信号，其中，所述第二保持部具有小于所述第一保持部和所述进位部的晶体管宽长比的总和的晶体管宽长比。

3. 根据权利要求2所述的栅极驱动电路,进一步包括:

第三保持部,响应于所述第二时钟信号而将所述栅极信号保持在所述截止电压;

第四保持部,与所述第三保持部交替地将所述栅极信号保持在所述截止电压;以及

切换部,切换所述第四保持部的接通和断开。

4. 根据权利要求3所述的栅极驱动电路,其中,所述切换部包括:

第一晶体管,具有漏电极、栅电极、和源电极,所述漏电极和栅电极同时接收所述第一时钟信号;

第二晶体管,具有连接于所述第一晶体管的所述源电极的漏电极,并具有接收所述栅极信号的栅电极、且具有接收所述截止电压的源电极;

第三晶体管,具有接收所述第一时钟信号的漏电极、连接于所述第一晶体管的所述源电极的栅电极、以及源电极;

第四晶体管,具有在第二节点处连接于所述第三晶体管的所述源电极的漏电极、与所述第二晶体管的所述栅电极同时接收所述栅极信号的栅电极、以及接收所述截止电压的源电极;

第一电容,连接所述第三晶体管的所述漏电极与所述第三晶体管的所述栅电极;以及

第二电容,连接所述第三晶体管的所述栅电极与所述第三晶体管的所述源电极,

其中,所述第四保持部响应于第二节点信号而被切换于接通和断开。

5. 根据权利要求4所述的栅极驱动电路,其中,所述一个或多个级包括第 m 级;

所述第 m 级的所述第一输入信号是垂直起始信号或者是第 $(m-1)$ 级的所述进位信号,以及

所述第 m 级的第二输入信号是第 $(m+1)$ 级的所述栅极信号或者是所述垂直起始信号。

6. 根据权利要求4所述的栅极驱动电路,其中,所述第一时钟信号与所述第二时钟信号是反相的。

7. 根据权利要求1所述的栅极驱动电路,其中,所述一个或多个级包括第 m 级;

所述第 m 级的所述第一输入信号是垂直起始信号或者是第 $(m-1)$ 级的所述栅极信号,以及

所述第 m 级的第二输入信号是第 $(m+1)$ 级的所述栅极信号或者是所述垂直起始信号。

8. 一种显示装置,包括:

显示面板,包括显示图像的显示区和在所述显示区周围的外围区、由栅极线和与所述栅极线交叉的数据线在所述显示区中形成的多个像素区;

数据驱动电路,将数据信号输出到所述数据线;以及

栅极驱动电路,具有相互串联连接并直接集成在所述外围区上的多个级,所述多个级中的每一个将栅极信号输出到所述栅极线,

其中,所述多个级包括一个或多个级,其每一个包括:

上拉部，响应于第一节点信号而传递第一时钟信号作为栅极信号，其中所述第一节点信号响应于第一输入信号被驱动至高电位；

下拉部，响应于第二输入信号而将所述栅极信号放电至截止电压；

放电部，响应于所述第二输入信号而将所述第一节点信号放电至所述截止电压；

第一保持部，响应于所述第一时钟信号而将所述第一节点信号保持在所述栅极信号的所述截止电压；以及

第二保持部，响应于所述第二时钟信号而将所述第一节点信号保持在所述第一输入信号的所述截止电压，

其中，所述第二保持部具有大于所述第一保持部的晶体管宽长比。

9. 根据权利要求8所述的显示装置，进一步包括进位部，其响应于所述第一节点信号传递所述第一时钟信号作为进位信号，其中，所述第二保持部的所述晶体管宽长比小于所述第一保持部和所述进位部的晶体管宽长比的总和。

10. 根据权利要求9所述的显示装置，进一步包括：

第三保持部，响应于所述第二时钟信号而将所述栅极信号保持在所述截止电压；

第四保持部，与所述第三保持部交替地将所述栅极信号保持在所述截止电压；以及

切换部，切换所述第四保持部的接通和断开。

11. 根据权利要求 10 所述的显示装置，其中，所述切换部包括：

第一晶体管，具有漏电极、栅电极、和源电极，所述漏电极和栅电极同时接收所述第一时钟信号；

第二晶体管，具有连接于所述第一晶体管的所述源电极的漏电极、接收所述栅极信号的栅电极、和接收所述截止电压的源电极；

第三晶体管，具有接收所述第一时钟信号的漏电极、连接于所述第一晶体管的所述源电极的栅电极、以及源电极；

第四晶体管，具有在第二节点处连接于所述第三晶体管的所述源电极的漏电极、与所述第二晶体管的所述栅电极同时接收所述栅极信号的栅电极、以及接收所述截止电压的源电极；

第一电容，将所述第三晶体管的所述漏电极连接至所述第三晶体管的所述栅电极；以及

第二电容，将所述第三晶体管的所述栅电极连接至所述第三晶体管的所述源电极，

其中，由第二节点信号来切换所述第四保持部的接通和断开。

12. 根据权利要求 11 所述的显示装置，其中，所述一个或多个级包括第 m 级；

其中，所述第 m 级的所述第一输入信号是垂直起始信号或者是第 $(m-1)$ 级的所述进位信号，以及

所述第 m 级的第二输入信号是第 $(m+1)$ 级的所述栅极信号或者是所述垂直起始信号。

13. 根据权利要求 12 所述的显示装置, 其中, 所述第一时钟信号与所述第二时钟信号是反相的。

14. 根据权利要求 8 所述的显示装置, 其中, 所述一个或多个级包括第 m 级;

其中, 所述第 m 级的所述第一输入信号是垂直起始信号或者是第 $(m-1)$ 级的所述栅极信号, 以及

所述第 m 级的第二输入信号是第 $(m+1)$ 级的所述栅极信号或者是所述垂直起始信号。

15. 一种栅极驱动电路, 包括移位寄存器, 其具有相互串联连接的多个级, 每一个级包括:

连接于第一时钟端子的上拉部, 其将所述第一时钟端子连接至输出端子, 在第一节点响应于第一输入端子上的信号而被驱动至高电压时提供栅极信号;

下拉部, 响应于第二输入端子上的信号而将所述输出端子放电至截止电压;

放电部, 响应于所述第二输入端子上的信号而将所述第一节点放电至所述截止电压;

第一保持部, 响应于所述第一时钟端子上的信号, 在所述输出端子已被放电至所述截止电压时将所述第一节点保持在所述截止电压; 以及

第二保持部, 响应于第二时钟端子上的信号, 在所述第一输入端子处于所述截止电压时将所述第一节点保持在所述截止电压,

其中, 所述第二保持部具有大于所述第一保持部的晶体管宽长比。

16. 一种显示装置，包括根据权利要求 15 所述的栅极驱动电路并进一步包括：

多个栅极线，其每一个连接于所述一个或多个级中的各个级的所述输出端子；

与所述栅极线交叉的多个数据线；以及

数据驱动电路，将数据信号提供给所述数据线。

17. 一种栅极驱动电路，包括相互串联连接的多个级，第 m 级（其中“ m ”为整数）包括：

上拉部，接收第一时钟信号，并在第一节点信号响应于第一输入信号而被驱动至高电压时传递所述第一时钟信号作为栅极信号；

下拉部，响应于第二输入信号而将所述栅极信号放电至截止电压；

放电部，响应于所述第二输入信号而将所述第一节点信号放电至所述截止电压；

第一保持部，响应于所述第一时钟信号，在所述栅极信号已被放电至所述截止电压时将所述第一节点信号保持在所述截止电压；

第二保持部，响应于第二时钟信号，在所述第一输入信号处于所述截止电压时将所述第一节点信号保持在所述截止电压，所述第二保持部包括不对称的晶体管。

18. 根据权利要求 17 所述的栅极驱动电路，其中，所述第二保持部的所述不对称晶体管包括接收所述第二时钟信号的栅电极、接收所述第一输入信号的漏电极、和电连接于所述第一节点的源电极，以及

所述不对称晶体管的所述栅电极与所述源电极之间的第一寄生电容大于所述不对称晶体管的所述栅电极和所述漏电极之间的第二寄生电容。

19. 根据权利要求 18 所述的栅极驱动电路, 进一步包括缓冲部, 所述缓冲部包括电连接于所述第一节点的晶体管, 以将高电位的所述第一输入信号施加于所述第一节点。

20. 根据权利要求 19 所述的栅极驱动电路, 其中, 所述缓冲部的所述晶体管的增加的宽度 ΔW_T 满足以下公式,

$$W_{T8} \times (1-1/K) < \Delta W_T$$

其中, W_{T8} 是所述第一保持部的沟道宽度, 所述第二保持部的晶体管的栅电极和源电极之间的寄生电容 C_{gs} 与所述第二保持部的晶体管的栅电极和漏电极之间的寄生电容 C_{gd} 的比率为 $K:1$ ($K>1$)。

21. 根据权利要求 19 所述的栅极驱动电路, 进一步包括进位部, 其响应于所述第一节点的信号而输出所述第一时钟信号作为进位信号。

22. 根据权利要求 21 所述的栅极驱动电路, 其中, 所述缓冲部的所述晶体管的增加的宽度 ΔW_T 满足以下公式,

$$W_{T8} \times (1-1/K) < \Delta W_T < (W_{T8} + W_{T14}) \times (1-1/K)$$

其中, W_{T8} 是所述第一保持部的沟道宽度, W_{T14} 是所述进位部的沟道宽度, 而所述第二保持部的晶体管的栅电极和源电极之间的寄生电容 C_{gs} 与所述第二保持部的晶体管的栅电极和漏电极之间的寄生电容 C_{gd} 的比率为 $K:1$ ($K>1$)。

23. 根据权利要求 22 所述的栅极驱动电路, 其中, 所述第一输入信号对应于垂直起始信号或第 $(m-1)$ 级的进位信号, 以及

所述第二输入信号对应于第 $(m+1)$ 级的栅极信号或所述垂直起始信号。

24. 根据权利要求 17 所述的栅极驱动电路, 其中, 所述第一输入信号对应于垂直起始信号或第 $(m-1)$ 级的栅极信号, 以及

所述第二输入信号对应于第 $(m+1)$ 级的栅极信号或所述垂直起始信号。

25. 一种显示装置, 包括:

显示面板, 具有像素区和所述像素区周围的外围区, 在所述像素区中具有多个栅极线和多个数据线;

数据驱动部, 将数据信号施加给所述数据线; 以及

栅极驱动电路, 将栅极信号施加给所述栅极线, 所述栅极驱动电路包括相互串联连接的多个级, 第 m 级(其中“ m ”为整数)包括:

上拉部, 接收第一时钟信号, 并在第一节点信号响应于第一输入信号而被驱动至高电压时传递所述第一时钟信号作为栅极信号;

下拉部, 响应于第二输入信号而将所述栅极信号放电至截止电压;

放电部, 响应于所述第二输入信号而将所述第一节点信号放电至所述截止电压;

第一保持部, 响应于所述第一时钟信号, 在所述栅极信号已被放电至所述截止电压时将所述第一节点信号保持在所述截止电压;

第二保持部，响应于第二时钟信号，在所述第一输入信号处于所述截止电压时将所述第一节点信号保持在所述截止电压，所述第二保持部包括不对称的晶体管。

26. 根据权利要求 25 所述的显示装置，其中，所述第二保持部的所述不对称晶体管包括接收所述第二时钟信号的栅电极、接收所述第一输入信号的漏电极、和电连接于所述第一节点的源电极，以及

所述不对称晶体管的所述栅电极与所述源电极之间的第一寄生电容大于所述不对称晶体管的所述栅电极与所述漏电极之间的第二寄生电容。

27. 根据权利要求 26 所述的显示装置，进一步包括缓冲部，所述缓冲部包括电连接于所述第一节点的晶体管，以将高电位的所述第一输入信号施加于所述第一节点。
28. 根据权利要求 27 所述的显示装置，其中，所述缓冲部的所述晶体管的增加的宽度 ΔW_T 满足以下公式，

$$W_{T8} \times (1-1/K) < \Delta W_T$$

其中， W_{T8} 是所述第一保持部的沟道宽度，所述第二保持部的晶体管的栅电极和源电极之间的寄生电容 C_{gs} 与所述第二保持部的晶体管的栅电极和漏电极之间的寄生电容 C_{gd} 的比率为 $K:1$ ($K>1$)。

29. 根据权利要求 27 所述的显示装置，进一步包括进位部，其响应于所述第一节点的信号而输出所述第一时钟信号作为进位信号。
30. 根据权利要求 29 所述的显示装置，其中，所述缓冲部的所述晶体管的增加的宽度 ΔW_T 满足以下公式，

$$W_{T8} \times (1-1/K) < \Delta W_T < (W_{T8} + W_{T14}) \times (1-1/K)$$

其中, W_{T8} 是所述第一保持部的沟道宽度, W_{T14} 是所述进位部的沟道宽度, 而所述第二保持部的晶体管的栅电极和源电极之间的寄生电容 C_{gs} 与所述第二保持部的晶体管的栅电极和漏电极之间的寄生电容 C_{gd} 的比率为 $K:1$ ($K>1$)。

31. 根据权利要求 30 所述的显示装置, 其中, 所述第一输入信号对应于垂直起始信号或第 $(m-1)$ 级的进位信号, 以及

所述第二输入信号对应于第 $(m+1)$ 级的栅极信号或所述垂直起始信号。

32. 根据权利要求 25 所述的显示装置, 其中, 所述第一输入信号对应于垂直起始信号或第 $(m-1)$ 级的栅极信号, 以及

所述第二输入信号对应于第 $(m+1)$ 级的栅极信号或所述垂直起始信号。

栅极驱动电路 及具有该栅极驱动电路的显示装置

技术领域

本发明涉及一种栅极驱动电路及具有该栅极驱动电路的显示装置。在一些具体实施方式中，该栅极驱动电路能够减少驱动缺陷。

背景技术

通常，液晶显示（LCD）装置包括阵列基板（array substrate）、相对基板、以及设置在阵列基板与相对基板之间的液晶层。液晶层包括具有各向异性介电常数的液晶分子。在 LCD 装置中，电场施加于液晶分子，并且根据该电场的强度控制透光率以显示图像。

LCD 装置包括包含阵列基板和相对基板的显示面板，并且进一步包括栅极驱动电路和数据驱动电路。显示面板包括由栅极线和与栅极线交叉的数据线限定的多个像素区。栅极驱动电路将栅极信号输出到栅极线，而数据驱动电路将数据信号输出到数据线。通常地，栅极驱动电路和数据驱动电路形成为安装在显示面板上的集成电路芯片。

为了减小 LCD 尺寸并增大生产率，可以将栅极驱动电路直接集成在显示基板上。然而，当在高温下操作这样的集成栅极驱动电路时，可产生以在栅极断开时间出现的异常栅极导通信号形式的噪声。

由于时钟信号与上拉晶体管（pull up transistor）的栅极之间的寄生电容（Cgd），产生噪声。当假定晶体管断开时，这种电容用于增大晶体管栅极电压。同时，高温使得晶体管漏电流升高。因此，上拉晶体管接通。上拉晶体管的间歇异常接通在 LCD 上引起显示缺陷。

发明内容

本发明的一些具体实施方式提供一种能够减少显示装置的驱动缺陷的栅极驱动电路，以及具有该栅极驱动电路的显示装置。

在本发明的一些具体实施方式中，栅极驱动电路包括移位寄存器，其具有多个相互串联连接的级（stage）。该多个级包括一个或多个级，其中每一个级包括：上拉部，接收第一时钟信号，并在第一节点信号响应于第一输入信号被升高至高电压时传递第一时钟信号作为栅极信号；下拉部，响应于第二输入信号将栅极信号放电至截止电压（off voltage）；放电部，响应于第二输入信号将第一节点信号放电至截止电压；第一保持部，响应于第一时钟信号，在栅极信号已被放电至截止电压时将第一节点信号保持在截止电压；以及第二保持部，响应于第二时钟信号，在第一输入信号处于截止电压时将第一节点信号保持在截止电压，其中，第二保持部具有比第一保持部更大的晶体管宽长比。

在本发明的一些具体实施方式中，显示装置包括：显示面板，其包括显示图像的显示区和该显示区周围的外围区、由栅极线和与栅极线交叉的数据线在显示区中形成的多个像素区；数据驱动电路，将数据信号输出到数据线；以及栅极驱动电路，具有相互串联连接且直接集成在外围区上的多个级，这些级中的每一个将栅极信号输出到栅极线，其中，所述多个级包括一个或多个级，其每一个级包括：上拉部，其响应于第一节点信号而传递第一时钟信号作为

栅极信号，其中该第一节点信号响应第一输入信号而被驱动至高电位；下拉部，响应于第二输入信号将栅极信号放电至截止电压；放电部，响应于第二输入信号将第一节点信号放电至截止电压；第一保持部，响应于第一时钟信号将第一节点信号保持在栅极信号的截止电压；以及第二保持部，响应于第二时钟信号将第一节点信号保持在第一输入信号的截止电压，其中，第二保持部具有比第一保持部更大的晶体管宽长比。

在本发明一些具体实施方式中，栅极驱动电路包括移位寄存器，其具有相互串联连接的多个级，每一个级包括：连接于第一时钟端子的上拉部，其将第一时钟端子连接至输出端子，在第一节点响应于第一输入端子上的信号而被驱动至高电位时提供栅极信号；下拉部，响应于第二输入端子上的信号将输出端子放电至截止电压；放电部，响应于第二输入端子上的信号将第一节点放电至截止电压；第一保持部，响应于在第一时钟端子上的信号，在输出端子已被放电至截止电压时将第一节点保持在截止电压；以及第二保持部，响应于第二时钟端子上的信号，在第一输入端子处于截止电压时将第一节点保持在截止电压，其中，第二保持部具有比第一保持部更大的晶体管宽长比。

在本发明一些具体实施方式中，栅极驱动电路包括相互串联连接的多个级。第 m 级（其中“ m ”是一个整数）包括上拉部、下拉部、放电部、第一保持部、和第二保持部。上拉部接收第一时钟信号，并在第一节点信号响应于第一输入信号而被驱动至高电压时传递第一时钟信号作为栅极信号。下拉部响应于第二输入信号而将栅极信号放电至截止电压。放电部响应于第二输入信号而将第一节点信号放电至截止电压。第一保持部响应于第一时钟信号，在栅极信号已被放电至截止电压时将第一节点信号保持在截止电压。第二保

持部响应于第二时钟信号，在第一输入信号处于截止电压时将第一节点信号保持在截止电压。第二保持部包括不对称晶体管。

在本发明的一些具体实施方式中，显示装置包括显示面板、数据驱动部和栅极驱动电路。数据驱动电路包括相互串联连接的多个级。第 m 级（其中“ m ”是一个整数）包括上拉部、下拉部、放电部、第一保持部、和第二保持部。上拉部接收第一时钟信号，并在第一节点信号响应于第一输入信号而被驱动至高电压时传递第一时钟信号作为栅极信号。下拉部响应于第二输入信号而将栅极信号放电至截止电压。放电部响应于第二输入信号而将第一节点信号放电至截止电压。第一保持部响应于第一时钟信号，在栅极信号已被放电至截止电压时将第一节点信号保持在截止电压。第二保持部响应于第二时钟信号，在第一输入信号处于截止电压时将第一节点信号保持在截止电压。第二保持部包括不对称晶体管。

根据本发明的一些具体实施方式，在上拉部的控制电极中产生的纹波（ripple）可以被减少，使得可以防止异常栅极导通信号，从而减少驱动缺陷。

下面将讨论本发明的其它特征和优点。本发明由所附权利要求限定。

附图说明

当通过以下参照附图讨论的实施例进行图解说明时，本发明的以上和其它特征和优点将变得更加明显，在附图中：

图 1 是根据本发明具体实施方式的显示装置的平面图；

图 2 是示出了根据第一实施例的图 1 的栅极驱动电路的结构图；

图 3 是示出了图 2 的级的示意性电路图；

图 4 是图 3 的级的信号的时序图；

图 5 是解释说明在图 3 节点处的电压纹波减少的示意性电路图；

图 6 是示出了图 5 的仿真电压纹波的时序图；

图 7 是示出了根据第二实施例的图 1 的栅极驱动电路的结构图；

图 8 是示出了图 7 的级的示意性电路图；

图 9 是示出了根据第三实施例的栅极驱动电路的级的示意性电路图；

图 10A 和图 10B 是示出了图 9 中的第九晶体管的结构平面图；

图 11 是示出了在图 9 中第一节点处的仿真电压纹波的曲线图；
以及

图 12 是示出了栅极驱动电路根据运行时间的频率特性的曲线图。

具体实施方式

以下将参照附图描述本发明的一些具体实施方式。然而，本发明可以以许多不同形式具体体现并且不应被解释为局限于本文提出的这些具体实施方式。而且，提供这些具体实施方式以便使本公开内容充分和完整，并将本发明的范围充分传达给本领域的技术人员。在附图中，各个层和区的尺寸与相对尺寸不用来表示实际大小。

应当理解，当提及一个元件或层在另一个元件或层“之上”、与另一个元件或层“连接”或“耦合”时，其可以直接在该另一元件或层的上面、直接与该另一元件或层连接或直接耦合，或者可替换地，可以存在中介元件或层。相反，当提及一个元件“直接在”另一元件或层上、“直接连接于”或“直接耦合于”另一元件或层，则不存在中介元件或层。相同标记始终指代相同元件。如本文使用的，术语“和/或”包括相关所列条目中的一个或多个的任意或全部组合。

应当理解，尽管在本文中可以使用术语第一、第二、第三等来描述不同的元件、部件、区域、层和/或部分，但是这些元件、部件、区域、层和/或部分不应该受这些术语的限制。这些术语仅用来区分一个元件、部件、区域、层或部分与另一个元件、部件、区域、层或部分。因此，在不背离本发明教导的情况下，以下讨论的“第一”元件、部件、区域、层或部分可以可替换地称为“第二”元件、部件、区域、层或部分。

为便于描述，在本文中可以使用空间相关术语如“在……之下”、“在……下面”、“下”、“在……上面”、“上”等来描述一个特征与另外特征的关系。应当理解，这些空间相关术语不用于将本发明限制为使用或运行中的装置的特定空间取向。例如，如果将图中描述的装置倒转，则描述为在其它元件“下面”或“下方”的元件

将定向在该其它元件的“上方”。因此，术语“在.....下面”不用来排除这样的定向。该装置可以以其它方式定向（旋转 90 度或其它角度）。

本文所使用的术语仅用于描述具体实施方式的目的并不用于限制本发明。如本文所使用的，单数形式“一个”“一种”也用于包括多数形式，除非文中明确指明是其它情况。应当进一步理解，当在本说明书中使用时，术语“包括”和/或“包含”说明所述特征、整体、步骤、操作、元件和/或部件的存在，但不排除另外的一个或多个其它特征、整体、步骤、操作、元件、部件和/或它们的组的存在。

本文参照横截面示图来描述本发明的具体实施方式，该示图示意性地示出了本发明的理想具体实施方式（和中间结构）。这样，可以预料到存在由于例如制造技术和/或公差造成的图示形状的变形。因此，本发明的具体实施方式不应被解释为局限于本文图示的特定形状，而包括例如根据制造变形产生的偏差。例如，以矩形示出的注入区域通常具有圆形或弯曲特征和/或在边缘处的注入浓度梯度，而不是绝对的直边或在注入/非注入区域处的突变（abrupt）的边界。同样，另外的掺杂区域可以在预计的注入区域与通过其进行注入的表面之间的离子注入中形成。因此，图中示出的区域本质是示意性的，并且它们的形状不用于表示实际的形状或限制本发明的范围。

现在将参照附图详细说明本发明。

图 1 是示出了根据本发明具体实施方式的显示装置的平面图。该显示装置包括显示面板 100、用于驱动显示面板 100 的栅极驱动电路 200、以及数据驱动电路 130。

显示面板 **100** 包括阵列基板、与阵列基板隔开预定距离并面对阵列基板的相对基板（例如，滤色基板）、以及设置在阵列基板与相对基板之间的液晶层。显示面板 **100** 包括显示区 **DA** 和该显示区 **DA** 周围的外围区 **PA**。显示区 **DA** 包括沿第一方向延伸的栅极线 **GL**、沿与第一方向交叉的第二方向延伸的数据线 **DL**、以及由栅极线 **GL** 和数据线 **DL** 限定的用于显示图像的多个像素区。

在每一个像素区中形成用作切换元件的薄膜晶体管（TFT）、电连接于 TFT 的液晶电容 **CLC**、以及存储电容 **CST**。TFT 的栅电极电连接于栅极线 **GL**，TFT 的源电极电连接于数据线 **DL**，并且 TFT 的漏电极电连接于液晶电容 **CLC** 和存储电容 **CST**。

外围区 **PA** 包括在数据线 **DL** 的一端的第一外围区 **PA1** 和在栅极线 **GL** 的一端的第二外围区 **PA2**。

数据驱动电路 **130** 包括一个或多个数据驱动芯片 **132**，用于与施加到栅极线 **GL** 的栅极信号同步地将数据信号输出到数据线 **DL**。每一个数据驱动芯片 **132** 被安装在柔性印刷电路板（FPCB）**134** 上。FPCB **134** 的一个侧面附着于 PCB **140**，并且 FPCB **134** 电连接于 PCB **140**。数据驱动芯片 **132** 通过 FPCB **134** 电连接于 PCB **140** 和显示面板 **100**。

栅极驱动电路 **200** 包括具有串联连接在一起的多个级的移位寄存器，用于顺序地在栅极线上提供栅极导通信号。栅极驱动电路 **200** 作为集成电路被集成在显示面板 **100** 的第二外围区 **PA2** 上。集成的栅极驱动电路 **200** 可以由一种或多种不同的材料制成，包括例如低电阻金属层，如用于提高驱动容限（driving margin）的钼/铝/钼（Mo/Al/Mo）的三层。

图 2 是根据第一实施例的图 1 的栅极驱动电路的结构图。该栅极驱动电路包括电路部分 CS 和线路部分 LS。电路部分 CS 包括相互串联连接的第 1 级 SRC1 ~ 第 (n+1) 级 SRC(n+1)，用于将栅极信号 GOUT 输出到它们各自的输出端子 OUT 上，其中栅极信号 GOUT 被随后驱动至栅极导通电压电平。线路部分 LS 为电路部分 CS 提供控制信号。

第 1 级 SRC1 ~ 第 n 级 SRCn 是激励级，而第 (n+1) 级 SRC(n+1) 是虚位级 (dummy stage)。第 1 级 SRC1 ~ 第 (n+1) 级 SRC(n+1) 的每一个包括第一时钟端子 CK1、第二时钟端子 CK2、第一输入端子 IN1、第二输入端子 IN2、电压端子 V、复位端子 RE、进位 (carry) 端子 CR、以及输出端子 OUT。

这些级 SRC 中的每一个 (即，级 SRC1~SRC(n+1) 的每一个) 的第一时钟端子 CK1 接收与该级的第二时钟端子 CK2 上的时钟信号反相的时钟信号。更具体地，奇数级 SRC1、SRC3 等在其第一时钟端子 CK1 处接收第一时钟信号 CK，并在其第二时钟端子 CK2 处接收与第一时钟信号 CK 反相的第二时钟信号 CKB。偶数级 SRC2、SRC4 等在其第一时钟端子 CK1 处接收第二时钟信号 CKB，并在其第二时钟端子 CK2 处接收与该第二时钟信号 CKB 反相的第一时钟信号 CK。

每一个级 SRC 的第一输入端子 IN1 接收垂直起始信号 STV 或上一级的进位信号 CR。例如，第一级 SRC1 的第一输入端子 IN1 接收垂直起始信号，而级 SRC2~SRC(n+1) 的每一个的第一输入端子 IN1 接收级 SRC1~SRCn 的各自上一级的进位信号。

每一个级 SRC 的第二输入端子 IN2 接收下一级的栅极信号 GOUT 或垂直起始信号 STV。例如，第 1 级 SRC1 ~ 第 n 级 SRCn 的第二输入端子 IN2 接收各自下一级 SRC2~SRC(n+1) 的栅极信号

GOUT，并且末级 **SRC(n+1)**的第二输入端子 **IN2** 接收垂直起始信号 **STV**。

将截止电压提供给这些级中的每一个级的电压端子 **V**。在一些具体实施方式中，该截止电压为约-5 V~-7 V。

将末级 **SRC(n+1)**的进位信号提供给这些级中的每一个级的复位端子 **RE**。

在每一个 **SRC** 级中，当第一时钟端子 **CK1** 为高时，可以将第一时钟端子 **CK1** 上的高电位信号提供给该 **SRC** 级的输出端子 **OUT**。具体地，在一些具体实施方式中，当第一时钟信号 **CK** 为高时，将高电位的第二时钟信号 **CK** 提供给奇数级 **SRC1**、**SRC3**、……之一的输出端子 **OUT**，其中连续的奇数级在第一时钟信号 **CK** 的各自连续周期内提供高电位的第二时钟信号 **CK**。当第二时钟信号 **CKB** 为高时，该高电位的第二时钟信号 **CKB** 被提供给偶数级 **SRC2**、**SRC4**、……之一的输出端子 **OUT**，其中连续的偶数级在第二时钟信号 **CKB** 的各自连续周期内提供高电位的第二时钟信号 **CKB**。以这种方式，第 1 级 **SRC1** ~ 第 (n+1) 级 **SRC(n+1)** 顺序地将它们的栅极信号 **GOUT** 驱动至栅极导通电压电位。

线路部分 **LS** 形成在电路部分 **CS** 的一侧，并且包括用于将信号 **CK**、**CKB**、**STV** 和截止电压 **VOFF** 提供给第 1 级 ~ 第 (n+1) 级的多个线路。更具体地，线路部分 **LS** 包括用于垂直起始信号 **STV** 的起始信号线 **SL1**、用于第一时钟信号 **CK** 的第一时钟线 **SL2**、用于第二时钟信号 **CKB** 的第二时钟线 **SL3**、用于截止电压 **VOFF** 的电压线 **SL4**、以及复位线 **SL5**。垂直起始信号 **STV** 从外部提供给起始信号线 **SL1**，并且起始信号线 **SL1** 将垂直起始信号 **STV** 提供给第 1 级的第一输入端子 **IN1** 和末级的第二输入端子 **IN2**。换句话说，

起始信号线 **SL1** 将垂直起始信号 **STV** 提供给第 1 级 **SRC1** 的第一输入端子 **IN1** 和第 $(n+1)$ 级 **SRC $(n+1)$** 的第二输入端子 **IN2**。

第一时钟信号 **CK** 从外部提供给第一时钟线 **SL2**，并且第一时钟线 **SL2** 将第一时钟信号 **CK** 提供给奇数级 **SRC1**、**SRC3**、..... 的第一时钟端子 **CK1** 和偶数级 **SRC2**、**SRC4**、..... 的第二时钟端子 **CK2**。

与第一时钟信号 **CK** 反相的第二时钟信号 **CKB** 从外部提供给第二时钟线 **SL3**，并且第二时钟线 **SL3** 将第二时钟信号 **CKB** 提供给奇数级 **SRC1**、**SRC3**、..... 的第二时钟端子 **CK2** 和偶数级 **SRC2**、**SRC4**、..... 的第一时钟端子 **CK1**。

截止电压 **Voff** 被提供给电压线 **SL4**，并且电压线 **SL4** 将截止电压 **Voff** 提供给第 1 级 **SRC1** ~ 第 $(n+1)$ 级 **SRC $(n+1)$** 的电压端子 **V**。末级 **SRC $(n+1)$** 的进位信号被提供给复位线 **SL5**，并且复位线 **SL5** 将进位信号提供给第 1 级 **SRC1** ~ 第 $(n+1)$ 级 **SRC $(n+1)$** 的复位端子 **RE**。

如上所述，每一个级 **SRC m** ($m > 1$) 在第一输入端子 **IN1** 接收第 $(m-1)$ 级 **SRC $(m-1)$** 的进位信号作为第一输入信号，并且每一个级 **SRC m** ($m < n+1$) 在第二输入端子 **IN2** 接收第 $(m+1)$ 级 **SRC $(m+1)$** 的栅极信号 **GOUT** 作为第二输入信号。然而，在其它具体实施方式中，级 **SRC m** 在第一输入端子 **IN1** 接收级 $(m-2)$ 、 $(m-3)$ 、 $(m-4)$ 或一些其它在前级的进位信号，和/或接收级 $(m+2)$ 、 $(m+3)$ 、 $(m+4)$ 或一些其它在后级的栅极信号 **GOUT**。

图 3 是示出了图 2 中的级的示意性电路图，而图 4 是图 3 中的级的信号的时序图。

参照图 3 和图 4, 在根据本实施例的栅极驱动电路 200 中, 第 m 级 SRC_m 包括上拉部 210 和下拉部 220。响应于第 $(m-1)$ 级 $SRC(m-1)$ 的进位信号, 上拉部 210 将第 m 个栅极信号 $GOUT$ 上拉到第一时钟端子 $CK1$ 的电压。在信号 $GOUT$ 被如此上拉后, 响应于第 $(m+1)$ 级的栅极信号 $GOUT(m+1)$, 下拉部 220 将第 m 级信号 $GOUT_m$ 下拉到截止电压 V_{off} 。

上拉部 210 包括第五晶体管 $T5$, 其具有连接于第一节点 $N1$ 的栅电极、连接于第一时钟端子 $CK1$ 的漏电极、以及连接于输出端子 OUT 的源电极。因此, 第五晶体管 $T5$ 的漏电极通过第一时钟端子 $CK1$ 接收第一时钟信号 CK 或第二时钟信号 CKB 。

下拉部 220 包括第六晶体管 $T6$, 其具有连接于第二节点 $N2$ 的栅电极、连接于输出端子 OUT 的漏电极、以及连接于电压端子 V 的源电极。截止电压被提供给第六晶体管 $T6$ 的源电极。

第 m 级进一步包括上拉驱动电路。上拉驱动电路响应于第 $(m-1)$ 级 $SRC(m-1)$ 的进位信号而接通上拉部 210, 并且响应于第 $(m+1)$ 级 $SRC(m+1)$ 的栅极信号 $GOUT(m+1)$ 而断开上拉部 210。上拉驱动电路包括缓冲部 280、充电部 270、和放电部 230。

缓冲部 280 包括第十三晶体管 $T13$, 其具有连接于第一输入端子 $IN1$ 的栅电极、连接于第一输入端子 $IN1$ 的漏电极、以及连接于第一节点 $N1$ 的源电极。充电部 270 包括第三电容 $C3$, 其具有连接于第一节点 $N1$ 的第一电极和连接于输出端子 OUT 的第二电极。放电部 230 包括第七晶体管 $T7$, 其具有连接于第二输入端子 $IN2$ 的栅电极、连接于第一节点 $N1$ 的漏电极、以及连接于电压端子 V 的源电极。截止电压 V_{off} 被提供给第七晶体管 $T7$ 的源电极。

在该上拉驱动电路中，当第十三晶体管 **T13** 响应于第 $(m-1)$ 级而被接通时，第 $(m-1)$ 级 **SRC(m-1)** 的进位信号被施加到第一节点 **N1** 以将第一节点 **N1** 驱动至高电压，并且第 $(m-1)$ 级的进位信号给第三电容 **C3** 充电。当第三电容 **C3** 被充电至至少第五晶体管 **T5** 的阈值电压并且第一时钟端子 **CK1** 变高时，第五晶体管 **T5** 接通以将第一时钟端子 **CK1** 的高电压转移到输出端子 **OUT**。

在该实施例中，当第五晶体管 **T5** 接通时，第五晶体管 **T5** 将栅极导通信号输出至第 m 级 **SRCm** 的输出端子 **OUT** 上。接着，当第七晶体管 **T7** 响应于第 $(m+1)$ 个栅极信号 **GOUT(m+1)** 而被接通时，第三电容 **C3** 被放电至电压端子 **V** 的截止电压，使得第五晶体管 **T5** 被断开。

第 m 级 **SRCm** 进一步包括将第一节点 **N1** 保持在截止电压 **Voff** 的第一保持部 **242** 和第二保持部 **244**。

第一保持部 **242** 包括第八晶体管 **T8**，其具有连接于第一时钟端子 **CK1** 的栅电极、连接于第一节点 **N1** 的漏电极、以及连接于输出端子 **OUT** 的源电极。第二保持部 **244** 包括第九晶体管 **T9**，其具有连接于第二时钟端子 **CK2** 的栅电极、连接于第一输入端子 **IN1** 的漏电极、以及连接于第一节点 **N1** 的源电极。

第一保持部 **242** 和第二保持部 **244** 在第 m 栅极信号 **GOUTm** 通过下拉部 **220** 放电至截止电压 **Voff** 之后将第一节点 **N1** 保持在截止电压 **Voff**。尤其是，当第 m 栅极信号 **GOUTm** 已被放电至截止电压 **Voff** 并且第八晶体管 **T8** 响应于第一时钟端子 **CK1** 上的时钟信号而接通时，第 m 栅极信号 **GOUTm** 的 **Voff** 电压被施加给第一节点 **N1**，以将第一节点 **N1** 保持在截止电压 **Voff**。另外，当第九晶体管 **T9** 响应于在与第一时钟端子 **CK1** 上的信号反相的第二时钟端

子 **CK2** 上的时钟信号而被接通时，处于截止电压 **Voff** 的第一输入信号被施加给第一节点 **N1**，以将第一节点 **N1** 保持在截止电压 **Voff**。

因此，响应于各自的第二时钟端子 **CK1** 和第三时钟端子 **CK2** 上的信号，第一保持部 **242** 和第二保持部 **244** 中的每一个顺序地被接通，以将第一节点 **N1** 保持在截止电压 **Voff**。

第 m 级 **SRC m** 进一步包括第三保持部 **246**、第四保持部 **248**、以及切换部 **250**。第三保持部 **246** 和第四保持部 **248** 将第 m 栅极信号 **GOUT m** 保持在截止电压 **Voff**。切换部 **250** 控制第四保持部 **248** 的接通/断开 (on/off) 切换。

第三保持部 **246** 包括第十晶体管 **T10**，其具有连接于第二时钟端子 **CK2** 的栅电极、连接于输出端子 **OUT** 的漏电极、以及连接于电压端子 **V** 的源电极。第十晶体管 **T10** 的源电极接收截止电压 **Voff**。第四保持部 **248** 包括第十一晶体管 **T11**，其具有连接于切换部 **250** 的第二节点 **N2** 的栅电极、连接于输出端子 **OUT** 的漏电极、以及连接于电压端子 **V** 的源电极。第十一晶体管 **T11** 的源电极接收截止电压 **Voff**。

切换部 **250** 包括第一晶体管 **T1**、第二晶体管 **T2**、第三晶体管 **T3**、和第四晶体管 **T4**，以及第一电容 **C1** 和第二电容 **C2**。

第一晶体管 **T1** 具有连接于第二时钟端子 **CK1** 的栅电极、连接于第二时钟端子 **CK1** 的漏电极、以及连接于第二晶体管 **T2** 的漏电极的源电极。栅电极和漏电极接收第二时钟端子 **CK1** 上的信号。第二晶体管 **T2** 具有连接于输出端子 **OUT** 的栅电极和连接于电压端子 **V** 以接收截止电压 **Voff** 的源电极。第三晶体管 **T3** 具有连接于第二时钟端子 **CK1** 的漏电极、通过电容 **C1** 连接于第二时钟端子 **CK1** 的栅电极、以及连接于第二节点 **N2** 的源电极。因此，第三晶体管

T3 的漏电极和栅电极接收第一时钟端子 **CK1** 上的信号。第二电容 **C2** 连接在第三晶体管 **T3** 的栅电极与源电极之间。第四晶体管 **T4** 具有连接于输出端子 **OUT** 的栅电极、连接于第二节点 **N2** 的漏电极、以及连接于电压端子 **V** 以接收截止电压 **Voff** 的源电极。

当第一晶体管 **T1** 和第二晶体管 **T3** 由第一时钟端子 **CK1** 上的信号接通并且第一时钟端子 **CK1** 上的信号被传递到输出端子 **OUT** 时，输出端子 **OUT** 被上拉至高电压。相应地，第二晶体管 **T2** 和第四晶体管 **T4** 被接通，并且由第一晶体管 **T1** 和第三晶体管 **T3** 提供的电流通过第二晶体管 **T2** 和第四晶体管 **T4** 放电。因此，第二节点 **N2** 被保持在低电压，使得第十一晶体管 **T11** 被断开。

接着，当第 m 个栅极信号 **GOUT m** 响应于第 $(m+1)$ 个栅极信号 **GOUT $(m+1)$** 而被放电至截止电压 **Voff** 时，输出端子 **OUT** 上的电压逐渐降低至低电位。因此，第二晶体管 **T2** 和第四晶体管 **T4** 断开，并且第二节点 **N2** 被第一晶体管 **T1** 和第三晶体管 **T3** 上拉至高电位。相应地，第十一晶体管 **T11** 接通，以快速将输出端子 **OUT** 放电至截止电压 **Voff**。

接着，当第一时钟端子 **CK1** 变为低电压时，第二节点 **N2** 也变为低电压，使得第十一晶体管 **T11** 被接通。然而，第十晶体管 **T10** 通过第二时钟端子 **CK2**（其电压与第一时钟端子 **CK1** 上的电压反相）上的电压而被接通，使得输出端子 **OUT** 被放电至截止电压 **Voff**。

响应于在各自的第二时钟端子 **CK2** 和第一时钟端子 **CK1** 上的信号，第三保持部 **246** 和第四保持部 **248** 的每一个顺序地将输出端子 **OUT** 放电至截止电压 **Voff**。

栅极驱动电路 **200** 的第 m 级进一步包括复位部 **260** 和进位部 **290**。

复位部 260 包括第十二晶体管 T12, 其具有连接于复位端子 RE 的栅电极、连接于第一节点 N1 的漏电极、以及连接于电压端子 V 以接收截止电压 Voff 的源电极。当末级 SRC(n+1) 的进位信号被提供给复位端子 RE 时, 第十二晶体管 T12 被接通, 使得第一节点 N1 被放电至截止电压 Voff。因此, 第 m 级信号 GOUTm 通过第 (n+1) 级 SRC(n+1) 的进位信号放电至截止电压 Voff。

进位部 290 包括第十四晶体管 T14, 其具有连接于第一节点 N1 的栅电极、连接于第一时钟端子 CK1 (例如, 以接收第一时钟信号 CK) 的漏电极、以及连接于进位端子 CR 的源电极。当第一节点 N1 上的电压变高时, 进位部 290 将第一时钟信号 CK 的高电位传递给进位端子 CR。

在根据本具体实施方式的栅极驱动电路中, m 级的第一保持部和第二保持部具有不同的电特性。例如, 在一些实现方式中, 第九晶体管的宽长比 (W/L) 大于第八晶体管的宽长比 (W/L), 以减少第一节点 N1 处的纹波。

现在将参照附图详细解释说明第一节点处的纹波的减少。

图 5 是示出了根据本发明一些具体实施方式的第一节点处的纹波改善的示意性电路图。

参照图 5, 在连接于上拉部 210 的控制电极的第一节点 N1 处出现纹波, 这是由于第一节点 N1 通过上拉部 210、第一保持部 242、和进位部 290 的第一寄生电容 Cgd1、第二寄生电容 Cgd2、和第三寄生电容 Cgd3 耦合于第一时钟端子 CK1。更具体地, 由耦合于 (a) 第五晶体管 T5 的漏电极与栅电极之间的第一寄生电容 Cgd1、(b) 第八晶体管 T8 的漏电极与栅电极之间的第二寄生电容 Cgd2 以及

(c) 第十四晶体管 **T14** 的漏电极与栅电极之间的第三寄生电容 **Cgd3** 的第一时钟端子 **CK1** 引起纹波。

当假定第五晶体管 **T5** 被断开时，纹波可能会接通该晶体管，使得在输出端子 **OUT** 上产生异常栅极导通信号，以引起驱动缺陷。例如，假定第一时钟端子 **CK1** 接收第一时钟信号 **CK**，则第一时钟信号 **CK** 的上升沿 (rising edge) 可以升高第一节点 **N1** 上的电压，以产生异常栅极导通信号，使得出现驱动缺陷。

另外，第二保持部 244 的寄生电容 **Cgs** 可在第一节点 **N1** 上引起纹波。该电容 **Cgs** 将第一节点 **N1** 耦合于第二时钟端子 **CK2**。寄生电容 **Cgs** 是在第九晶体管 **T9** 的栅电极与源电极之间的电容。在这种情况下，由于第二时钟端子 **CK2** 上的信号具有相对于第一时钟端子 **CK1** 上的信号的反相，所以由与第二时钟端子 **CK2** 耦合的寄生电容引起的纹波 (“反向纹波”) 具有相对于由与第一时钟端子 **CK1** 耦合的寄生电容引起的纹波的反相。因此，由与第二时钟端子 **CK2** 耦合的寄生电容引起的反向纹波补偿由与第一时钟端子 **CK1** 耦合的寄生电容引起的纹波，从而减少了在第一节点 **N1** 处的总纹波。在一些具体实施方式中，总纹波可被减少的程度相当于由第五晶体管 **T5**、第八晶体管 **T8**、和第十四晶体管 **T14** 的寄生电容 **Cgd1**、**Cgd2** 和 **Cgd3** 引起的纹波与由第九晶体管 **T9** 的寄生电容 **Cgs** 引起的纹波之间的差异的大小，从而减少在第一节点 **N1** 处的总纹波。

因此，如果第九晶体管 **T9** 具有较大的宽长比 (**W/L**) 以增大寄生电容 **Cgs**，则反向纹波增加，以减少在第一节点 **N1** 处的总纹波。

图 6 是示出了在图 5 的第一节点 **N1** 处的仿真纹波的波形图。

在图 6 的实施例中，假定第一节点 N1 在“栅极断开”期间处于 -7 V 的截止电压，即，当栅极信号 GOUT 处于栅极断开电压。然而，由于第一节点 N1 与时钟端子之间的寄生电容所引起的纹波，第一节点 N1 可被升高至更高电压。然而，相比于 25 μm 的沟道宽，如果第九晶体管 T9 具有 900 μm 的沟道宽的话，纹波较小（假定沟道长度对于这两种情况是相同的）。

表 1 示出了对于第九晶体管 T9 的不同宽长比 (W/L) 的第一节点 N1 处的纹波的仿真值。这些值也示于图 6 中。这些值是在沟道长度 L 为常数并且沟道宽度 W 假定为 25 μm 、354 μm 、500 μm 和 900 μm 的数值的情况下获得的。在第九晶体管 T9 老化之前和之后，对第九晶体管 T9 进行高温运行获得该结果。

[表 1]

Von=23V, Voff=-7V	第一节点 N1 处的纹波			
T9 的宽度[μm]	25	354	500	900
在高温下驱动	2.53	2.21	2.05	1.61
老化后在高温下驱动	2.71	2.6	2.5	2.24

如表 1 所示，在对于 25 μm 沟道宽度的第九晶体管 T9 老化之前的高温运行中，纹波为约 2.53 V；对于 354 μm 沟道宽度，纹波为约 2.21 V；对于 500 μm 沟道宽度，纹波为约 2.05 V；而对于 900 μm 沟道宽度，纹波为约 1.61 V。因此，在第一节点处的纹波可以通过增加第九晶体管 T9 的沟道宽度来减少。

在老化后的高温运行中，对于第九晶体管 T9 的 25 μm 沟道宽度，纹波为约 2.71 V；对于第九晶体管 T9 的 354 μm 沟道宽度，纹波为约 2.6 V；对于 500 μm 沟道宽度，纹波为约 2.5 V；而对于 900 μm 沟道宽度，纹波为约 2.24V。因此，在这种情况下，或者也可以通过增加第九晶体管 T9 的沟道宽度，来减少在第一节点处的纹波。

当第三电容 C3 放电时，第九晶体管 T9 发挥与第十三晶体管 T13 一样的作用。因此，如果第九晶体管 T9 的宽长比 (W/L) 增大，则电流-电压 (I-V) 特性可以得到改善并且第三电容 C3 通过第一输入信号的充电速率可以得到改进，使得第五晶体管 T5 的低温驱动容限 (margin) 可以被提高。

表 2 示出了对于不同宽长比 (W/L) 的第九晶体管 T9 的低温驱动容限和常温频率驱动容限所获得的结果。这些结果是在将第九晶体管 T9 的沟道长度保持不变并且第九晶体管 T9 的沟道宽度假定为 25 μm 和 936 μm 的数值的情况下获得的。

[表 2]

条件		驱动缺陷的温度 [°C]		常温频率驱动容限 [Hz]		电压[V]	
T9 的宽度[μm]	Cgs:Cgd	Min.	Max.	Min.	Max.	dV	Voff
25	10	-33	-18	115	121	38	-7.4
936	11	-50	-24	124	>130	34~38	-7.4

如表 2 所示，如果第九晶体管 T9 的宽长比 (W/L) 增大，则第九晶体管 T9 可以在低电压 (dV) 和低温 (低于 -20°C) 下运行，并且常温频率驱动容限增大超过 124 Hz。

因此，在本发明的栅极驱动电路的一些具体实施方式中，第九晶体管 T9 具有大于第八晶体管 T8 的宽长比 (W/L)。因此，反向纹波增加从而减少第一节点 N1 处的总纹波。另外，当第九晶体管 T9 和第十三晶体管 T13 都接通时，第三电容 C3 通过第一输入信号的充电速率提高，因此低温驱动容限提高。

然而，如果第九晶体管 T9 的宽长比 (W/L) 太大，则第九晶体管 T9 将会由于阈值电压漂移而不能正常工作；由此第九晶体管

T9 仅仅发挥寄生电容 **C_{gs}** 的作用。这在本文中称为“晶体管老化”。然后，第五晶体管 **T5** 不能被正常驱动。因此，第九晶体管 **T9** 的宽长比 (**W/L**) 应优选为大于第八晶体管 **T8**，但小于第八晶体管 **T8** 和第十四晶体管 **T14** 的宽长比 (**W/L**) 的总和。

图 7 是示出了根据第二实施例的图 1 的栅极驱动电路的详细结构图。该具体实施方式的栅极驱动电路类似于第一实施例的栅极驱动电路。因此，将使用相同参考表面指代第一和第二实施例的相同或类似部分，并避免这些部分的重复解释说明。

图 7 的栅极驱动电路 **200** 包括电路部分 **CS** 和线路部分 **LS**。电路部分 **CS** 包括相互串联连接的第 1 级 **SRC1** ~ 第 (**n+1**) 级 **SRC(n+1)**，用于顺序地输出栅极导通电压作为栅极信号 **GOUT**。线路部分 **LS** 将各种控制信号提供给电路部分 **CS**。

第 1 级 **SRC1**~第 (**n+1**) 级 **SRC(n+1)** 的每一级包括第一时钟端子 **CK1**、第二时钟端子 **CK2**、第一输入端子 **IN1**、第二输入端子 **IN2**、电压端子 **V**、复位端子 **RE**、和输出端子 **OUT**。

第 1 级 **SRC1**~第 (**n+1**) 级 **SRC(n+1)** 的每一级的第一时钟端子 **CK1** 和第二时钟端子 **CK2** 接收反相的时钟信号。

垂直起始信号 **STV** 被提供给第 1 级 **SRC1** 的第一输入端子 **IN1**。各自第 1 级 **SRC1**~第 **n** 级 **SRCn** 的栅极信号 **GOUT1**~**GOUTn** 提供给各自下一级 **SRC2**~**SRC(n+1)** 的第一输入端子 **IN1**。栅极信号 **GOUT2**~**GOUT(n+1)** 提供给各自上一级 **SRC1**~**SRCn** 的第二输入端子 **IN2**，并且垂直起始信号 **STV** 提供给第 (**n+1**) 级 **SRC(n+1)** 的第二输入端子 **IN2**。

第 $(n+1)$ 级 $SRC(n+1)$ 的栅极信号 $GOUT(n+1)$ 提供给第 1 级 $SRC1$ ~第 $(n+1)$ 级 $SRC(n+1)$ 的复位端子 RE 。截止电压 V_{off} 提供给第 1 级 $SRC1$ ~第 $(n+1)$ 级 $SRC(n+1)$ 的电压端子 V 。每一个 SRC 级可以将第一时钟端子 $CK1$ 上的高电位时钟信号传递到输出端子 OUT 。

线路部分 LS 包括起始信号线 $SL1$ 、第一时钟信号线 $SL2$ 、第二时钟信号线 $SL3$ 、电压线 $SL4$ 、和复位线 $SL5$ 。

垂直起始信号 STV 从外部提供给起始信号线 $SL1$ ，而起始信号线 $SL1$ 将该垂直起始信号 STV 提供给第 1 级 $SRC1$ 的第一输入端子 $IN1$ 和第 $(n+1)$ 级 $SRC(n+1)$ 的第二输入端子 $IN2$ 。

第一时钟信号线 $SL2$ 接收第一时钟信号 CK ，而第二时钟信号线 $SL3$ 接收与第一时钟信号 CK 反相的第二时钟信号 CKB 。第一时钟信号线 $SL2$ 和第二时钟信号线 $SL3$ 将第一时钟信号 CK 和第二时钟信号 CKB 提供给第 1 级 $SRC1$ ~第 $(n+1)$ 级 $SRC(n+1)$ 。

电压线 $SL4$ 接收截止电压 V_{off} ，并将该截止电压 V_{off} 提供给第 1 级 $SRC1$ ~第 $(n+1)$ 级 $SRC(n+1)$ 的电压端子。

复位线 $SL5$ 接收末级 $SRC(n+1)$ 的栅极信号 $GOUT(n+1)$ ，并将该栅极信号 $GOUT(n+1)$ 提供给第 1 级 $SRC1$ ~第 $(n+1)$ 级 $SRC(n+1)$ 的复位端子 RE 。

根据本实施例，栅极驱动电路的每一个第 m 级 SRC_m ($m>1$) 接收第 $(m-1)$ 级 $SRC(m-1)$ 的栅极信号 $GOUT(m-1)$ 作为第 m 级 SRC_m 的操作所需的起始信号。

图 8 是示出了图 7 的单一 SRC 级的示意性电路图。

本实施例的 **SRC** 级类似于第一实施例的 **SRC** 级。因此，将使用相同参考标号指代第一和第二实施例中的相同或类似部分，并避免重复解释说明。

参照图 8，级 **SRC_m** ($1 \leq m \leq n+1$) 包括上拉部 **210** 和下拉部 **220**。上拉部 **210** 响应于第 ($m-1$) 级栅极信号 **GOUT_(m-1)** (如果 $m>1$) 而将第 m 级栅极信号 **GOUT_m** 上拉至第一时钟信号 **CK** 的电压 (假定为了说明第一时钟端子 **CK1** 接收第一时钟信号 **CK**)。下拉部 **220** 响应于第 ($m+1$) 级栅极信号 **GOUT_(m+1)** (如果 $m<n+1$) 而将第 m 级栅极信号 **GOUT_m** 下拉至截止电压 **Voff**。

第 m 级 **SRC_m** 进一步包括上拉驱动电路。该上拉驱动电路响应于第 ($m-1$) 级栅极信号 **GOUT_(m-1)** 而接通上拉部 **210**，并响应于第 ($m+1$) 级栅极信号 **GOUT_(m+1)** 而断开上拉部 **210**。上拉驱动电路包括缓冲部 **280**、充电部 **270**、和放电部 **230**。

第 m 级 **SRC_m** 进一步包括第一保持部 **242** 和第二保持部 **244**。第一保持部 **242** 响应于第一时钟信号 **CK** 而将第一节点 **N1** 保持在截止电压 **Voff**，并且第二保持部 **244** 响应于第二时钟信号 **CKB** 将第一节点 **N1** 保持在截止电压 **Voff**。另外，第 m 级 **SRC_m** 包括将第 m 栅极信号 **GOUT_m** 保持在截止电压 **Voff** 的第三保持部 **246** 和第四保持部 **248**，以及控制第四保持部 **248** 的接通/断开 (on/off) 切换的切换部 **250**。在该实施例中，第三保持部 **246** 响应于第二时钟信号 **CKB** 控制接通/断开 (on/off) 切换，并且第三保持部 **246** 和第四保持部 **248** 替换地将输出端子 **OUT** 放电至截止电压 **Voff**。

第 m 级 **SRC_m** 进一步包括复位部 **260**。第 1 级 **SRC₁**~第 ($n+1$) 级 **SRC_(n+1)** 的复位部 **260** 响应于第 ($n+1$) 级栅极信号 **GOUT_(n+1)** 而同时将各自的第一节点 **N1** 放电至截止电压 **Voff**。

在根据本实施例的栅极驱动电路的第 m 级 SRC_m 中，第一保持部 242 和第二保持部 244 具有不同的电特性。例如，可以使得第九晶体管的宽长比 (W/L) 大于第八晶体管的宽长比。

因此，相对于由与第一时钟信号 CK 耦合而在第一节点 N1 引起的纹波，由与第二时钟信号 CKB 耦合引起的第一节点处 N1 的反向纹波增加了，从而减少了驱动缺陷。另外，由于在第九晶体管 T9 充电第三电容 C3 时第九晶体管 T9 辅助了第十三晶体管 T13 ，所以由于第九晶体管 T9 的宽长比 (W/L) 增加了，第三电容的充电速率提高，使得低温驱动容限被提高。

图 9 是示出了根据第三实施例的栅极驱动电路的级的示意性电路图。本实施例的级基本上与图 2 中的相同，不同之处在于第九晶体管和第十三晶体管。因此，将使用相同参考标号指代如图 2 中描述的同或类似部分，并省略关于上述元件的任何重复解释说明。

参照图 9，第二保持部 244 包括第九晶体管 T9 。第九晶体管 T9 包括电连接于第二时钟端子 CK2 的栅电极、电连接于第一输入端子 IN1 的漏电极、和电连接于第一节点 N1 的源电极。

第九晶体管 T9 具有不对称结构。具体地，在第九晶体管 T9 的栅电极与源电极之间的寄生电容 C_{gs} 不同于在第九晶体管 T9 的栅电极与漏电极之间的寄生电容 C_{gd} 。更具体地，寄生电容 C_{gs} 大于寄生电容 C_{gd} 。当第二时钟信号 CKB 从高状态降低为低状态时，大于寄生电容 C_{gd} 的寄生电容 C_{gs} 减少了电连接于第九晶体管 T9 的源电极的第一节点 N1 的纹波。随着寄生电容 C_{gs} 增大，纹波减少的程度也增加。对于寄生电容 C_{gs} 与纹波减少之间的关系将参照图 10A 和图 10B 详细解释说明。

第 m 级 SRC_m 包括上拉驱动电路。该上拉驱动电路响应于从第 $(m-1)$ 级 SRC_{m-1} 提供的进位信号而接通上拉部 210，并响应于第 $(m+1)$ 级 SRC_{m+1} 的栅极信号 G_{m+1} 而断开上拉部 210。上拉驱动电路包括缓冲部 280、充电部 270、和放电部 230。

缓冲部 280 包括第十三晶体管 T_{13} ，其具有连接于第一输入端子 IN_1 的栅电极、连接于第一输入端子 IN_1 的漏电极、和连接于第一节点 N_1 的源电极。

当第十三晶体管 T_{13} 响应于第 $(m-1)$ 级 SRC_{m-1} 的进位信号而被接通时，该进位信号施加到第一节点 N_1 以升高第一节点 N_1 的电压电平，从而对第三电容 C_3 充电。当第三电容 C_3 被充分充电而具有比第五晶体管 T_5 的阈值电压更高的电压并且第一时钟信号 CL 为高时，第五晶体管 T_5 被自举 (bootstrapped)，使得高电位的第一个时钟信号被输出到输出端子 OUT 并且第 m 级 SRC_m 的第 m 级栅极信号 G_m 被输出。

第十三晶体管 T_{13} 具有足够的沟道宽度，使得当第十三晶体管 T_{13} 被接通时，电连接于第三电容 C_3 的第三电容 C_3 被充分充电而改善驱动特性。将详细解释说明第十三晶体管 T_{13} 的沟道宽度的变化量。

图 10A 和图 10B 是示出了图 9 中的第九晶体管的结构的平面图。

参照图 10A，图 9 中的第九晶体管 T_9 具有 1-形状的沟道。具体地，第九晶体管 T_9 包括栅电极 111、沟道图案 113、多个源电极 115、和多个漏电极 117。信号图案 113 设置在栅电极 111 上。一部分的源电极 115 和漏电极 117 与沟道图案 113 重叠。

源电极 115 和漏电极 117 的每一个具有 I-形状并且源电极 115 和漏电极 117 相互交替布置。源电极 115 和漏电极 117 彼此隔开。由源电极 115 和漏电极 117 限定的沟道具有沟道长度 L 和沟道宽度 W 的 I-形状。

第九晶体管 $T9$ 被设计成，使源电极 115 的宽度 s 大于漏电极 117 的宽度 d 。因此，在栅电极 111 与源电极 115 之间的寄生电容 C_{gs} 大于栅电极 111 与漏电极 117 之间的寄生电容 C_{gd} 。

参照图 10B，图 9 中的第九晶体管 $T9$ 具有 U-形状的沟道。具体地，第九晶体管 $T9$ 包括栅电极 131、沟道图案 133、多个源电极 135、和多个漏电极 137。沟道图案 133 形成在栅电极 131 上。源电极 135 和漏电极 137 形成为使得一部分的源电极 133 和漏电极 137 与沟道图案 133 重叠。

每一个源电极 135 具有 U-形状，而每一个漏电极 137 被插入到每一个源电极 135 中。因此，由源电极 135 和漏电极 137 限定的沟道层具有沟道长度 L 和沟道宽度 W 的 U-形状。

第九晶体管 $T9$ 被设计成使每一个源电极 135 的宽度 s 大于每一个漏电极 137 的宽度 d 。因此，栅电极 131 与每一个源电极 135 之间的寄生电容 C_{gs} 变得大于栅电极 131 与每一个漏电极 137 之间的寄生电容 C_{gd} 。

如图 10A 和图 10B 所示，当栅电极与源电极之间的寄生电容 C_{gs} 变得大于栅电极与漏电极之间的寄生电容 C_{gd} 时，电连接于第九晶体管的源电极的第一节点 $N1$ 的纹波被减少。栅电极与源电极之间的寄生电容 C_{gs} 与栅电极与漏电极之间的寄生电容 C_{gd} 的比率为 $K:1$ ($K>1$)，例如为约 2:1、约 3:1、或约 4:1。

图 11 是示出了在图 9 中的第一节点处的仿真电压纹波的曲线图。

图 11 中的曲线是从以下所述级的第一节点 **N1** 测得的, 所述级采用具有约 $3,500\ \mu\text{m}$ 的沟道宽度 **W** 的第五晶体管 **T5**、具有约 $400\ \mu\text{m}$ 的沟道宽度 **W** 的第九晶体管 **T9**、具有约 $5\ \mu\text{m}$ ~ 约 $6\ \mu\text{m}$ 的沟道长度 **L** 的第五晶体管 **T5**、和具有沟道长度 **L** 大致与第五晶体管 **T5** 相同的第九晶体管 **T9**。

参照图 11, 第一纹波图案 **R1** 对应于第九晶体管 **T9** 的栅电极和源电极之间的寄生电容 **C_{gs}** 与第九晶体管 **T9** 的栅电极和漏电极之间的寄生电容 **C_{gd}** 的比率, 为约 1:1。第二纹波图形 **R2** 对应于第九晶体管 **T9** 的栅电极和源电极之间的寄生电容 **C_{gs}** 与第九晶体管 **T9** 的栅电极和漏电极之间的寄生电容 **C_{gd}** 的比率, 为约 2:1。

参照第一纹波图形 **R1**, 当第九晶体管 **T9** 的栅电极和源电极之间的寄生电容 **C_{gs}** 与第九晶体管 **T9** 的栅电极和漏电极之间的寄生电容 **C_{gd}** 的比率为约 1:1 时, 在图 3 中的第五晶体管 **T3** 的栅电极和源电极之间的电压差 **V_{gs}** (或第一节点 **N1** 的电压) 被升高至约 $1.41\ \text{V}$ 。参照第二纹波图形 **R2**, 当第九晶体管 **T9** 的栅电极和源电极之间的寄生电容 **C_{gs}** 与第九晶体管 **T9** 的栅电极和漏电极之间的寄生电容 **C_{gd}** 的比率为约 2:1 时, 在图 3 中的第五晶体管 **T3** 的栅电极和源电极之间的电压差 **V_{gs}** (或第一节点 **N1** 的电压) 被升高至约 $1.29\ \text{V}$ 。即, 相比于第一纹波图案 **R1** 的峰值, 第二纹波图案 **R2** 的峰值降低了约 $0.12\ \text{V}$ 。

因此, 当第九晶体管 **T9** 的栅电极和源电极之间的寄生电容 **C_{gs}** 与第九晶体管 **T9** 的栅电极和漏电极之间的寄生电容 **C_{gd}** 的比率被增大为约 2:1 时, 第一节点 **N1** 处测得的纹波峰值降低。

下表 3 示出了图 9 中的晶体管（在该晶体管被驱动了 3,000 小时）的数据。

[表 3]

	漏电极	栅电极	源电极	功能	$V_{th}(I_d > 1nA)$
T5	CK/CKB	VSS	VSS	栅极输出	6
T6	VSS	VSS	VSS	栅极复位	6
T11	VSS	INV.OUT	VSS	栅极保持 1	7.5
T13	VSS	VSS	VSS	T5 栅极充电	3
T10	VSS	CK/CKB	VSS	栅极保持 2	21.5
T18	VSS	CK/CKB	VSS	T5 栅极保持 1	22.5
T9	VSS	CK/CKB	VSS	T5 栅极保持 2+向前进位	21
T14	CK/CKB	VSS	VSS	进位	9

参考表 3，接收第一时钟信号 **CK** 和第二时钟信号 **CKB** 的第九晶体管 **T9**、第十晶体管 **T10**、和第十八晶体管 **T18** 由于栅偏压而劣化，使得阈值电压 V_{th} 相比于其它晶体管而偏移，具有较低驱动能力。

即，当第九晶体管 **T9** 的沟道宽度 W 增大时，第五晶体管 **T5** 的驱动能力变差。

根据本发明，考虑到第九晶体管 **T9** 的驱动特性，第九晶体管 **T9** 的寄生电容 C_{gs} 与寄生电容 C_{gd} 的比率在没有增加第九晶体管 **T9** 的沟道宽度的情况下被增大，并且第十三晶体管 **T13**（其阈值电压 V_{th} 相对较小偏移）的沟道宽度增大，使得第五晶体管 **T5** 可以被充分地充电。

在第十三晶体管 **T13** 以及第九晶体管 **T9** 被接通时，第十三晶体管 **T13** 为电连接于第一节点 **N1** 的第三电容 **C3** 充电。通过增大第十三晶体管 **T13** 的沟道宽度，第五晶体管 **T5** 可以被充分地充电，从而即使在这些级被长时间驱动时仍提高驱动可靠性。

一般地，传统第十三晶体管 **T13** 具有约 1,200 微米 (μm) 的沟道宽度。因此，根据本具体实施方式的第十三晶体管 **T13** 在允许的面积限制内具有不小于约 1,200 μm 的沟道宽度。

优选地，如在图 3 的第一实施例和图 8 的第二实施例中所述的，第十三晶体管 **T13** 的宽度增加的量大小等于量 ΔW_{T9} (其对应于第九晶体管 **T9** 的沟道的增加量)。

量 ΔW_{T9} 以以下公式 1 表示。

公式 1

$$\Delta W_{T9} = W_{T9} (1 - 1/K),$$

其中， W_{T9} 是当 **Cgs** 与 **Cgd** 的比率为约 1:1 (或对称) 时的第九晶体管 **T9** 的沟道宽度。

在没有变化 **Cgs** 的情况下，当减小第九晶体管 **T9** 的 **Cgd** 以使 **Cgs** 与 **Cgd** 的比率为约 K:1 ($K > 1$) 时，相比于具有 **Cgs** 与 **Cgd** 的比率为约 1:1 的第九晶体管 **T9** 的宽度 W_T ，量 ΔW_{T9} 对应于沟道宽度减少的量。

例如，当具有比率 **Cgs:Cgd** 为约 1:1 的第九晶体管 **T9** 的沟道宽度 W_T 为约 900 μm 时，当第九晶体管 **T9** 被设计成在不改变第九晶体管 **T9** 沟道宽度的情况下使比率 **Cgs:Cgd** 为约 3:1 时，第一节点 **N1** 的纹波可以被减少。在这种情况下，第十三晶体管 **T13** 的沟道宽度增加 600 μm ($\Delta W_{T9} = 900\mu\text{m} (1 - 1/3) = 600 \mu\text{m}$)。

量 ΔW_{T9} 的范围可以被表示为以下等式 2，该等式 2 对应于公式 $W_{T8} < W_{T9} < W_{T8} + W_{T14}$ ，由此获得了第九晶体管 **T9** 的沟道宽度。

公式 2

$$W_{T8} \times (1 - 1/K) < \Delta W_{T9} = W_{T9} \times (1 - 1/K) < (W_{T8} + W_{T14}) \times (1 - 1/K)$$

其中， W_{T8} 是第八晶体管 **T8** 的宽度，而 W_{T14} 是第十四晶体管 **T14** 的宽度。

图 12 是示出了根据运行时间的栅极驱动电路的频率特性的曲线图。

参照图 12，比较例 A 采用第九晶体管 **T9**（其栅电极和源电极之间的寄生电容 **C_{gs}** 与栅电极与漏电极之间的寄生电容 **C_{gd}** 的比率为约 1:2 或约 1:3）和第十三晶体管 **T13**（其基本上与传统的相同，具有约 1,200 μm 的沟道宽度）。根据本发明的实施例 B 采用第九晶体管 **T9**（其栅电极和源电极之间的寄生电容 **C_{gs}** 与栅电极和漏电极之间的寄生电容 **C_{gd}** 的比率为约 1:2 或约 1:3）以及具有约 1,600 μm 沟道宽度的第十三晶体管 **T13**。

根据比较例 A，驱动频率首先为约 130 Hz，但在被驱动约 2,000 小时后降低了约 20 Hz。然而，根据本发明的实施例 B，驱动频率首先为 130 Hz（与比较例 A 一样），但在被驱动约 2,000 小时后降低约 10 Hz。相比于比较例 A，实施例 B 具有减小的频率降低。

因此，当第十三晶体管 **T13** 的沟道宽度增加时，驱动上拉部的第一节点 N1 被充分充电，从而提高驱动可靠性。

根据本发明的具体实施方式，在第二保持部中的晶体管的宽长比（**W/L**）被增大，因而反向纹波增加使得在上拉部的控制电极处出现的总纹波可以被减少。因此，可以防止异常栅极导通信号的产生，从而减少显示装置的驱动缺陷。另外，随着第二保持部中的该

晶体管的宽长比 (W/L) 增大, 充电部的充电速率可以被提高, 使得可以提高低温驱动容限。

根据另一具体实施方式, 第九晶体管的栅电极和源电极之间的寄生电容被增大, 从而减少电连接于第九晶体管的源电极的第一节点的纹波。

另外, 为连接于第一节点的电容充电的第十三晶体管的沟道宽度被增加, 以充分充电该电容。因此, 输出栅极信号的栅极驱动电路的可靠性可以被提高。

已描述了本发明的实施例及其优点, 应当明白, 在不背离由所附权利要求限定的本发明的精神和范围的情况下, 这里可进行各种变化、替换和更改。

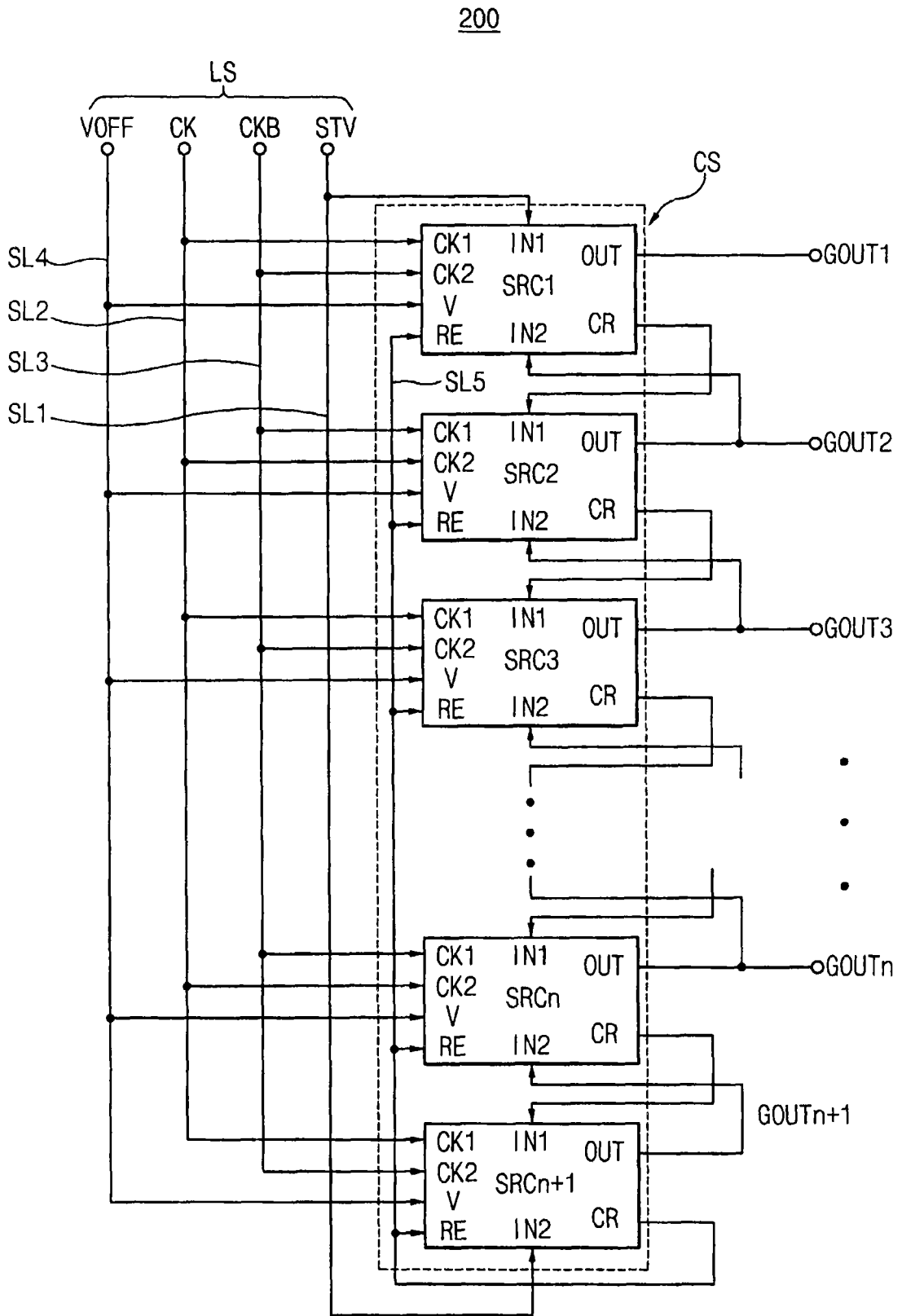


图 2

SRCm

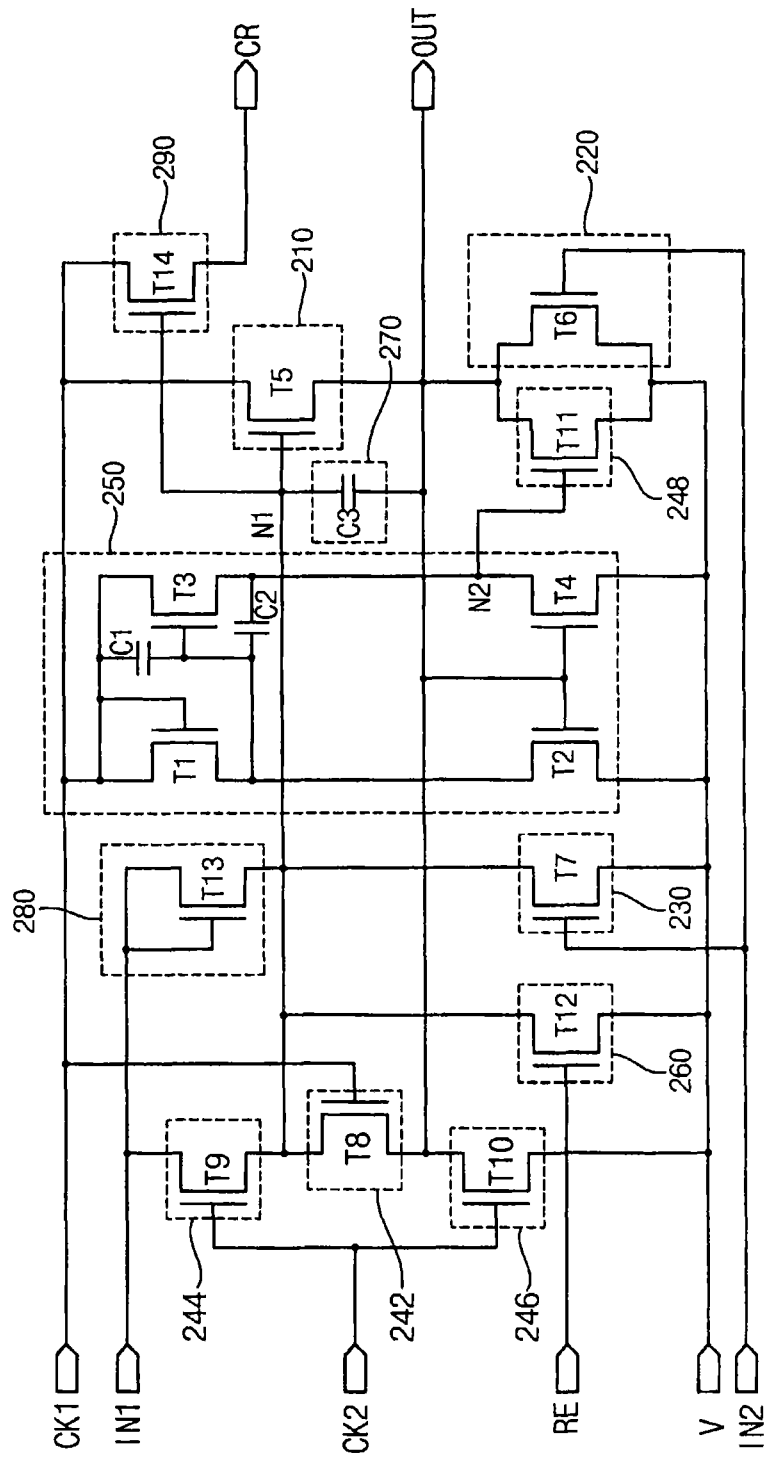


图 3

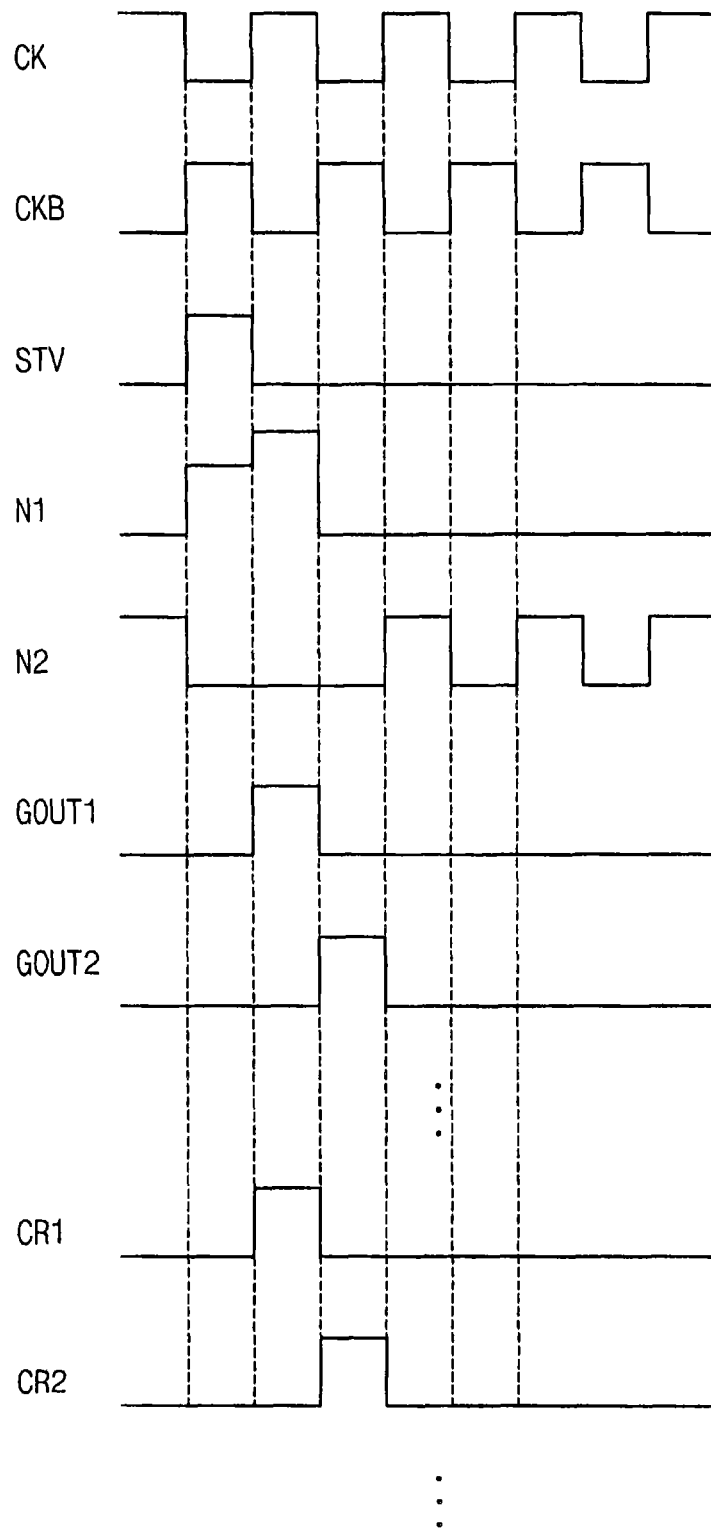


图 4

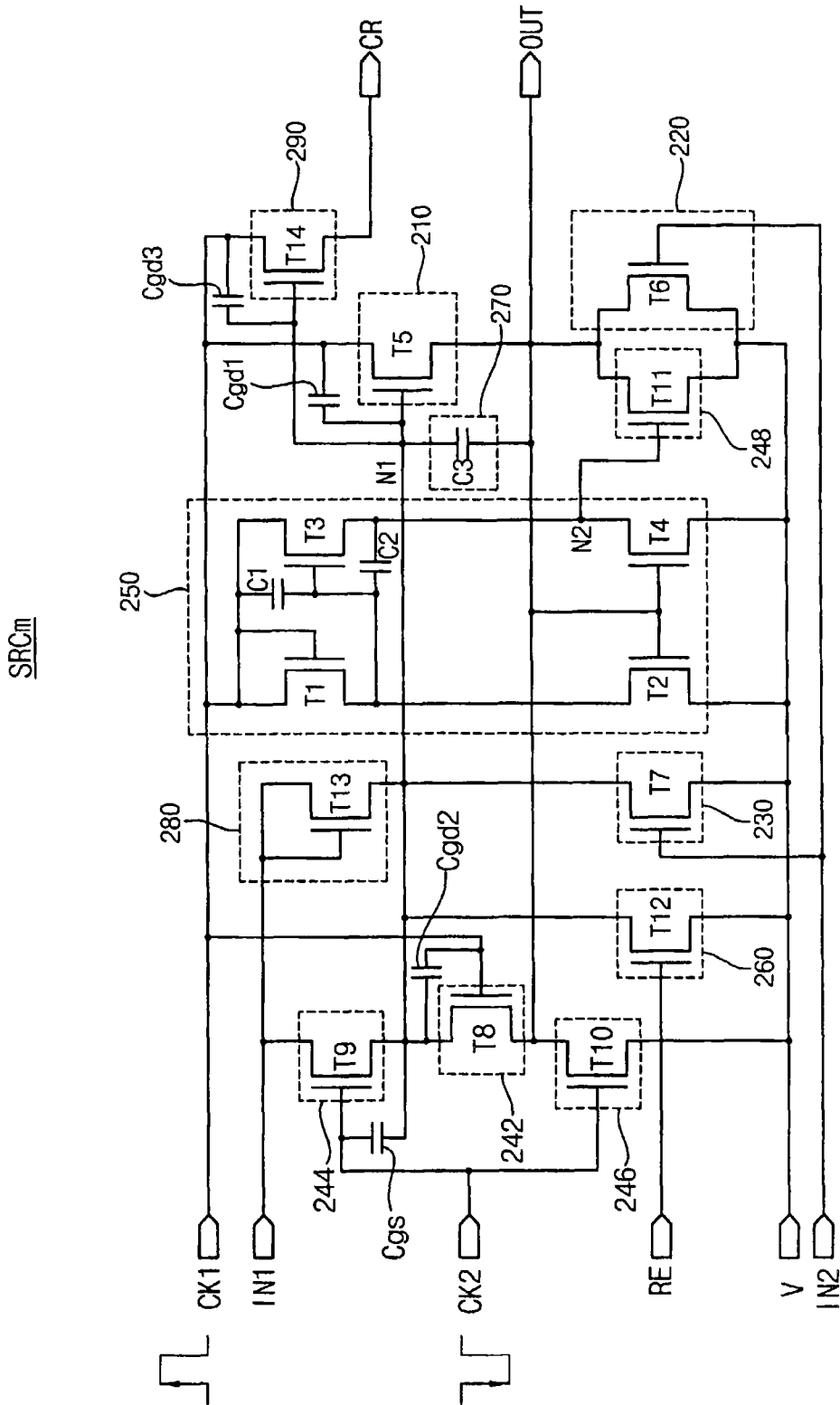


图 5

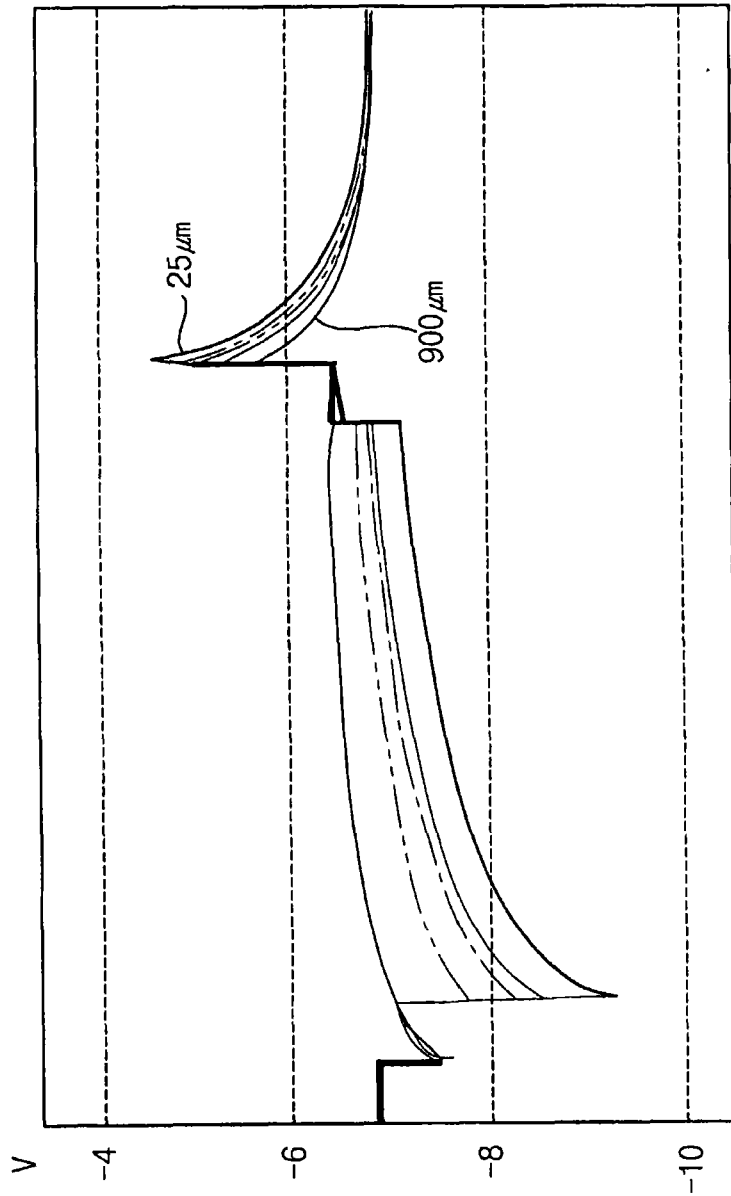


图 6

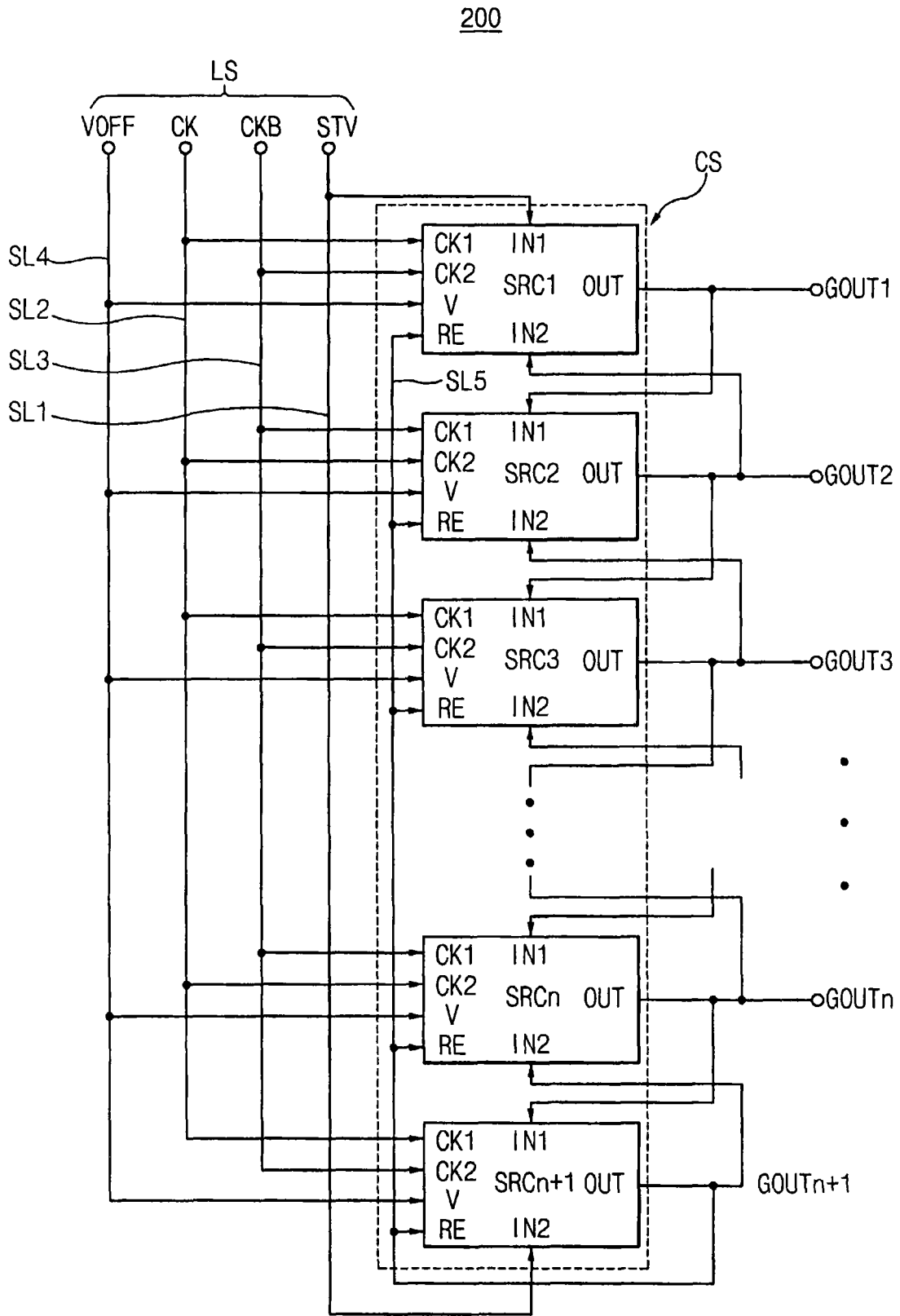


图 7

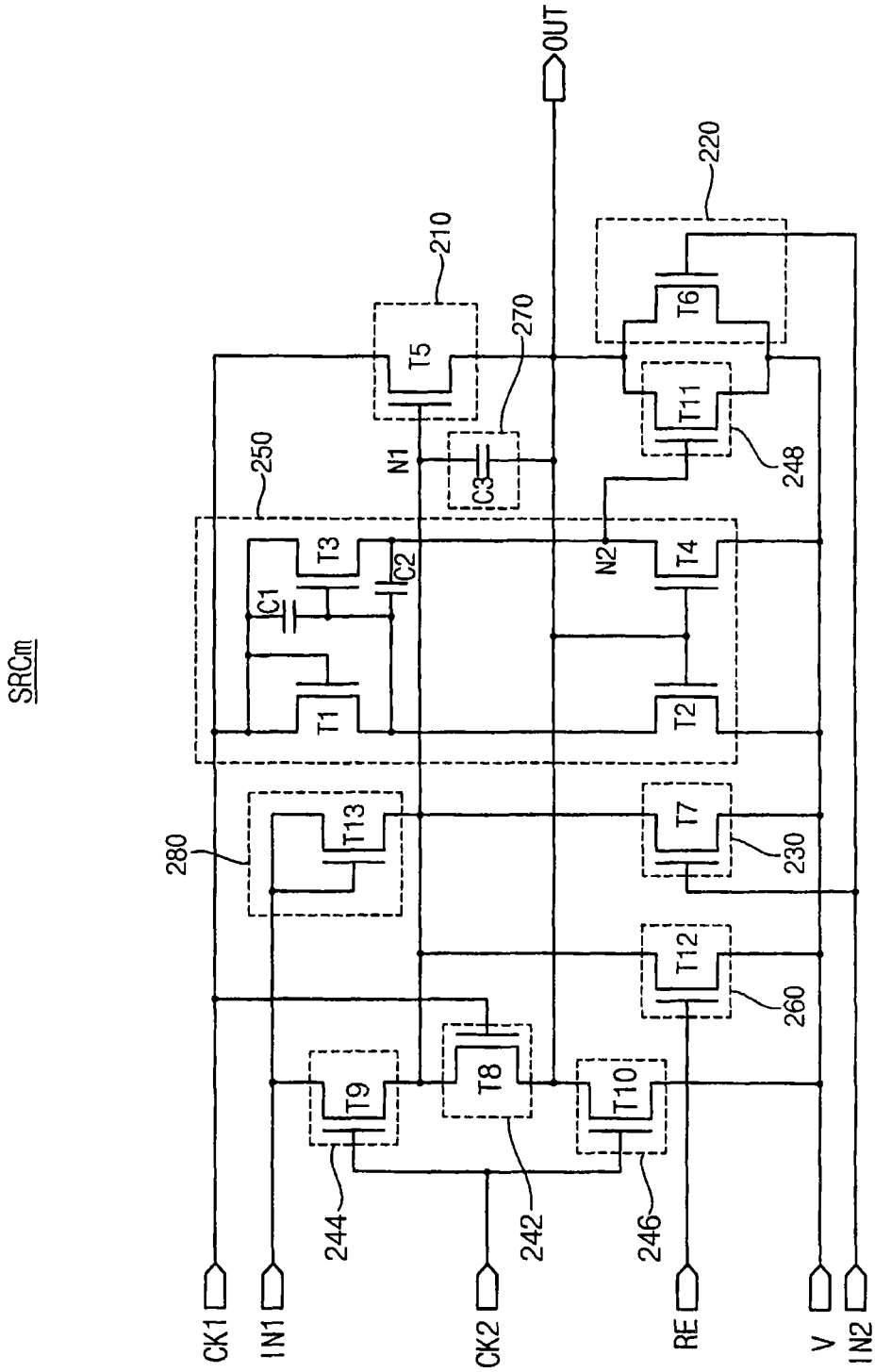


图 8

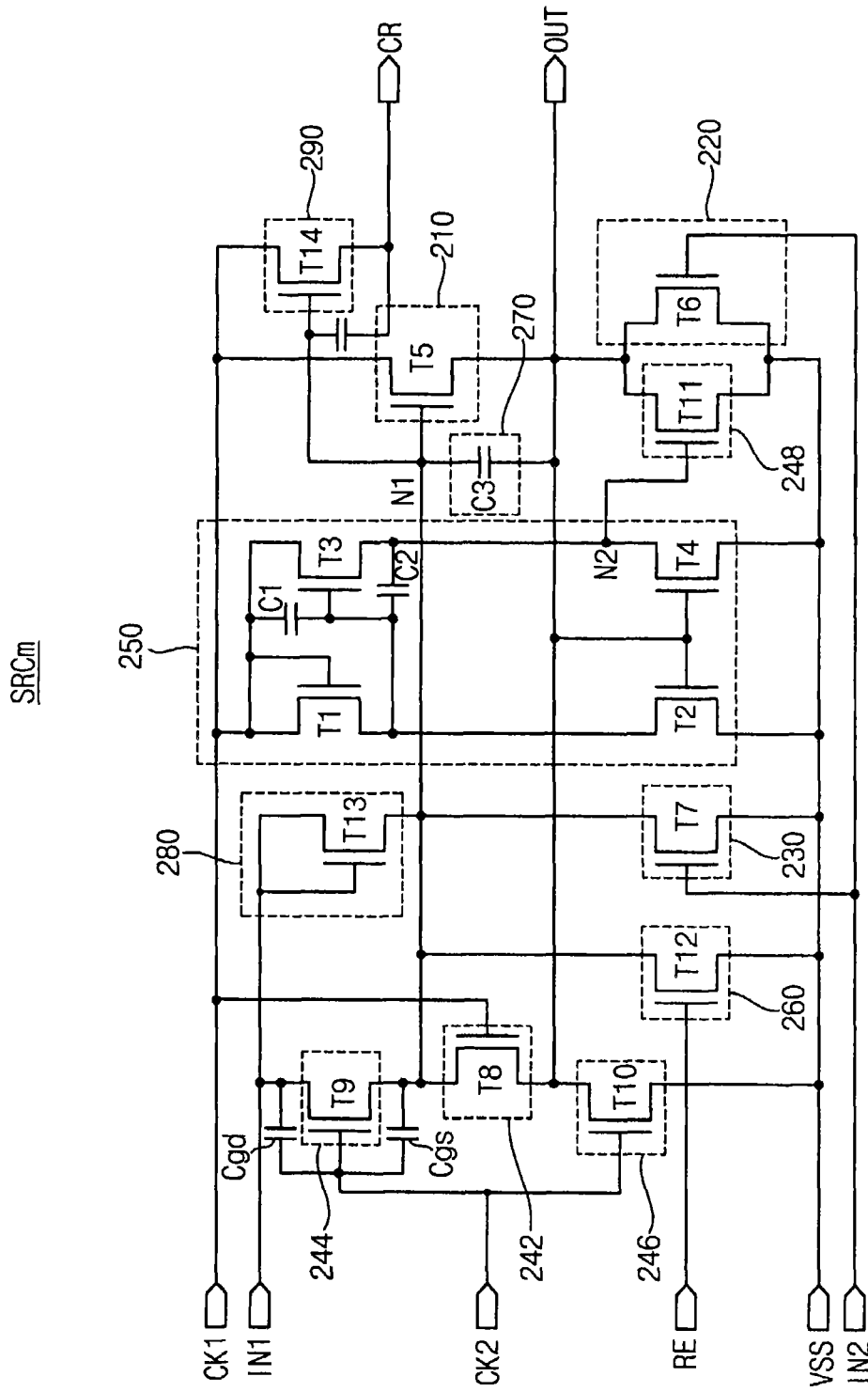


图 9

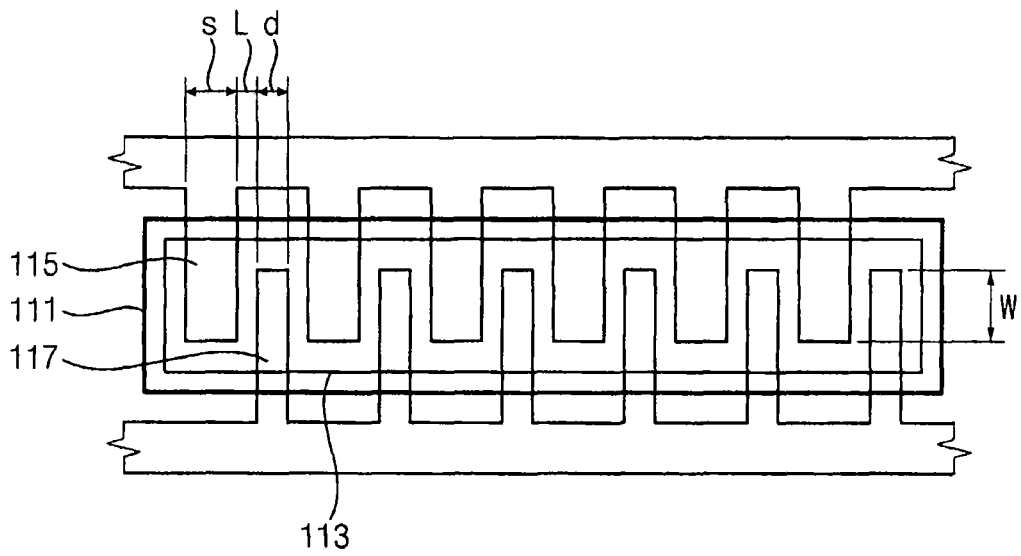


图 10A

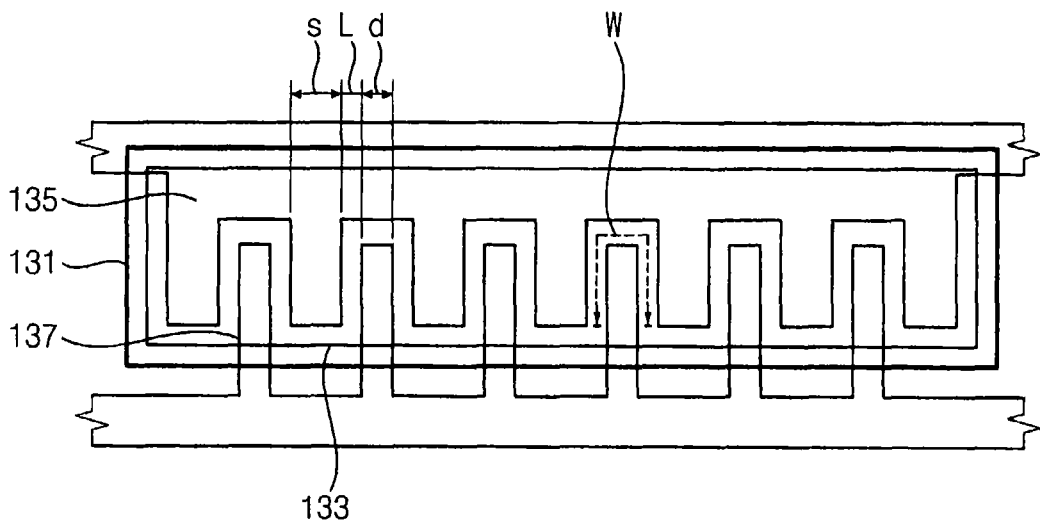


图 10B

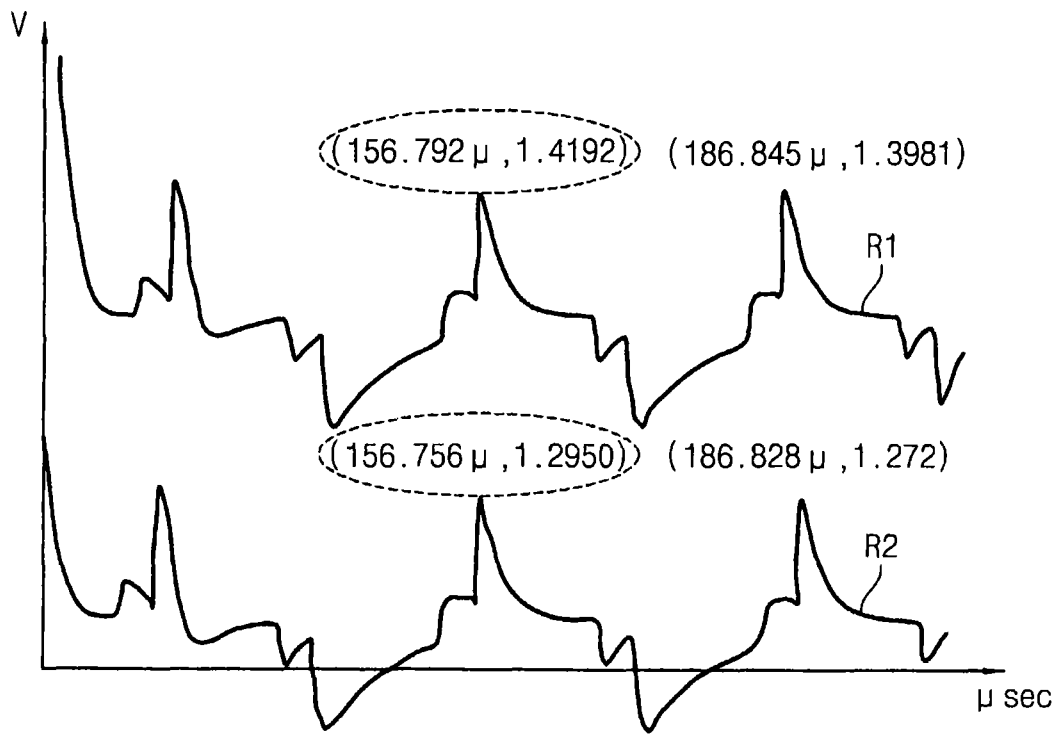


图 11

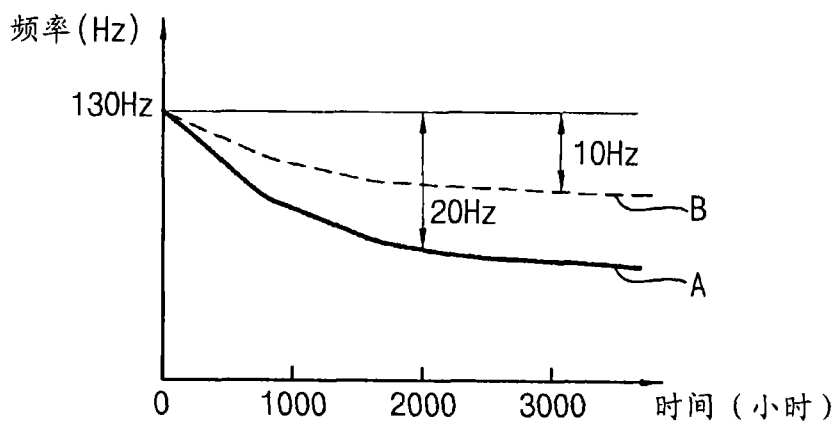


图 12