

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7299836号
(P7299836)

(45)発行日 令和5年6月28日(2023.6.28)

(24)登録日 令和5年6月20日(2023.6.20)

(51)国際特許分類	F I
H 0 1 L 21/28 (2006.01)	H 0 1 L 21/28 E
H 0 1 L 21/768 (2006.01)	H 0 1 L 21/28 3 0 1 B
H 0 1 L 21/3205(2006.01)	H 0 1 L 21/90 C
H 0 1 L 23/522 (2006.01)	H 0 1 L 21/88 T

請求項の数 30 (全64頁)

(21)出願番号 特願2019-528511(P2019-528511)	(73)特許権者 311015001 コミサリヤ・ア・レネルジ・アトミック・ エ・オ・エネルジ・アルテルナティブ フランス国、エフ - 7 5 0 1 5 ・パリ、 リュ・ルブラン・2 5、パティマン “ル・ ポナン・デ”
(86)(22)出願日 平成29年12月22日(2017.12.22)	(74)代理人 110001173 弁理士法人川口国際特許事務所
(65)公表番号 特表2020-502788(P2020-502788 A)	(72)発明者 ゲジャン, エロディ フランス国、3 8 4 2 0 ・ル・ベルスー 、ロティスモン・レ・トネル・2、3 5
(43)公表日 令和2年1月23日(2020.1.23)	(72)発明者 ジャニー, クリストフ フランス国、7 3 0 0 0 ・シャンベリー 、リュ・ドゥ・ガスコーニュ、6 7
(86)国際出願番号 PCT/EP2017/084529	(72)発明者 ヌムーシ, ファブリス
(87)国際公開番号 WO2018/115510	
(87)国際公開日 平成30年6月28日(2018.6.28)	
審査請求日 令和2年12月8日(2020.12.8)	
(31)優先権主張番号 1663133	
(32)優先日 平成28年12月22日(2016.12.22)	
(33)優先権主張国・地域又は機関 フランス(FR)	

最終頁に続く

(54)【発明の名称】 I I I - V 族材料を含む素子およびシリコン処理工程と互換性を有する接触部を形成する処理

(57)【特許請求の範囲】

【請求項 1】

基板の表面に I I I - V 族材料の構造を含む素子を形成する処理であって、前記構造が、第 1 の I I I - V 族材料 (1) の表面に画定された少なくとも 1 個の上側接触レベル (N s u p) および第 2 の I I I - V 族材料 (2) の表面に画定された下側接触レベル (N i n f) を含み、

- 少なくとも 1 個の誘電体 (8) による前記構造のカプセル化を含む、少なくとも 1 個の誘電体によるカプセル化の一連のステップと、

- 前記第 1 の I I I - V 族材料および前記第 2 の I I I - V 族材料の上に接触底面領域を画定すべく、前記誘電体 (8) 内に、前記第 1 の I I I - V 族材料 (1) の表面に少なくとも 1 個の上側開口 (O s) および前記第 2 の I I I - V 族材料 (2) の表面に少なくとも 1 個の下側開口 (O i) を形成するステップと、

- 少なくとも前記上側開口 (O s) および少なくとも前記下側開口 (O i) において接触底面の金属化部分 (3) を形成するステップと、

- 少なくとも 1 個の金属材料 (5) による、少なくとも前記上側開口 (O s) の少なくとも部分的充填および少なくとも前記下側開口 (O i) の少なくとも部分的充填により、少なくとも 1 個の上側接触パッドおよび少なくとも 1 個の下側接触パッドを形成するステップと、

- 接触底面の金属化部分および接触パッドが、前記上側接触レベル (N s u p) と接触している前記第 1 の I I I - V 族材料の少なくとも 1 個の上側接触部および前記下側接触レ

ベル (N i n f) と接触している前記第 2 の I I I - V 族材料の少なくとも 1 個の下側接触部を画定するステップと、

- 少なくとも前記上側接触部および少なくとも前記下側接触部を、同一平面内で画定された上面を有するように誘電体に集積するステップを含む処理であって、

前記処理はさらに、

- 第 1 の誘電体により前記構造をカプセル化するステップと、

- 前記第 2 の I I I - V 族材料 (2) の上に少なくとも 1 個の一次下側開口 (O i p) を形成するステップと、

- 前記第 1 の誘電体の表面、および前記第 2 の I I I - V 族材料 (2) の表面に金属化部分を堆積して、下側接触底面の金属化部分および第 1 のアセンブリ (E 1) を画定するステップと、

10

- 第 2 の誘電体により前記第 1 のアセンブリ (E 1) をカプセル化するステップと、

- カプセル化された前記第 1 のアセンブリの平坦化するステップと、

- 前記下側接触底面の金属化部分の上に少なくとも 1 個の二次下側開口 (O i s 1) を形成するステップと、

- 少なくとも 1 個の金属材料により少なくとも前記二次下側開口を充填して前記下側接触部の少なくとも 1 個の接触パッドおよび第 2 のアセンブリ (E 2) を画定するステップと、

を含むことを特徴とする、処理。

【請求項 2】

20

前記構造が、第 2 の I I I - V 族材料 (2) の下側ベースと、前記ベースの上方に位置する第 1 の I I I - V 族材料 (1) のメサとを有する、請求項 1 に記載の形成処理。

【請求項 3】

少なくとも 1 個の下側開口、次いで少なくとも 1 個の上側開口を連続的に形成するステップを含んでいることを特徴とする、請求項 1 または 2 のいずれか 1 項に記載の形成処理。

【請求項 4】

少なくとも前記下側開口が、互いに重ね合わされた第 1 の下側開口 (O i 1) および第 2 の下側開口 (O i 2) を画定する複数のステップで形成される、請求項 3 に記載の処理。

【請求項 5】

前記下側開口が、接触底面の金属化部分 (3)、金属充填材、接触底面の金属化部分と同一材料で形成された金属化部分 (3)、および金属充填材を、この順で重ね合わされた状態で含んでいる、請求項 3 に記載の処理。

30

【請求項 6】

少なくとも 1 個の上側開口、次いで少なくとも 1 個の下側開口を連続的に形成するステップを含んでいることを特徴とする、請求項 1 または 2 のいずれか 1 項に記載の形成処理。

【請求項 7】

少なくとも 1 個の上側開口および少なくとも 1 個の下側開口を同時に形成するステップを含んでいるということの特徴とする、請求項 1 または 2 に記載の形成処理。

【請求項 8】

少なくとも前記上側開口の幅 (D 1) および / または少なくとも前記下側開口の幅 (D 2) が $0.5 \mu\text{m} \sim 10 \mu\text{m}$ 、好適には $1 \mu\text{m} \sim 5 \mu\text{m}$ の範囲である、請求項 1 ~ 7 のいずれか 1 項に記載の形成処理。

40

【請求項 9】

- 前記第 1 の I I I - V 族材料 (1) の表面に少なくとも 1 個の一次上側開口 (O s p)、および前記第 2 の I I I - V 族材料 (2) の表面に少なくとも 1 個の一次下側開口 (O i p) を形成するステップと、

- 少なくとも前記一次上側開口および少なくとも前記一次下側開口において接触底面の金属化部分 (3) を形成するステップと、

- 少なくとも前記一次上側開口 (O s p) および少なくとも前記一次下側開口 (O i p) を少なくとも 1 個の誘電体 (8) によりカプセル化するステップと、

50

- 少なくとも前記一次上側開口 (O_{sp}) に位置する誘電体に少なくとも 1 個の二次上側開口 (O_{ss}) を形成すると共に、前記一次下側開口 (O_{ip}) に位置する誘電体に少なくとも 1 個の二次下側開口 (O_{is}) を形成するステップと、

- 少なくとも前記二次上側開口 (O_{ss}) および少なくとも前記二次下側開口 (O_{is}) を少なくとも 1 個の金属材料 (5) により充填して少なくとも 1 個の上側接触パッドおよび少なくとも 1 個の下側接触パッドを形成するステップと、
を含んでいる、請求項 1 または 2 に記載の形成処理。

【請求項 10】

少なくとも 1 個の一次上側開口、次いで少なくとも 1 個の一次下側開口を連続的に形成するステップを含んでいることを特徴とする、請求項 9 に記載の形成処理。

10

【請求項 11】

少なくとも 1 個の二次上側開口と少なくとも 1 個の二次下側開口とを同時に形成するステップを含んでいることを特徴とする、請求項 9 に記載の形成処理。

【請求項 12】

- 金属化部分 (3) で覆われた前記 III-V 族材料 (1) および金属化部分 (3) で覆われた前記 III-V 族材料 (2) を含むアセンブリを誘電体によりカプセル化するステップと、

- 前記第 2 の III-V 族材料 (2) の反対側に少なくとも 1 個の二次下側開口 (O_{is1}) を形成するステップと、

- 前記第 1 の III-V 族材料 (1) の上方に少なくとも 1 個の二次上側開口 (O_{ss}) を形成して、少なくとも前記二次下側開口 (O_{is1}) の上方に追加的な少なくとも 1 個の二次下側開口 (O_{is2}) を形成するステップと、

20

- 少なくとも前記二次上側開口 (O_{ss})、少なくとも 1 個の追加的な二次下側開口 (O_{is2}) および少なくとも前記二次下側開口 (O_{is1}) を充填するステップとを含んでいることを特徴とする、請求項 9 ~ 11 のいずれか 1 項に記載の形成処理。

【請求項 13】

前記構造が少なくとも 1 個のいわゆる上側 III-V 族材料 (10)、いわゆる中間 III-V 族材料 (21)、第 2 のいわゆる下側 III-V 族材料 (22) を含み、前記処理が、

- 少なくとも 1 個の一次上側開口、少なくとも 1 個の一次中間開口、少なくとも 1 個の一次下側開口を形成するステップと、

30

- 少なくとも 1 個の二次上側開口、少なくとも 1 個の二次中間開口、および少なくとも 1 個の二次下側開口を形成するステップと、

- 前記開口を充填するステップとを含んでいることを特徴とする、請求項 9 または 10 のいずれか 1 項に記載の形成処理。

【請求項 14】

- 少なくとも前記二次下側開口が、寸法が異なる 3 個の部分 (O_{is1} 、 O_{is2} 、 O_{is3}) を含み、

- 少なくとも前記二次中間開口が、寸法が異なる 2 個の部分 (O_{ts1} 、 O_{ts2}) を含み、

40

- 少なくとも前記二次上側開口が部分 (O_{ss}) を含んでいる、請求項 13 に記載の形成処理。

【請求項 15】

- 第 3 の誘電体により前記第 2 のアセンブリ (E2) をカプセル化するステップと、

- 前記第 1 の III-V 族材料 (1) の上方に少なくとも 1 個の一次上側開口を形成するステップと、

- 前記第 3 の誘電体および前記上側開口の表面に金属化部分を堆積して上側接触底面の金属化部分および第 3 のアセンブリ (E3) を画定するステップと、

- 第 4 の誘電体により前記第 3 のアセンブリをカプセル化するステップと、

- 前記第 3 のアセンブリを平坦化するステップと、

50

- 前記上側接触底面の金属化部分の上方に少なくとも1個の二次上側開口 (O_{ss}) を、および前記下側接触部の少なくとも前記接触パッドの上方に少なくとも1個の上側開口 (O_{is2}) を形成するステップと、

- 少なくとも1個の金属材料により、前記上側接触底面の金属化部分上方の少なくとも前記二次上側開口、および前記下側接触部の少なくとも前記接触パッド上方の少なくとも前記上側開口を充填することにより、前記上側接触部 (C_{sup}) および少なくとも前記下側接触部 (C_{inf}) が同一平面内で画定された表面を有するように、上側接触部用の少なくとも1個の上側パッドおよび下側接触パッドの少なくとも1個の延伸部を画定するステップと

を含む、請求項9に記載の形成処理。

10

【請求項16】

- 第1の誘電体により前記構造をカプセル化するステップと、

- 前記第1のIII-V族材料(1)まで貫通するように少なくとも1個の一次上側開口 (O_{sp}) を形成するステップと、

- 前記第1の誘電体の表面、および前記第1のIII-V族材料(1)の表面に金属化部分を堆積して上側底面接触部の金属化部分および第1のアセンブリ ($E1'$) を画定するステップと、

- 第2の誘電体により前記第1のアセンブリ ($E1'$) をカプセル化するステップと、

- カプセル化された前記第1のアセンブリを平坦化するステップと、

- 前記上側接触底面部分の金属化部分まで貫通するように少なくとも1個の二次上側開口 (O_{ss}) を形成するステップと、

20

- 少なくとも1個の金属材料により少なくとも前記二次上側開口を充填して、前記上側接触部の少なくとも1個の接触パッドおよび第2のアセンブリ ($E2'$) を画定するステップと、

- 前記第2のIII-V族材料(2)の上方に少なくとも1個の一次下側開口 (O_{ip}) を形成するステップと、

- 前記第1の誘電体、および前記一次下側開口の表面に金属化部分を堆積して、下側接触部の金属化部分および第3のアセンブリ ($E3'$) を画定するステップと、

- 第4の誘電体により前記第3のアセンブリをカプセル化するステップと、

- 前記第3のアセンブリを平坦化するステップと、

30

- 前記下側接触部最下層の上方に少なくとも1個の前記二次下側開口 (O_{is}) を形成するステップと、

- 前記上側接触部 (C_{sup}) および少なくとも前記下側接触部 (C_{inf}) が同一平面内で画定された表面を有する状態で、少なくとも1個の下側接触パッドを画定する少なくとも前記二次下側開口を充填するステップとを含んでいることを特徴とする、請求項9に記載の形成処理。

【請求項17】

- 少なくとも1個の一次上側開口および少なくとも1個の一次下側開口を同時に形成するステップと、

- 少なくとも1個の二次上側開口および少なくとも1個の二次下側開口を同時に形成するステップとを含んでいることを特徴とする、請求項9に記載の形成処理。

40

【請求項18】

少なくとも1個の前記上側接触部および少なくとも1個の前記下側接触部の表面に追加的接触レベルを形成するステップを含み、

- 誘電体(8)の追加的な堆積ステップと、

- 少なくとも1個の追加的な下側開口および少なくとも1個の追加的な上側開口を形成するステップと、

- 追加的な前記開口を少なくとも1個の金属材料により充填して少なくとも1個の追加的な下側接触部 ($C_{inf/sup1}$) および少なくとも1個の追加的な上側接触部 ($C_{sup/sup1}$) を画定するステップとを、

50

含んでいることを特徴とする、請求項 9 ~ 17 のいずれか 1 項に記載の形成処理。

【請求項 19】

- 前記一次下側開口が $20\ \mu\text{m} \sim 50\ \mu\text{m}$ の幅 (D2) を有し、
- 前記二次下側開口が $0.5\ \mu\text{m} \sim 5\ \mu\text{m}$ 、好適には $1\ \mu\text{m} \sim 3\ \mu\text{m}$ の幅 (D6) を有している、請求項 9 ~ 18 のいずれか 1 項に記載の形成処理。

【請求項 20】

- 前記一次下側開口が $20\ \mu\text{m} \sim 50\ \mu\text{m}$ の幅 (D2) を有し、
- 前記二次下側開口が $0.5\ \mu\text{m} \sim 5\ \mu\text{m}$ 、好適には $1\ \mu\text{m} \sim 3\ \mu\text{m}$ の幅 (D6) を有している、請求項 9 ~ 18 のいずれか 1 項に記載の形成処理。

【請求項 21】

前記第 1 の III - V 族材料および / または前記第 2 の III - V 族材料が、 InP 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 < x < 1$)、 GaAs 、 InAs 、 GaSb 、 $\text{In}_{1-x}\text{Ga}_x\text{Sb}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Py}$ 、 $\text{Ga}_{1-x}\text{In}_x\text{P}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Ny}$ 、 $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$ から選択されることを特徴とする、請求項 1 ~ 20 のいずれか 1 項に記載の形成処理。

【請求項 22】

前記基板がシリコンであることを特徴とする、請求項 1 ~ 21 のいずれか 1 項に記載の形成処理。

【請求項 23】

前記誘電体または誘電体群が、 SiN 、 SiO_2 、 Al_2O_3 、ベンゾシクロブテン (BCB) または SOG を主体とする平坦化ポリマーから選択される、請求項 1 ~ 22 のいずれか 1 項に記載の形成処理。

【請求項 24】

Ni_2P 、 Ni_3P 、 NiGe 、 TiP 、または TiGe である金属が少なくとも 1 個の前記一次上側開口および少なくとも 1 個の前記一次下側開口に堆積される、請求項 9 ~ 17 のいずれか 1 項に記載の形成処理。

【請求項 25】

Ni または Ti である金属、および NiPt 、 NiTi 、または NiCo である合金が少なくとも 1 個の前記一次上側開口および少なくとも 1 個の前記一次下側開口に堆積される、請求項 9 ~ 17、19 ~ 20 のいずれか 1 項に記載の形成処理。

【請求項 26】

金属化部分の堆積の後で 1 個以上の金属間化合物を形成すべく熱処理が行われる、請求項 1 ~ 24 のいずれか 1 項に記載の形成処理。

【請求項 27】

前記部分的充填が、
- TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、 W から選択された材料の 1 個以上の層を含む拡散障壁を堆積するステップと、
- W 、 Cu 、 Al 、 AlCu 、 AlSi から選択された充填金属を堆積するステップとを含んでいる、請求項 1 ~ 26 のいずれか 1 項に記載の形成処理。

【請求項 28】

前記素子がレーザーであり、前記処理が、半導体材料のガイド (91) を誘電体基板 (90) 内に形成する動作を含んでいる、請求項 1 ~ 27 のいずれか 1 項に記載の形成処理。

【請求項 29】

前記半導体材料は、 Si であり、前記誘電体基板は SiO_2 である、請求項 28 に記載の形成処理。

【請求項 30】

前記素子がレーザーであり、前記レーザーの垂直放射を可能にすべく円形の上側接触部を形成するステップを含んでいる、請求項 1 ~ 27 のいずれか 1 項に記載の形成処理。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【0001】

本発明の分野は、最小直径が100mmのウェーハを受容可能なシリコンプラットフォーム上に形成可能なシリコン等の標準基板上へのIII-V族材料の共集積である。提案する共集積は、100mm以上のシリコン処理工程と互換性を有する平坦化された「後端」を有する集積の枠内に含まれる。

【背景技術】

【0002】

現在III-V族材料に集積される接触部は、A. Baca, F. Ren, J. Zolper, R. BriggsおよびS. Peartonの論文“A survey of ohmic contacts to III-V compound semiconductors”, Thin Solid Films, Vol. 308-309, pp. 599-606, 1997、またはG. Stareev, H. KunzelおよびG. Dortmannの論文“A controllable mechanism of forming extremely low-resistance nonalloyed ohmic contacts to group III-V compound semiconductors”, Journal of Applied Physics, Vol. 74, No. 12, p. 7344, 1993に記述されているように、「リフトオフ」(樹脂および注目する領域の上に金属を堆積し、次いで樹脂を溶解することにより、樹脂上の金属を除去して注目する領域の上に金属を残す)等の方法、および極めて高価またはシリコンクリーンルームから排除される極めて多種類の金属を用いる。

【0003】

この種の非平坦集積は、複数のより高いレベルの形成、または他の物体の共集積への道を開かない。従って素子の小型化および高密度化が制約される。

【0004】

最後に、既存の接触部に存在する層の個数(3~5)の乗算により集積が複雑且つ非最適になる。接触部の非平坦集積の典型的な例が参考文献: B. BenBakir, C. Sciancalepore, A. Descos, H. Duprez, D. Bordel, L. Sanchez, C. Jany, K. Hassan, P. Brianceau, V. Carron, and S. Menezo, “Heterogeneously integrated III-V on silicon lasers”, Meeting Abstracts, Vol. MA2014-02, No. 34, p. 1724, 2014、およびH. Duprez, A. Descos, T. Ferrotti, J. Harduin, C. Jany, T. Card, A. Myko, L. Sanchez, C. Sciancalepore, S. Menezo, and B. BenBakir, “Heterogeneously integrated III-V on silicon distributed feedback lasers at 1310nm”, Optical Fiber Communications Conference and Exhibition (OFC), 2015, pp. 1-3, March 2015に挙げられている。

【0005】

図1に、III-V族材料を直接再処理する貴金属からなる非平坦接続部を有するレーザー適用の上述のような構成を示す。nドープされたInP基板上に多重量子井戸MQWに基づく能動領域を有する構造が形成され、その上にpドープInP層およびpドープInGaAs層が積層される。nドープ基板を接続すべく接続部がn-Pad接触パッドを介して形成されて、InGaAsのpドープ層を接続するp-Pad接触パッドを介して下側接触部および接続部を画定することが可能になるため、上側接触部を画定することができる。

【先行技術文献】

【非特許文献】

【0006】

【文献】A. Baca, F. Ren, J. Zolper, R. Riggs, and S. Pearton, "A survey of ohmic contacts to III-V compound semiconductors", Thin Solid Films, Vol. 308-309, pp. 599-606, 1997

G. Stareev, H. Kunzel, and G. Dortmann "A controllable mechanism of forming extremely low-resistance nonalloyed ohmic contacts to group III-V compound semiconductors", Journal of Applied Physics, Vol. 74, No. 12, p. 7344, 1993

B. BenBakir, C. Sciancalepore, A. Descos, H. Duprez, D. Bordel, L. Sanchez, C. Jany, K. Hassan, P. Brianceau, V. Carron, and S. Menezo, "Heterogeneously integrated III-V on silicon lasers", Meeting Abstracts, Vol. MA2014-02, No. 34, p. 1724, 2014

H. Duprez, A. Descos, T. Ferrotti, J. Harduin, C. Jany, T. Card, A. Myko, L. Sanchez, C. Sciancalepore, S. Menezo, and B. BenBakir, "Heterogeneously integrated III-V on silicon distributed feedback lasers at 1310nm", Optical Fiber Communications Conference and Exhibition (OFC), 2015, pp. 1-3, March 2015

【発明の概要】

【課題を解決するための手段】

【0007】

上に関連して、本発明は、シリコン処理工程と顕著に互換性を有するIII-V族材料の上に接触部を形成することにより、最小直径が100nmのウェーハを処理するプラットフォーム上へのIII-V族材料/シリコンの共集積を可能にする方法を提案する。

【0008】

本発明は従って、100nm以上のウェーハを処理するシリコン互換性を有するクリーンルーム内で集積され、小型で同時にまたは連続的に形成された少なくとも2レベルの平坦な接触部を有する最終製品への道を開く。

【0009】

より正確には、本発明は、基板の表面にIII-V族材料の構造を含む素子を形成する処理に関し、前記構造は、第1のIII-V族材料の表面に画定された少なくとも1個の上側接触レベルおよび第2のIII-V族材料の表面に画定された下側接触レベルを含み、前記下側接触レベル前記上側接触レベルよりも下にあり、当該処理は

- 少なくとも1個の誘電体による前記構造のカプセル化を含む、少なくとも1個の誘電体によるカプセル化の一連のステップと、

- 前記第1のIII-V族材料および前記第2のIII-V族材料の上に接触底面領域を画定すべく、前記誘電体内に、前記第1のIII-V族材料の表面に少なくとも1個の上側開口および前記第2のIII-V族材料の表面に少なくとも1個の下側開口を形成するステップと、

- 前記少なくとも上側開口および前記少なくとも下側開口において接触底面の金属化を実行するステップと、

- 少なくとも1個の金属材料による、前記少なくとも上側開口の少なくとも部分的充填および前記少なくとも下側開口の少なくとも部分的充填により、少なくとも1個の上側接触パッドおよび少なくとも1個の下側接触パッドを形成するステップと、

- 接触底面の金属化部分および接触パッドが、前記上側接触レベルと接触している前記

10

20

30

40

50

第1のIII-V族材料の少なくとも1個の上側接触レベルおよび前記下側接触レベルと接触している前記第2のIII-V族材料の少なくとも1個の下側接触部を画定するステップと、

- 少なくとも前記上側接触部および少なくとも前記下側接触部を、同一平面内で画定された上面を有するように誘電体に集積するステップを含んでいる。

【0010】

平坦な特徴とは、同一平面上に生じる接触部の組であるものと定義する。

【0011】

従って本特許出願において、

- 接触底面の金属化部分および接触パッドを含む上側開口を起点とする上側接触部と、
- 接触底面の金属化部分および接触パッドを含む下側開口を起点とする下側接触部とが画定される。

10

【0012】

この結果に到達すべく、下側接触部（充填部分の）は1個以上にステップで形成することができる。

【0013】

このため、発明の詳細説明で詳述するように、2個の連続的な動作で下側開口を形成して、第1の下側開口および第2の上側開口を画定することができる。

【0014】

金属材料は、
- 純金属、金属合金、金属と非金属元素の合金、
- 金属間化合物または半金属（結晶構造である合金とは異なる）
として定義される。

20

【0015】

平面集積は、（例えば光学的/電子的）ハイブリッドまたは直接接合、あるいはバンプによるチップ移動により3D集積への道を開く。

【0016】

III-V/Si共集積との関連で、平坦化された後端の形成（金属接合による相互接続を生じるステップの組に対応する）によっても下側レベル（例えば後端の前面または金属間化合物）のデバイスにおける接触部の形成に想到し得る。

30

【0017】

本発明の複数の変型例によれば、当該構造は、第2のIII-V族材料の下側ベースと、前記ベースの上方に位置する第1のIII-V族材料のメサとを有している。

【0018】

本発明によれば、少なくとも2個の代替方式、すなわち
- 開口を形成して、当該開口の底面で接触底面の金属化を実行し、次いで前記接触底面の金属化部分と接触する接触パッドを形成すべく前記開口を充填すること、
- または、いわゆる一次開口を形成して、当該開口の底面で接触底面の金属化を実行し、次いで接触パッドを形成すべく誘電体で充填した後で二次開口を画定することにより、複数の接触パッドを一次開口で先に画定された同一の接触底面の金属化部分に接触させること、のいずれかにより2個のIII-V族材料における接触部の形成に想到し得る。

40

【0019】

第1の代替方式の関連事項：

本発明の複数の変型例によれば、当該処理は、少なくとも1個の下側開口、次いで少なくとも1個の上側開口を連続的に形成するステップを含んでいる。

【0020】

本発明の複数の変型例によれば、少なくとも下側開口が、互いに重ね合わされた第1の下側開口および第2の下側開口を画定する複数のステップで形成される。

【0021】

本発明の複数の変型例によれば、前記下側開口は、接触底面の金属化部分、金属充填材

50

、接触底面の金属化部分と同一の金属界面、および金属充填材を、重ね合わされた状態で含んでいる。

【0022】

本発明の複数の変型例によれば、当該処理は、少なくとも1個の上側開口、次いで少なくとも1個の下側開口を連続的に形成するステップを含んでいる。

【0023】

本発明の複数の変型例によれば、当該処理は、少なくとも1個の上側開口と少なくとも1個の下側開口とを同時に形成するステップを含んでいる。

【0024】

本発明の複数の変型例によれば、少なくとも1個の上側開口および/または少なくとも1個の下側開口の幅は0.5~10 μ m、好適には1 μ m~5 μ mの範囲である。

10

【0025】

第2の代替方式の関連事項：

本発明の複数の変型例によれば、III-V族材料の構造、すなわち第1のIII-V族材料の表面に画定された少なくとも1個の上側接触レベル、および第2のIII-V族材料の表面に画定された下側接触レベルを含む構造を含む素子を基板の表面に形成する処理は、

- 少なくとも1個の誘電体により前記構造をカプセル化する一連のステップと、
- 前記第1のIII-V族材料および前記第2のIII-V族材料の上に接触底面領域を画定すべく誘電体内に少なくとも1個の一次上側開口および少なくとも1個の一次下側開口を形成するステップと、

20

- 前記接触底面領域の上に接触パッドの領域を画定すべく誘電体に少なくとも1個の二次上側開口および少なくとも1個の二次下側開口を形成するステップと、

- 少なくとも1個の金属材料により、前記少なくとも一次上側開口、前記少なくとも一次下側開口、前記少なくとも二次上側開口、および前記少なくとも二次下側開口を少なくとも部分的に充填することにより、

- ・ 上側接触レベルと接触していて、少なくとも1個の上側接触底面の金属化部分を含む前記第1のIII-V族材料の少なくとも1個の上側接触部および前記金属化部分と接触している少なくとも1個の上側接触パッドと、

- ・ 前記下側接触レベルと接触していて、少なくとも1個の下側接触底面の金属化部分を含む前記第2のIII-V族材料の少なくとも1個の下側接触部および前記金属化部分と接触している少なくとも1個の下側接触パッドとを形成するステップと、

30

- 少なくとも前記上側接触部および少なくとも前記下側接触部を、同一平面内で画定された表面を有するように誘電体内に集積するステップとを含んでいる。

【0026】

本発明の複数の変型例によれば、当該処理は、少なくとも1個の一次上側開口および少なくとも1個の一次下側開口を連続的に形成するステップを含んでいる。

【0027】

不随する接触抵抗を最小化すべくIII-V族元素に存在する各々の材料とは独立に接触部の金属化部分を最適化することが有利であろう。

40

【0028】

本発明の複数の変型例によれば、当該処理は、少なくとも1個の二次上側開口と少なくとも1個の二次下側開口とを同時に形成するステップを含んでいる。

【0029】

本発明の複数の変型例によれば、当該処理は、

- 金属化部分で覆われた第1のIII-V族材料および金属化部分で覆われた第2のIII-V族材料を含むアセンブリを誘電体によりカプセル化するステップと、

- 第2のIII-V族材料の反対側に少なくとも1個の二次下側開口を形成するステップと、

- 前記第1のIII-V族材料の上方に少なくとも1個の二次上側開口を形成して、少

50

なくとも前記二次下側開口の上方に少なくとも1個の追加的な二次下側開口を形成するステップと、

- 少なくとも前記二次上側開口、少なくとも1個の追加的な二次下側開口、および少なくとも前記二次下側開口を充填するステップとを含んでいる。

【0030】

本発明の複数の変型例によれば、当該構造は少なくとも1個のいわゆる上側III-V族材料、いわゆる中間III-V族材料、いわゆる下側III-V族材料を含み、当該処理は

- 少なくとも1個の一次上側開口、少なくとも1個の一次中間開口、少なくとも1個の一次下側開口を形成するステップと、

10

- 少なくとも1個の二次上側開口、少なくとも1個の二次中間開口、および少なくとも1個の二次下側開口を形成するステップと、
- 前記開口を充填するステップとを含んでいる。

【0031】

本発明の複数の変型例によれば：

- 少なくとも前記二次下側開口は寸法が異なる3個の部分を含み、
- 少なくとも前記二次中間開口は寸法が異なる2個の部分を含み、
- 少なくとも前記二次上側開口は1個の部分を含んでいる。

【0032】

本発明の複数の変型例によれば、当該処理は、以下のステップ、すなわち

20

- 第1の誘電体により前記構造をカプセル化するステップと、
- 前記第2のIII-V族材料の上に少なくとも1個の一次下側開口を形成するステップと、

- 前記第1の誘電体の表面および前記第2の半導体材料の表面に金属化部分を堆積して、下側接触部の金属化部分および第1のアセンブリを画定するステップと、

- 第2の誘電体により前記第1のアセンブリをカプセル化するステップと、
- 前記カプセル化された第1のアセンブリを平坦化するステップと、

- 前記下側接触底面の金属化部分の上に少なくとも1個の二次下側開口を形成するステップと、

- 少なくとも1個の金属材料により前記少なくとも二次下側開口を充填して前記下側接触部の少なくとも1個の接触パッドおよび第2のアセンブリを画定するステップと、

30

- 第3の誘電体により前記第2のアセンブリをカプセル化するステップと、

- 前記第1のIII-V族材料の上方に少なくとも1個の一次上側開口を形成するステップと、

- 前記第3の誘電体材料および前記上側開口の表面に金属化部分を堆積して上側接触底面の金属化部分および第3のアセンブリを画定するステップと、

- 第4の誘電体により前記第3のアセンブリをカプセル化するステップと、

- 前記第3のアセンブリを平坦化するステップと、

- 前記上側接触底面の金属化部分の上方に少なくとも1個の二次上側開口を、および前記下側接触部の少なくとも前記接触パッドの上方に少なくとも1個の上側開口を形成するステップと、

40

- 少なくとも1個の金属材料により、前記上側接触底面の金属化部分上方の前記少なくとも二次上側開口、および前記下側接触部の少なくとも前記接触パッド上方の前記少なくとも上側開口を充填することにより、前記上側接触部および少なくとも前記下側接触部が同一平面内で画定された表面を有するように、上側接触部用の少なくとも1個の上側パッドおよび下側接触パッドの少なくとも1個の延伸部を画定するステップとを含んでいる。

【0033】

複数の変型例によれば、当該処理は、以下のステップ、すなわち

- 第1の誘電体により前記構造をカプセル化するステップと、

- 前記第1のIII-V族材料まで貫通する少なくとも1個の一次上側開口を形成する

50

ステップと、

- 前記第 1 の誘電体の表面、および前記第 1 の半導体材料の表面に金属化部分を堆積して上側接触部の金属化部分および第 1 のアセンブリを画定するステップと、

- 第 2 の誘電体により前記第 1 のアセンブリをカプセル化するステップと、

- 前記カプセル化された第 1 のアセンブリを平坦化するステップと、

- 前記上側接触底面の金属化部分の上に少なくとも 1 個の二次上側開口を形成するステップと、

- 少なくとも 1 個の金属材料により前記少なくとも二次上側開口を充填して、前記上側接触部の少なくとも 1 個の接触パッドおよび第 2 のアセンブリを画定するステップと、

- 前記第 2 の III - V 族材料の上方に少なくとも 1 個の一次下側開口を形成するステップと、

10

- 前記第 1 の誘電材料、および前記一次下側開口の表面に金属化部分を堆積して、下側接触部の金属化部分および第 3 のアセンブリを画定するステップと、

- 第 4 の誘電体により前記第 3 のアセンブリをカプセル化するステップと、

- 前記第 3 を平坦化するステップと、

- 前記下側接触部最下層の上方に少なくとも 1 個の二次下側開口を形成するステップと、

- 少なくとも 1 個の金属材料により前記少なくとも二次下側開口を充填して、前記上側接触部および少なくとも前記下側接触部が同一平面内で画定された表面を有するように、少なくとも 1 個の下側接触パッドを画定するステップとを含んでいる。

【 0 0 3 4 】

20

複数の変型例によれば、当該処理は、

- 少なくとも 1 個の一次上側開口と少なくとも 1 個の一次下側開口とを同時に形成するステップと、

- 少なくとも 1 個の二次上側開口と少なくとも 1 個の二次下側開口とを同時に形成するステップとを含んでいる。

【 0 0 3 5 】

本発明の複数の変型例によれば、当該処理は、前記平坦な接触部の表面に追加的な接触レベルを形成するステップを含んでいて、

- 誘電体を追加的に堆積するステップと、

- 少なくとも 1 個の追加的な下側開口および少なくとも 1 個の追加的な上側開口を形成するステップと、

30

- 少なくとも 1 個の金属材料により前記追加的な開口を充填して、少なくとも 1 個の追加的な下側接触部および少なくとも 1 個の追加的な上側接触部を画定するステップとを含んでいる。

【 0 0 3 6 】

本発明の複数の変型例によれば、当該処理は、幅が $20\ \mu\text{m} \sim 50\ \mu\text{m}$ の一次下側開口を形成すると共に、幅が $0.5\ \mu\text{m} \sim 5\ \mu\text{m}$ 、好適には $1\ \mu\text{m} \sim 3\ \mu\text{m}$ の二次下側開口を形成するステップを含んでいる。

【 0 0 3 7 】

本発明の複数の変型例によれば、第 1 の III - V 族材料および第 2 の III - V 族材料は以下から選択される。

40

【 0 0 3 8 】

第 1 の III - V 族材料は、 InP 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 < x < 1$)、 GaAs 、 InAs 、 GaSb 、 $\text{In}_{1-x}\text{Ga}_x\text{Sb}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Py}$ 、 $\text{Ga}_{1-x}\text{In}_x\text{P}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Ny}$ 、 $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$ 等の III - V 族材料を含んでいてよい。

【 0 0 3 9 】

第 2 の III - V 族材料もまた、 InP 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 < x < 1$)、 GaAs 、 InAs 、 GaSb 、 $\text{In}_{1-x}\text{Ga}_x\text{Sb}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Py}$ 、 $\text{Ga}_{1-x}\text{In}_x\text{P}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Ny}$ 、 $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$ 等の III -

50

V族材料を含んでいてよい。

【0040】

本発明の複数の変型例によれば基板はシリコンである。

【0041】

本発明の複数の変型例によれば、誘電体または誘電体群は、 SiN 、 SiO_2 、 Al_2O_3 、ベンゾシクロブテン（BCB）またはSOGを主体とする平坦化ポリマーから選択される。

【0042】

本発明の複数の変型例によれば、 Ni_2P 、 Ni_3P 、 $NiGe$ 、 TiP 、 $TiGe$ 等の金属が前記一次開口に堆積される。

10

【0043】

本発明の複数の変型例によれば、 Ni 、 Ti 等の金属、および $NiPt$ 、 $NiTi$ 、 $NiCo$ 等の合金が前記一次開口に堆積される。

【0044】

本発明の複数の変型例によれば、充填動作は、
 - TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、 W （フッ素非含有）から選択された材料の1個以上の層を含む拡散障壁を堆積するステップと、
 - W 、 Cu 、 Al 、 $AlCu$ 、 $AlSi$ から選択された充填金属を堆積するステップとを含んでいる。

【0045】

拡散障壁に関して、障壁がCVD（化学的方法）により堆積されるため、 W はフッ素を含まず、その前駆体は、充填用の W とは対照的に、 F を含まない。 F はデバイスに有害であるため障壁が用いられる。当該障壁はまた、充填金属（ W 、 Cu 、 Al 等）の核形成を促進するのに役立つことがある。

20

【0046】

元素 W は、抵抗が極めて低く、使用が簡単であるため本発明に関して特に有利であり、従って二次開口の充填に有利に用いることができる。

【0047】

本発明の複数の変型例によれば、金属化部分の堆積に続いて1個以上の金属間化合物の形成を目的として熱処理が行われる。

30

【0048】

本発明の複数の変型例によれば、素子はレーザーであり、本発明の処理は、 Si 等の半導体材料のガイドを SiO_2 等の誘電体基板内に形成する動作を含んでいる。

【0049】

本発明の複数の変型例によれば、素子はレーザーであり、本発明の処理は、レーザーの垂直放射を可能にすべく円形の上側接触部を形成するステップを含んでいる。

【0050】

本発明はまた、本発明の処理により得られた素子にも関する。

【0051】

当該素子は、端面発光レーザー、または垂直発光レーザーであってよい。また有利な特徴として、素子の吸収帯域を広げるべく異なる吸収波長を有する一連の異なるIII-V族材料を含む素子であってよい。

40

【0052】

本発明は、極めて多くの初期構成、すなわち
 - 例えば Si チップ等、任意の種類の基板上でのウェーハへのIII-V族移動と、
 - ウェーハ間移動、
 - III-V族の Si 基板、またはIII/Vの結晶成長を可能にする任意の永続的または一時的基板上へのIII-V族のエピタキシに適用することができる。成長させたいIII/V材料と同一の結晶構造および成長途上の層に近い格子パラメータの少なくとも1個の結晶核が存在しなければならない点に注意されたい。格子パラメータ間に5%を超

50

える差があれば結晶は不完全である（ずれ、逆相結晶粒界または多結晶質の場合もある）。これはガラス等のアモルファス基板では不可能である。

【 0 0 5 3 】

出発基板の直径は 1 0 0 mm 以上であってよい。

【 0 0 5 4 】

以下の非限定的な記述および添付図面を精査することにより本発明に対する理解が深まると共に他の利点も明らかになるう。

【 図面の簡単な説明 】

【 0 0 5 5 】

【 図 1 】 従来技術の I I I - V 族材料を主体とする素子の一例を示す。

10

【 図 2 】 本発明の処理の複数の例で用いる基板上的 I I I - V 族材料の構造の一例を示す。

【 図 3 】 本発明の第 1 の代替方式に関連して形成された素子の第 1 の例を示す。

【 図 4 a 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 4 b 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 4 c 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

20

【 図 4 d 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 4 e 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 4 f 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

30

【 図 4 g 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 4 h 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 4 i 】 第 1 の代替方式による、下側接触部を形成し、次いで個々の接触底面の金属化部分に上側接触部を形成するステップを含む本発明の処理の第 1 の例の各種のステップを示す。

【 図 5 a 】 第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

40

【 図 5 b 】 第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

【 図 5 c 】 第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

【 図 5 d 】 第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを

50

示す。

【図 5 e】第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

【図 5 f】第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

【図 5 g】第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

10

【図 5 h】第 1 の代替方式による、上側接触部を形成し、次いで個々の接触底面の金属化部分に下側接触部を形成するステップを含む本発明の処理の第 2 の例の各種のステップを示す。

【図 6 a】第 1 の代替方式による、個々の接触底面の金属化部分に形成された上側接触部と同時に下側接触部を形成するステップを含む本発明の処理の第 3 の例の各種のステップを示す。

【図 6 b】第 1 の代替方式による、個々の接触底面の金属化部分に形成された上側接触部と同時に下側接触部を形成するステップを含む本発明の処理の第 3 の例の各種のステップを示す。

【図 6 c】第 1 の代替方式による、個々の接触底面の金属化部分に形成された上側接触部と同時に下側接触部を形成するステップを含む本発明の処理の第 3 の例の各種のステップを示す。

20

【図 6 d】第 1 の代替方式による、個々の接触底面の金属化部分に形成された上側接触部と同時に下側接触部を形成するステップを含む本発明の処理の第 3 の例の各種のステップを示す。

【図 6 e】第 1 の代替方式による、個々の接触底面の金属化部分に形成された上側接触部と同時に下側接触部を形成するステップを含む本発明の処理の第 3 の例の各種のステップを示す。

【図 7 f】前記下側接触パッドに金属界面層を不要にする、図 4 a ~ 4 i に示す下側接触パッドを形成するステップの複数の変型例を示す。

30

【図 7 g】前記下側接触パッドに金属界面層を不要にする、図 4 a ~ 4 i に示す下側接触パッドを形成するステップの複数の変型例を示す。

【図 7 h】前記下側接触パッドに金属界面層を不要にする、図 4 a ~ 4 i に示す下側接触パッドを形成するステップの複数の変型例を示す。

【図 7 i】前記下側接触パッドに金属界面層を不要にする、図 4 a ~ 4 i に示す下側接触パッドを形成するステップの複数の変型例を示す。

【図 7 j】前記下側接触パッドに金属界面層を不要にする、図 4 a ~ 4 i に示す下側接触パッドを形成するステップの複数の変型例を示す。

【図 7 k】前記下側接触パッドに金属界面層を不要にする、図 4 a ~ 4 i に示す下側接触パッドを形成するステップの複数の変型例を示す。

40

【図 8 b】デュアルダマシン処理により接触パッドを形成するステップの変型例を構成する処理ステップを示す。

【図 8 c】デュアルダマシン処理により接触パッドを形成するステップの変型例を構成する処理ステップを示す。

【図 8 d】デュアルダマシン処理により接触パッドを形成するステップの変型例を構成する処理ステップを示す。

【図 8 e】デュアルダマシン処理により接触パッドを形成するステップの変型例を構成する処理ステップを示す。

【図 9】本発明の処理の複数の変型例で利用できる追加的接触レベルの集積のステップを示す。

50

を同時に形成するステップを含んでいる、本発明の処理の第 4 の例の各種のステップを示す。

【図 1 6 d】本発明の第 2 の代替方式に関連して、二重レベルの二次上側および下側開口を同時に形成するステップを含んでいる、本発明の処理の第 4 の例の各種のステップを示す。

【図 1 7】本発明の処理の複数の変型例で使用できる追加的接触レベルの集積のステップを示す。

【図 1 8】本発明の処理により形成されるレーザー素子の第 1 の例を示す。

【図 1 9】本発明の処理により形成されるレーザー素子の第 2 の例を示す。

【図 2 0】光集積に関連して本発明の処理により得られる素子の一例を示す。

10

【図 2 1】少なくとも 3 レベルの異なる III - V 族材料を用いることで異なる波長領域で吸収性を示す、本発明の処理により形成される素子の一例を示す。

【図 2 2】III - V 族材料を複数化および多様化することでより広い吸収帯域がアクセス可能になるように太陽電池に接触部が形成される素子の一例を示す。

【図 2 3 a】接触部および移動長を示す電場力線の 2 個の模式図を示す。

【図 2 3 b】接触部および移動長を示す電場力線の 2 個の模式図を示す。

【図 2 4】TLM 構造の模式的表現を示す。

【図 2 5】TLM 構造の場合における接触部間の空間の関数として測定された全抵抗体の変化を示す。

【発明を実施するための形態】

20

【0056】

本発明の各種の実施形態について以下の詳細説明で記述する。

【0057】

接触部の集積を 2 レベルで示しているが、III - V 族材料のレベルで接触部の異なるレベルのトポグラフィを有する極めて多数のレベルに適用できる。

【0058】

本発明について、図 2 に示すように III - V 族ベース材料 2 および III - V 族上側材料 1 を含む構造が上に形成されていて、III - V 族ベース材料の下方に表面を有するメサが形成可能になる基板 9 に関連して以下に述べる。

【0059】

30

本明細書を通じて以下の参照符号を用いる。

- 第 1 の III - V 族材料：1、
- 第 2 の III - V 族材料：2、
- 基板：9、
- 1 個以上の誘電材料：8、
- 金属化部分：3、
- 拡散障壁：4、
- 金属充填材：5
- 第 1 の材料 1 と接触する上側開口： O_s 、
- 第 2 の材料 2 と接触する下側開口： O_i 。

40

【0060】

上側接触部 C_{sup} が、少なくとも 1 個の上側開口 O_s から出発して、または少なくとも 1 個の一次上側開口 O_{sp} から出発して、および少なくとも 1 個の二次上側開口 O_{ss} から出発して画定される。

【0061】

下側接触部 C_{inf} が、少なくとも 1 個の下側開口 O_i から出発して、または少なくとも 1 個の一次下側開口 O_{ip} から出発して、および少なくとも 1 個の二次下側開口 O_{is} から出発して画定される。

【0062】

中間接触部 C_{int} が、少なくとも 1 個の一次中間開口 O_{tp} から出発して、および少な

50

くとも1個の二次中間開口 O_{ts} から出発して画定される。

【0063】

図3に、本発明の第1の代替方式に属する処理により得られた素子の一例を示し、基板9上に、III-V族材料1および2、拡散障壁4を含む接触パッドが上に形成された接触底面の金属化部分として機能する金属化部分3を示して、二次開口は充填金属5で充填されている。当該アセンブリは誘電体8にカプセル化されている。図3に、接触レベル、すなわち下側レベル N_{inf} 、上側レベル N_{sup} を示す。本例によれば、拡散障壁7および充填金属6で充填された接触パッドが上に形成された追加的なレベル $N_{sup/sup1}$ に想到し得る。

【0064】

第1のIII-V族材料は、 InP 、 $In_{1-x}Ga_xAs$ ($0 < x < 1$)、 $GaAs$ 、 $InAs$ 、 $GaSb$ 、 $In_{1-x}Ga_xSb$ 、 $In_xGa_{1-x}As_{1-y}Py$ 、 $Ga_{1-x}In_xP$ 、 $In_xGa_{1-x}As_{1-y}Ny$ 、 $B_xIn_yGa_{1-x-y}As$ 等のIII-V族材料を含んでよい。

【0065】

第2のIII-V族材料もまた、 InP 、 $In_{1-x}Ga_xAs$ ($0 < x < 1$)、 $GaAs$ 、 $InAs$ 、 $GaSb$ 、 $In_{1-x}Ga_xSb$ 、 $In_xGa_{1-x}As_{1-y}Py$ 、 $Ga_{1-x}In_xP$ 、 $In_xGa_{1-x}As_{1-y}Ny$ 、 $B_xIn_yGa_{1-x-y}A$ 等のIII-V族材料を含んでよい。第2のIII-V族材料は第1の材料と同一でも、異なってもよい。

【0066】

板は、厚さが例えば数百ミリメートル(例えば200mm)のオーダーのシリコン基板であってよい。

【0067】

本発明によれば、上側および下側接触部の上側レベルは同一平面内にある。

【0068】

図面は全て、環状または線形であってよい接触部の断面図を示す。

【0069】

I) 接触底面の金属化部分を受容すべく意図された種類の開口、および前記接触底面の金属化部分と接触する接触パッドの形成を含む本発明の第1の代替方式

下側接触部の形成に続いて本発明の第1の代替方式に従い上側接触部を形成するステップを含む本発明による処理の第1の例：

第1のステップ：

当該ステップは、基板9上のIII-V族材料2のベースの表面に第1のIII-V族材料1のメサを含む先に形成された構造のカプセル化を含んでいる。

【0070】

使用する誘電体8は、 SiN 、 SiO_2 、 Al_2O_3 、例えばベンゾシクロブタン(BCB)を主成分とする平坦化ポリマー、またはSOG「スピノングラス」方式、すなわち遠心分離によりアモルファス誘電体を堆積するものであってよい。

【0071】

堆積物は単一層または多層であってよい。

【0072】

誘電体は、PVD(物理蒸着)、CVD(化学蒸着)および/またはALD(原子層堆積)により堆積される。堆積温度は典型的には550以下、好適には450以下であってよい。

【0073】

形成された層の応力は有利な特徴として200MPa以下、好適には100MPa以下であってよい。

【0074】

当該カプセル化ステップを図4aに示す。

10

20

30

40

50

【 0 0 7 5 】

第2のステップ：

当該ステップは、CMP動作（「化学機械平坦化」または「化学機械研磨」）または平坦化ポリマーの場合はドライエッチング（「エッチバック」）による部分的除去による誘電体の平坦化を含んでいる。

【 0 0 7 6 】

自己水平化という特性を有する特定のポリマーがある。すなわち、最初に下側を上側よりも前に充填する。しかし、空洞が完全に充填されることを保証すべく、堆積物は空洞の深さよりも厚い。従って余剰堆積物の厚さを薄くする必要がある。これはウェーハ全体に対する「エッチバック」と呼ばれるドライエッチングにより行うことができる。

10

【 0 0 7 7 】

CMPの前にトポグラフィ上に局所的リソグラフィ/エッチング動作を行うことも可能である。

【 0 0 7 8 】

当該平坦化ステップを図4bに示す。

【 0 0 7 9 】

第3のステップ：

当該ステップは、下側接触部の形成を意図して第1の下側開口 O_{i1} を形成するステップを含んでいる。

【 0 0 8 0 】

寸法D1およびD2は典型的には以下の通りであってよい。

20

【 0 0 8 1 】

寸法D1（III-V族材料1のメサの両側の誘電体の幅）は少なくとも200nm、好適には2~3 μ mの範囲にある。

【 0 0 8 2 】

寸法D2（下側開口の幅）は0.5~10 μ m、好適には1~5 μ mの範囲にある。

【 0 0 8 3 】

寸法D3（誘電体の厚さ）は0.5 μ m~5 μ m、好適には5~3 μ mの範囲にある。

【 0 0 8 4 】

これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

30

【 0 0 8 5 】

連続エッチングを用いてもよい。具体的には、

第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層（SiN、Al₂O₃、SiO₂、BCB、SOC、好適にはSiN）で停止し、次いで材料2まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【 0 0 8 6 】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

40

【 0 0 8 7 】

第4のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分を堆積して下側接触部を画定するステップを含んでいるため、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

【 0 0 8 8 】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢に従い実行することができる。

【 0 0 8 9 】

- 任意選択肢1：

50

(a) Ni_2P 、 Ni_3P 、 $NiGe$ 、 TiP 、 $TiGe$ 等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択な熱処理により相安定化を行うことができる。

(b) Ni 、 Ti および $NiPt$ 、 $NiTl$ 、 $NiCo$ 等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0090】

- 任意選択肢2：シリコン処理工程と互換性を有する金属(Ni 、 Ti およびそれらの合金)の堆積を実行し、次いで当該金属とII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

【0091】

堆積温度は好適には450以下である。

【0092】

アニーリング温度は好適には450以下である。

【0093】

任意選択肢1によれば、金属または金属間化合物を堆積し、当該金属間化合物の仕事関数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0094】

任意選択肢2によれば、金属を堆積し、必要な仕事関数を有する金属間化合物を形成すべく反応させる。この場合、アニーリングは固相反応として機能する。

【0095】

反応しなかった金属の選択的除去を熱処理の後で実行することができる。

【0096】

これらのステップの全てを図4dに示す。

【0097】

第5のステップ：

当該ステップは、接続パッドを形成すべく第1の下側開口を充填するステップとCMP動作とを含んでいる。下側開口は2回充填される。すなわち、

- 拡散障壁/キーイングまたは核形成層4の堆積を実行する。当該層は TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、あるいはCVD、PVDまたはALDにより堆積されたWを含んでいてよい。

- 充填金属5(W 、 Cu 、 $AlCu$ 、 $AlSi$)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0098】

最後にCMP動作を実行してパッド同士を分離する。2枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0099】

これらのステップの全てを図4eに示す。

【0100】

第6のステップ：

当該ステップは、誘電体8の上方で画定されたアセンブリのカプセル化ステップを含んでいる。材料1上方の誘電体の厚さD5は典型的には200nm~1 μ m、好適には200nm~500nmの範囲にある。使用する誘電体は SiN 、 SiO_2 、 Al_2O_3 、平坦化ポリマー(例えばBCB、SOG)であってよい。堆積物は単一層または多層であってよい。これらはPVD、CVDおよび/またはALDにより堆積される。

【0101】

堆積温度は450以下、好適には300以下である。

【0102】

当該ステップを図4fに示す。

10

20

30

40

50

【0103】

1個以上の金属間化合物を形成する相安定化または熱処理の動作が先に実行されていない場合、当該ステップの終了時点で実行することができる。

【0104】

第7のステップ：

当該ステップは、下側接触部の形成を意図して二次下側開口 O_{i2} および上側接触部の形成を意図して開口 O_s を形成するステップを含んでいる。

【0105】

これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

10

【0106】

連続エッチングを用いてもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、 Al_2O_3 、 SiO_2 、BCB、SOC、好適にはSiN)で停止し、次いで材料1まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0107】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0108】

寸法D2(上側開口の幅)は $0.5 \sim 10 \mu m$ 、好適には $1 \sim 5 \mu m$ の範囲にある。

20

【0109】

当該ステップを図4gに示す。

【0110】

第8のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分を堆積して下側接触部および上側接触部を画定するステップを含んでいるため、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

【0111】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢に従い実行することができる。

30

【0112】

- 任意選択肢1：

(a) Ni_2P 、 Ni_3P 、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0113】

- 任意選択肢2：シリコン処理工程と互換性を有する金属(Ni、Tiおよびそれらの合金)の堆積を実行し、次いで当該金属とII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

40

【0114】

堆積温度は好適には 450 以下である。

【0115】

アニーリング温度は好適には 450 以下である。

【0116】

任意選択肢1によれば、金属または金属間化合物を堆積し、金属間化合物の仕事関数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0117】

50

当該ステップを図 4 h に示す。

【 0 1 1 8 】

第 9 のステップ：

当該ステップは、接続パッドを形成すべく下側開口および上側開口を充填するステップと CMP 動作とを含んでいる。下側開口および上側開口の充填は 2 回行われる。すなわち、

- 拡散障壁 / キーイングまたは核形成層 4 の堆積を実行する。当該層は TiN、Ti / TiN、TaN、Ta / TaN、あるいは CVD、PVD または ALD により堆積された W を含んでいてよい。

- 充填金属 5 (W、Cu、AlCu、AlSi) の堆積を実行し、堆積は CVD、ECD または PVD により行われる。

10

【 0 1 1 9 】

最後に CMP 動作を実行してパッド同士を分離する。2 枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP 動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【 0 1 2 0 】

これらのステップの全てを図 4 i に示しており、上側接触部 C_{sup} および下側接触部 C_{inf} の 2 レベルの金属化部分 3 を示している。

【 0 1 2 1 】

第 1 の例に記述されている実施形態の代替方式は図 4 c ~ 4 d、次いで図 4 g ~ 4 h に示す接触部の空洞を連続的に画定するが、図 4 e、4 i に示すパッド空洞を単一ステップで画定するものである。

20

【 0 1 2 2 】

上側接触部の形成に続いて本発明の第 1 の代替方式に従い下側接触部を形成するステップを含む本発明による処理の第 2 の例：

第 1 のステップ：

当該ステップは、基板 9 上の III - V 族材料 2 のベースの表面に第 1 の III - V 族材料 1 のメサを含む先に形成された構造のカプセル化を含んでいる。

【 0 1 2 3 】

使用する誘電体 8 は、SiN、SiO₂、Al₂O₃、例えばベンゾシクロブタン (BCB) を主成分とする平坦化ポリマー、または SOG 「スピンオンガラス」方式、すなわち遠心分離によりアモルファス誘電体を堆積するものであってよい。

30

【 0 1 2 4 】

堆積物は単一層または多層であってよい。

【 0 1 2 5 】

誘電体は、PVD (物理蒸着)、CVD (化学蒸着) および / または ALD (原子層堆積) により堆積される。堆積温度は典型的には 550 以下、好適には 450 以下であってよい。

【 0 1 2 6 】

形成された層の応力は有利な特徴として 200 MPa 以下、好適には 100 MPa 以下であってよい。

40

【 0 1 2 7 】

当該カプセル化ステップを図 5 a に示す。

【 0 1 2 8 】

第 2 のステップ：

当該ステップは、CMP 動作 (「化学機械平坦化」または「化学機械研磨」) または平坦化ポリマーの場合はドライエッチング (「エッチバック」) による部分的除去による誘電体の平坦化を含んでいる。

【 0 1 2 9 】

自己水平化という特性を有する特定のポリマーがある。すなわち、最初に下側を上側よりも前に充填する。しかし、空洞が完全に充填されることを保証すべく、堆積物は空洞の

50

深さよりも厚い。従って余剰堆積物の厚さを薄くする必要がある。これはウェーハ全体に対する「エッチバック」と呼ばれるドライエッチングにより行うことができる。

【0130】

CMPの前にトポグラフィ上に局所的リソグラフィ/エッチング動作を行うことも可能である。

【0131】

当該平坦化ステップを図5bに示す。

【0132】

第3のステップ：

当該ステップは、上側接触部の形成を意図して上側開口 O_S を形成するステップを含んでいる。

10

【0133】

これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

【0134】

連続エッチングを用いてもよい。具体的には、

第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、 Al_2O_3 、 SiO_2 、BCB、SOC、好適にはSiN)で停止し、次いで材料1まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

20

【0135】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0136】

開口を形成する当該ステップを図5cに示す。

【0137】

第4のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分を堆積して下側接触部を画定するステップを含んでいるため、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

30

【0138】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢に従い実行することができる。

【0139】

- 任意選択肢1：

(a) Ni_2P 、 Ni_3P 、 $NiGe$ 、 TiP 、 $TiGe$ 等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni 、 Ti および $NiPt$ 、 $NiTi$ 、 $NiCo$ 等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

40

【0140】

- 任意選択肢2：シリコン処理工程と互換性を有する金属(Ni 、 Ti およびそれらの合金)の堆積を実行し、次いで当該金属とII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

【0141】

堆積温度は好適には450 以下である。

【0142】

アニーリング温度は好適には450 以下である。

【0143】

任意選択肢1によれば、金属または金属間化合物を堆積し、当該金属間化合物の仕事関

50

数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0144】

当該ステップを図5 d に示す。

【0145】

第5のステップ：

当該ステップは、接続パッドを形成すべく上側開口を充填するステップとCMP動作とを含んでいる。上側開口の充填は2回行われる。すなわち、

- 拡散障壁/キーイングまたは核形成層4の堆積を実行する。当該層はTiN、Ti/TiN、TaN、Ta/TaN、あるいはCVD、PVDまたはALDにより堆積されたWを含んでいてよい。

- 充填金属5(W、Cu、AlCu、AlSi)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0146】

最後にCMP動作を実行してパッド同士を分離する。2枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0147】

これらのステップの全てを図5 e に示しており、下側接触部の2レベルの金属化部分3を示している。

【0148】

第6のステップ：

当該ステップは、下側接触部の形成を意図して下側開口 O_i を形成するステップを含んでいる。

【0149】

これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

【0150】

連続エッチングを用いてもよい。具体的には、

第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、Al₂O₃、SiO₂、BCB、SOC、好適にはSiN)で停止し、次いで材料2まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0151】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0152】

開口を形成する当該ステップを図5 f に示す。

【0153】

第7のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分を堆積して下側接触部を画定するステップを含んでいるため、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

【0154】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢により実行することができる。

【0155】

- 任意選択肢1：

(a) Ni₂P、Ni₃P、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

10

20

30

40

50

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0156】

- 任意選択肢2：シリコン処理工程と互換性を有する金属(Ni、Tiおよびそれらの合金)の堆積を実行し、次いで当該金属とIII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

【0157】

堆積温度は好適には450以下である。

【0158】

アニーリング温度は好適には450以下である。

【0159】

任意選択肢1によれば、金属または金属間化合物を堆積し、当該金属間化合物の仕事関数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0160】

当該ステップを図5gに示す。

【0161】

第8のステップ：

当該ステップは、接続パッドを形成すべく下側開口充填するステップとCMP動作とを含んでいる。下側開口は2回充填される。すなわち、

- 拡散障壁/キーイングまたは核形成層4の堆積を実行する。当該層はTiN、Ti/TiN、Ta₂N、Ta/Ta₂N、あるいはCVD、PVDまたはALDにより堆積されたWを含んでよい。

- 充填金属5(W、Cu、AlCu、AlSi)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0162】

最後にCMP動作を実行してパッド同士を分離する。2枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0163】

これらの動作の全てを図5hに示し、下側接触部の2レベルの金属化部分3を示す。

【0164】

第2の例に記述されている実施形態の代替方式は図5c~5d、次いで図5f~5gに示す接触部の空洞を連続的に開口するが、図5e、5hに示すパッド空洞を単一ステップで開口するものである。

【0165】

本発明の第1の代替方式による上側接触部と下側接触部の同時形成を含む本発明による処理の第3の例：

第1のステップ：

当該ステップは、基板9上のIII-V族材料2のベースの表面に第1のIII-V族材料1のメサを含む先に形成された構造のカプセル化を含んでいる。

【0166】

使用する誘電体8は、SiN、SiO₂、Al₂O₃、例えばベンゾシクロブタン(BCB)を主成分とする平坦化ポリマー、またはSOG「スピノングラス」方式、すなわち遠心分離によりアモルファス誘電体を堆積するものであってよい。

【0167】

堆積物は単一層または多層であってよい。

【0168】

誘電体は、PVD(物理蒸着)、CVD(化学蒸着)および/またはALD(原子層堆

10

20

30

40

50

積)により堆積される。堆積温度は典型的には550以下、好適には450以下であってよい。

【0169】

形成された層の応力は有利な特徴として200MPa以下、好適には100MPa以下であってよい。

【0170】

当該カプセル化ステップを図6aに示す。

【0171】

第2のステップ：

当該ステップは、CMP動作(「化学機械平坦化」または「化学機械研磨」)または平坦化ポリマーの場合はドライエッチング(「エッチバック」)による部分的除去による誘電体の平坦化を含んでいる。

10

【0172】

自己水平化という特性を有する特定のポリマーがある。すなわち、最初に下側を上側よりも前に充填する。しかし、空洞が完全に充填されることを保証すべく、堆積物は空洞の深さよりも厚い。従って余剰堆積物の厚さを薄くする必要がある。これはウェーハ全体に対する「エッチバック」と呼ばれるドライエッチングにより行うことができる。

【0173】

CMPの前にトポグラフィ上に局所的リソグラフィ/エッチング動作を行うことも可能である。

20

【0174】

当該平坦化ステップを図6bに示す。

【0175】

第3のステップ：

当該ステップは、上側接触部の形成を意図して上側開口 O_s を、および下側接触部の形成を意図して下側開口 O_i を形成するステップを含んでいる。

【0176】

これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

【0177】

連続エッチングを用いてもよい。具体的には、

第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、 Al_2O_3 、 SiO_2 、BCB、SOC、好適にはSiN)で停止し、次いで材料1および材料2まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0178】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0179】

当該開口形成ステップを図6cに示す。

40

【0180】

第4のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分を堆積して上側接触部および下側接触部を画定するステップを含んでいるため、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

【0181】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢に従い実行することができる。

【0182】

- 任意選択肢1：

50

(a) Ni_2P 、 Ni_3P 、 $NiGe$ 、 TiP 、 $TiGe$ 等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni 、 Ti および $NiPt$ 、 $NiTi$ 、 $NiCo$ 等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0183】

- 任意選択肢2：シリコン処理工程と互換性を有する金属(Ni 、 Ti およびそれらの合金)の堆積を実行し、次いで当該金属とIII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

【0184】

堆積温度は好適には450以下である。

【0185】

アニーリング温度は好適には450以下である。

【0186】

任意選択肢1によれば、金属または金属間化合物を堆積し、当該金属間化合物の仕事関数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0187】

当該ステップを図6dに示す。

【0188】

第5のステップ：

当該ステップは、接続パッドを形成すべく上側開口および下側開口を充填するステップとCMP動作とを含んでいる。上側および下側開口の同時の充填は2回行われる。すなわち、

- 拡散障壁/キーイングまたは核形成層4の堆積を実行する。当該層は TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、あるいはCVD、PVDまたはALDにより堆積されたWを含んでいてよい。

- 充填金属5(W 、 Cu 、 $AlCu$ 、 $AlSi$)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0189】

最後にCMP動作を実行してパッド同士を分離する。2枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0190】

当該ステップを図6eに示す。

【0191】

上側接触部の形成に続いて本発明の第1の代替方式に従い下側接触部を形成するステップを含む本発明による処理の第1の例の一変型例は、(外部の)低レベルパッドに存在する金属化層3を除去すべくリソグラフィのステップを追加するものである。当該ステップにより界面が増えるため、電気的な見地から有害であり得る。

【0192】

以下に記述する当該変型例は、図4a~4fに記述したものと共通のステップを含んでいて、図7f~7iに示すが、説明を分かり易くするため参照符号は変えていない。

【0193】

下側接触部のパッドが予め形成されていて、図7fに示すように誘電体8にカプセル化されたアセンブリを形成する。

【0194】

次いで、図7gに示すように上側接触部の形成を意図して開口 O_s を第1の材料1のレベルで形成する。これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

10

20

30

40

50

【0195】

連続エッチングを実行してもよい。すなわち、

第1のドライエッチングを用いて誘電スタックの一部をエッチングして、障壁層(SiN、Al₂O₃、SiO₂、BCB、SOC、好適にはSiN)で停止し、次いで材料1まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0196】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0197】

次いで、シリコン処理工程と互換性を有する金属化部分を堆積して上側接触部および下側接触部を画定することにより、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

【0198】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢に従い実行することができる。

【0199】

- 任意選択肢1:

(a) Ni₂P、Ni₃P、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0200】

- 任意選択肢2: シリコン処理工程と互換性を有する金属(Ni、Tiおよびそれらの合金)の堆積を実行し、次いで当該金属とIII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

【0201】

堆積温度は好適には450 以下である。

【0202】

アニーリング温度は好適には450 以下である。

【0203】

任意選択肢1によれば、金属または金属間化合物を堆積し、当該金属間化合物の仕事関数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0204】

当該ステップを図7hに示す。

【0205】

次いでCMP方式の動作を行い、図7iに示すように誘電スタックの最上部で過剰な金属を除去して、開口O_sのレベルで層3を残したままにする。

【0206】

次いで、図7jに示すように下側接触部の形成を意図して二次下側開口O_{i2}を形成する。これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

【0207】

連続エッチングを用いてもよい。具体的には、

材料の上に下側接触部の外部パッドを露出させる誘電スタックエッチング、すなわち

・低レベルパッドの充填材までエッチングを1回実行するドライエッチング。この場合エッチストップ層の存在は任意選択的である。

・連続エッチング、すなわち第1のドライエッチングにより誘電スタックの一部をエッ

10

20

30

40

50

チングして、障壁層（ SiN 、 Al_2O_3 、 SiO_2 、BCB、SOC、好適には SiN ）で停止し、次いで低レベルパッドの充填材まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0208】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えば SiN からなるハードマスクを用いて実行することができる。

【0209】

次いで、先に形成された下方パッドの第1の部分の最上部に、上側パッドおよび下方パッドの上部を形成する。この動作は、開口 O_s および O_{i2} の全てを充填することにより行われる。

【0210】

上側開口 O_s および下側開口 O_{i2} の同時充填は2回行われる。すなわち、

- 拡散障壁/キーイングまたは核形成層4の堆積を実行する。当該層は TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、あるいはCVD、PVDまたはALDにより堆積されたWを含んでよい。

- 充填金属5（W、Cu、 AlCu 、 AlSi ）の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0211】

最後にCMP動作を実行してパッド同士を分離する。2枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0212】

当該充填動作を図7kに示す。

【0213】

上述の3例に記述したパッドの開口の代替方式は、デュアルダマシンの処理により接触パッドを集積するステップを含んでいる。デュアルダマシンの処理は、金属充填、次いで過剰な金属（1または2層の障壁+充填材）を除去するCMPを単一ステップで連続的に実行する2段階のエッチング処理である。これにより一般にビア孔および当該ビア孔に至る線を形成すること、すなわち接続およびルーティングが可能になる。

【0214】

当該代替方式は、図8b~8eに示す実施形態に模式的に示す。図8bに示すようなカプセル化および平滑化されたアセンブリが上述のものと同様の仕方で形成される。

【0215】

誘電体の部分エッチングにより二次下側開口 O_{i2} と呼ばれる下側開口の最上部を形成する。ドライエッチングを用いてもよい。この場合エッチストップ層の存在は任意選択的である。

【0216】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えば SiN からなるハードマスクを用いて実行することができる。

【0217】

当該ステップを図8cに示す。

【0218】

上側開口 O_s と第1の下側開口 O_{i1} と呼ばれる下側開口の下部とを形成すべく誘電体をエッチングする第2の動作を実行する。

【0219】

これらの開口はドライエッチングにより形成することができる。この場合エッチストップ層の存在は任意選択的である。

【0220】

連続エッチングを用いてもよい。具体的には、

材料の上に下側接触部の外部パッドを開口するための誘電スタックエッチング、すなわち

10

20

30

40

50

・低レベルパッドの充填材までエッチングを1回実行するドライエッチング。この場合エッチストップ層の存在は任意選択的である。

・連続エッチング、すなわち第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、Al₂O₃、SiO₂、BCB、SOC、好適にはSiN)で停止し、次いで低レベルパッドの充填材まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0221】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0222】

当該ステップを図8dに示す。

【0223】

次いで下側および上側接触部のパッドを充填により形成する。上側開口O_sおよび下側開口O_{i2}、O_{i2}の同時充填は2回実行される。すなわち、

- 拡散障壁/キーイングまたは核形成層4の堆積を実行する。当該層はTiN、Ti/TiN、Ta_nN、Ta/Ta_nN、あるいはCVD、PVDまたはALDにより堆積されたWを含んでいてよい。

- 充填金属5(W、Cu、AlCu、AlSi)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0224】

最後にCMP動作を実行してパッド同士を分離する。2枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0225】

当該充填動作を図8eに示す。

【0226】

先の例で記述した全ての実施形態を追加的なレベルの集積で補完することができる。

【0227】

従って追加的なステップが、誘電体8の追加的な堆積を実行し、次いで図9に示すように接触部C_{inf/sup1}およびC_{sup/sup1}を画定すべくこれらの開口をエッチングおよび充填して上側および下側開口を形成することにより実行されてよい。

【0228】

このため、追加的な上側および下側開口において、TiN、Ti/TiN、Ta_nN、Ta/Ta_nN、Wからなる障壁7が堆積され、W、CuまたはAl、AlCu、AlSiからなる金属6による充填が行われる。

【0229】

本発明の処理により形成されるレーザー素子の例：

本発明の処理は、有利な特徴としてIII-V族材料を主体としてレーザーを生成可能にする。

【0230】

SiO₂の基板90は、シリコンガイド91を含み、その最上部に以下が形成される。すなわち、

- nドープInPからなる第2のIII-V族材料2のベース、およびドーピングの程度が異なるInGaAsPからなる多重量子井戸構造およびpドープInGaAsの層を含むメサ1であり、III-V族材料の特性が発光波長を決定する、

- 誘電体8は、SiN、SiO₂であっても、または例えばBCBを主体とする平坦化ポリマーであってもよく、

- 接触底面の金属化部分3は、例えばNi、Tiまたはそれらの合金(Ni₂P、Ni₃P、NiGe、TiP、TiGe等)であってもよく、

- Fに対する拡散障壁および/またはW4に対するキーイング層はTiN、Ti/Ti

10

20

30

40

50

N、TaN、Ta/TaN、Wであってよい。

【0231】

充填金属5はCuまたはAl、AlCu、AlSiであってよい。

【0232】

レーザーの上述の例を図10に示す。

【0233】

VCSSEL方式の垂直発光レーザー素子の例：

一般に、垂直空洞面発光レーザーダイオードすなわちVCSSELが、従来の端面発光半導体レーザーとは対照的に、表面に対して垂直にレーザービームを発光する種類の半導体レーザーダイオードであることが想起できよう。

10

【0234】

レーザーの上述の例は主として先の例で記述したものと同様の構造を含んでいる。

【0235】

しかし、当該構造の最上部でレーザー放射の発光を可能にすべく上側接触部は円形にされている。

【0236】

上述の素子の例は、シリコン基板9を含み、その最上部にnドープInPからなる第2のIII-V族材料2のベース、InGaAsP、AlGaAs、GaAs、InGaAsNからなる多重量子井戸構造を含むメサ1、およびpドープInGaAsの層が形成されており、III-V族材料の特性が発光波長を決定する。

20

【0237】

誘電体8は、SiN、SiO₂であっても、または例えばBCBを主体とする平坦化ポリマーであってもよい。

【0238】

接触底面の金属化部分3は、例えばNi、Tiまたはそれらの合金(Ni₂P、Ni₃P、NiGe、TiP、TiGe等)であってよい。

【0239】

Fに対する拡散障壁および/またはW4に対するキーイング層はTiN、Ti/TiN、TaN、Ta/TaN、Wであってよい。

【0240】

充填金属5はCuまたはAl、AlCu、AlSiであってよい。

30

【0241】

金属化部分3および元素4、5が接触部C_{sup}、C_{inf}を構成している。

【0242】

円形の上側接触部C_{sup}により、レーザービームを素子の上面から引き出すことができる。

【0243】

レーザーの上述の例を図11に示す。

【0244】

II) 一次開口および二次開口の形成を含む本発明の第2の代替方式

40

上述の第2の代替方式によれば、一次開口底面の金属化部分および二次開口の接触パッドを画定する。従って接触部は少なくとも開口底面の金属化部分および前記金属化部分と接触している接触パッドを含んでいる。

【0245】

図12に、本発明の第1の代替方式に属する処理により得られた素子の一例を示し、基板9、III-V族材料1、2、拡散障壁4を含む接触パッドが上部に形成された接触底面の金属化部分として機能する金属化部分3を示しており、二次開口は充填金属5で充填されている。全体が誘電体8内にカプセル化されている。図12に、接触レベル、すなわち下側レベルN_{inf}、上側レベルN_{sup}を示す。本例によれば、拡散障壁7および充填金属6で充填された接触パッドを上部に形成可能な追加的なレベルN_{sup/sup1}に想

50

到し得る。

【0246】

第1のIII-V族材料は、 InP 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 < x < 1$)、 GaAs 、 InAs 、 GaSb 、 $\text{In}_{1-x}\text{Ga}_x\text{Sb}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Py}$ 、 $\text{Ga}_{1-x}\text{In}_x\text{P}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Ny}$ 、 $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{As}$ 等のIII-V族材料を含んでいてよい。

【0247】

第2のIII-V族材料はまた、 InP 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 < x < 1$)、 GaAs 、 InAs 、 GaSb 、 $\text{In}_{1-x}\text{Ga}_x\text{Sb}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Py}$ 、 $\text{Ga}_{1-x}\text{In}_x\text{P}$ 、 $\text{In}_x\text{Ga}_{1-x}\text{As}_{1-y}\text{Ny}$ 、 $\text{B}_x\text{In}_y\text{Ga}_{1-x-y}\text{A}$ 等のIII-V族材料を含んでいてよい。これは第1の材料と同一または異なっていてよい。

10

【0248】

基板は、厚さが例えば数百ミリメートル（例えば200mm）のオーダーのシリコン基板であってよい。

【0249】

下側接触部の形成に続いて本発明の第2の代替方式に従い上側接触部を形成するステップを含む本発明による処理の第1の例：

第1のステップ：

当該ステップは、基板9上にIII-V族材料2のベースの表面に第1のIII-V族材料1のメサを含む先に形成された構造のカプセル化を含んでいる。

20

【0250】

使用する誘電体8は、 SiN 、 SiO_2 、 Al_2O_3 、例えばベンゾシクロブタン（BCB）を主成分とする平坦化ポリマー、またはSOG「スピンオンガラス」方式、すなわち遠心分離によりアモルファス誘電体を堆積するものであってよい。

【0251】

堆積物は単一層または多層であってよい。

【0252】

誘電体は、PVD（物理蒸着）、CVD（化学蒸着）および/またはALD（原子層堆積）により堆積される。堆積温度は典型的には550以下、好適には450以下であってよい。

30

【0253】

形成された層の応力は有利な特徴として200MPa以下、好適には100MPa以下であってよい。

【0254】

当該カプセル化ステップを図13aに示す。

【0255】

第2のステップ：

当該ステップは、CMP動作（「化学機械平坦化」または「化学機械研磨」）または平坦化ポリマーの場合はドライエッチング（「エッチバック」）による部分的除去による誘電体の平坦化を含んでいる。

40

【0256】

自己水平化という特性を有する特定のポリマーがある。すなわち、最初に下側を上側よりも前に充填する。しかし、空洞が完全に充填されることを保証すべく、堆積物は空洞の深さよりも厚い。従って余剰堆積物の厚さを薄くする必要がある。これはウェーハ全体に対する「エッチバック」と呼ばれるドライエッチングにより行うことができる。

【0257】

CMPの前にトポグラフィ上に局所的リソグラフィ/エッチング動作を行うことも可能である。

【0258】

当該平坦化ステップを図13bに示す。

50

【0259】

第3のステップ：

当該ステップは、下側接触部の形成を意図して一次下側開口 O_{ip} を形成するステップを含んでいる。

【0260】

寸法D1、D2、D3およびD4は典型的には以下の通りであってよい。

【0261】

寸法D1（III-V族材料1のメサの両側の誘電体の幅）は少なくとも200nm、好適には2～3 μ mの範囲にある。

【0262】

寸法D2（一次下側開口の幅）は20～50 μ mの範囲にあってよい。

【0263】

寸法D3（誘電体の厚さ）は0.5 μ m～5 μ m、好適には5～3 μ mの範囲にある。

【0264】

寸法D4（2個の一次下側開口間の中心幅）は0.5 μ m～10 μ m、好適には1～5 μ mの範囲にあってよい。

【0265】

このため、（複数層の場合）III-V族材料2まで貫通するように誘電体の局所的エッチングを実行する。エッチングは、ドライエッチング動作によりIII-V族材料2まで貫通するように1回実行されてよい。この場合エッチストップ層の存在は任意選択的である。

【0266】

連続エッチング動作を実行してもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層（SiN、Al₂O₃、SiO₂、BCB、SiOC、好適にはSiN）で停止し、次いでIII-V族材料2まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0267】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0268】

当該開口形成ステップを図13cに示す。

【0269】

第4のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分を堆積して下側接触部を画定するステップを含んでいるため、貴金属、すなわちシリコン処理工程で使われない金属の使用を回避できるようになる。

【0270】

シリコン処理工程と互換性を有する金属化は、以下の二つの任意選択肢に従い実行することができる。

【0271】

- 任意選択肢1：

(a) Ni₂P、Ni₃P、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0272】

- 任意選択肢2：シリコン処理工程と互換性を有する金属（Ni、Tiおよびそれらの合金）の堆積を実行し、次いで当該金属とIII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

10

20

30

40

50

【0273】

堆積温度は好適には450 以下である。

【0274】

アニーリング温度は好適には450 以下である。

【0275】

任意選択肢1によれば、金属または金属間化合物を堆積し、当該金属間化合物の仕事関数を利用する。この場合、アニーリングは界面欠陥を修復して、金属または化合物を結晶化させる役割を果たす。

【0276】

任意選択肢2によれば、金属を堆積し、必要な仕事関数を有する金属間化合物を形成すべく反応させる。この場合、アニーリングは固相反応として機能する。

10

【0277】

反応しなかった金属の選択的除去を熱処理の後で実行することができる。

【0278】

次いで図13dに示すアセンブリE1が得られる。

【0279】

第5のステップ：

当該ステップは、誘電体8によるアセンブリE1のカプセル化ステップを含んでいる。使用する誘電体はSiN、SiO₂、Al₂O₃、平坦化ポリマー（例えばBCB、SOG）であってよい。堆積物は単一層または多層であってよい。これらはPVD、CVDおよび/またはALDにより堆積される。

20

【0280】

堆積温度は450 以下、好適には300 以下である。

【0281】

当該ステップを図13eに示す。

【0282】

1個以上の金属間化合物を形成する相安定化または熱処理の動作が第4のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【0283】

第6のステップ：

当該ステップは、CMP動作または平坦化ポリマーの場合は「エッチバック」動作による誘電体の平坦化を含んでいる。

30

【0284】

CMPまたは「エッチバック」平坦化を実行するのは、

- 第4のステップで選択的除去が金属の除去まで行われなかった場合、
- 第4のステップで選択的除去が行われず、且つ金属に対するCMP方式または「エッチバック」方式の動作が不可能で、金属上で停止する場合（従って金属の選択的除去ステップを実行して図13fに示すような構造が得られる）、
- 図13fに示すような構造が得られるまで、第4のステップで選択的除去が実行された場合である。

40

【0285】

典型的には、図示する高さD5（III-V族材料1の最上部の誘電体の厚さ）は、200nm～1μmの範囲にあってよい。

【0286】

1個以上の金属間化合物を形成する相安定化または熱処理の動作が第4のステップの終了時点または第5のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【0287】

第7のステップ：

当該ステップは、接続パッドの形成を意図して上部二次下側開口O_{is1}に行われる動作

50

を含んでいる。このため、下部レベルで金属化部分 3 まで貫通するように誘電スタックのエッチングを実行する。

【0288】

エッチング、すなわちドライエッチングは、金属化部分に達するまで 1 回実行される。この場合エッチストップ層の存在は任意選択的である。

【0289】

連続エッチングを用いてもよい。具体的には、第 1 のドライエッチングにより誘電スタックの一部をエッチングして、障壁層 (SiN、Al₂O₃、SiO₂、BCB、SOC、好適には SiN) で停止し、次いで金属化部分 3 まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

10

【0290】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えば SiN からなるハードマスクを用いて実行することができる。典型的には、図示する誘電体の寸法 D6 (二次下側開口の幅) は 0.5 μm ~ 5 μm、好適には 1 μm ~ 3 μm の範囲にあってよい。当該ステップを図 13g に示す。

【0291】

第 8 のステップ：

当該ステップは、接続パッドを形成すべく二次下側開口を充填するステップと CMP 動作とを含んでいる。二次下側開口の充填は 2 回行われる。すなわち、

- 拡散障壁 / キーイングまたは核形成層 4 の堆積を実行する。当該層は TiN、Ti / TiN、TaN、Ta / TaN、あるいは CVD、PVD または ALD により堆積された W を含んでいてよい。

20

- 充填金属 5 (W、Cu、AlCu、AlSi) の堆積を実行し、堆積は CVD、ECD または PVD により行われる。

【0292】

最後に CMP 動作を実行してパッド同士を分離する。2 枚のパッド間の空洞の最上部に金属が存在するため、短絡は不可避である。CMP 動作により、パッドから金属だけを除去し、従ってパッド同士を分離することが可能になる。

【0293】

新たなアセンブリ E2 が形成されている。これらのステップの全てを図 13h に示す。

30

【0294】

第 9 のステップ：

当該ステップは、誘電体 8 によるカプセル化の動作を含んでいる。使用する誘電体は SiN、SiO₂、Al₂O₃、平坦化ポリマー (例えば BCB、SOG) であってよい。堆積物は単一層または多層であってよい。誘電体は、PVD、CVD および / または ALD により堆積される。堆積温度は 450 以下、好適には 300 以下である。典型的には、図示する誘電体の高さ D7 は 200 nm ~ 1 μm、好適には 200 nm ~ 500 nm の範囲にある。当該ステップを図 13i に示す。

【0295】

第 10 のステップ：

当該ステップは、上側接触部を形成すべく一次上側開口 O_{sp} を形成するステップを含んでいる。

40

【0296】

当該ステップは、III-V 族材料 1 まで貫通するように誘電スタックをエッチングするステップを含んでいる。エッチングは、ドライエッチングにより III-V 族材料 1 まで貫通するように 1 回実行されてよい。この場合エッチストップ層の存在は任意選択的である。

【0297】

連続エッチングを用いてもよい。具体的には、第 1 のドライエッチングにより誘電スタックの一部をエッチングして、障壁層 (SiN、Al₂O₃、SiO₂、BCB、SOC、

50

好適にはSiN)で停止し、次いでIII-V族材料1まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0298】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0299】

当該ステップを図13jに示す。

【0300】

第11のステップ：

当該ステップは、上側接触部の形成を意図してシリコン処理工程と互換性を有する金属化部分3を堆積するステップを含んでいる。シリコン処理工程と互換性を有する金属化は二通りの仕方で行うことができる。

10

【0301】

- 任意選択肢1：

(a) Ni₂P、Ni₃P、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0302】

- 任意選択肢2：シリコン処理工程と互換性を有する金属(Ni、Tiおよびそれらの合金)の堆積を実行し、次いで当該金属とIII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

20

【0303】

アニーリング温度は好適には450以下である

【0304】

反応しなかった金属の選択的除去を熱処理の後で実行することができる。第3のアセンブリE3が得られる。

【0305】

当該ステップを図13kに示す。

30

【0306】

第12のステップ：

当該ステップは、第3のアセンブリE3のカプセル化を含んでいる。使用する誘電体はSiN、SiO₂、Al₂O₃、平坦化ポリマー(例えばBCB)、SOGであってよい。堆積物は単一層または多層であってよい。これらはPVD、CVDおよび/またはALDにより堆積される。堆積温度は450以下、好適には300以下である。

【0307】

当該ステップを図13lに示す。

【0308】

1個以上の金属間化合物を形成する相安定化または熱処理の動作が第11のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

40

【0309】

第13のステップ：

当該ステップは、平坦化動作を含んでいる。

【0310】

平坦化またはエッチバックを実行できるのは、

- 第11のステップで選択的除去が金属の除去まで行われなかった場合、

- 第11のステップで選択的除去が行われず、且つ金属に対するCMP方式または「エッチバック」方式の動作が不可能で、金属上で停止する場合(従って金属の選択的除去ステップを実行して図4mに示すような構造が得られる)、

50

- 図 1 3 m に示すような構造が得られるまで、第 1 1 のステップで選択的除去が実行された場合である。

【 0 3 1 1 】

1 個以上の金属間化合物を形成する相安定化または熱処理の動作が第 1 1 のステップの終了時点または第 1 2 のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【 0 3 1 2 】

第 1 4 のステップ：

当該ステップは、下側接触部の少なくとも接触パッドの最上部に二次上側開口 O_{s2} および追加的な上側開口 O_{is2} を形成するステップを含んでいる。

10

【 0 3 1 3 】

当該ステップは、上側接触部レベルの金属化部分まで貫通するように且つ下側接触部の接触パッドまで貫通するように誘電スタックをエッチングするステップを含んでいる。

【 0 3 1 4 】

エッチングは、ドライエッチングにより、金属化部分 3 に達するまで、且つ下側レベルのパッドに達するまで 1 回実行される。この場合エッチストップ層の存在は任意選択的である。

【 0 3 1 5 】

連続エッチング動作を実行してもよい。具体的には、第 1 のドライエッチングにより誘電スタックの一部をエッチングして、上側接触底面の金属化部分および下側接触部のパッド上で障壁層 (SiN 、 Al_2O_3 、 SiO_2 、 BCB 、 $SiOC$ 、好適には SiN) で停止する。

20

【 0 3 1 6 】

金属化部分 3 まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングすることができる。

【 0 3 1 7 】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えば SiN からなるハードマスクを用いて実行することができる。

【 0 3 1 8 】

当該ステップを図 1 3 n に示す。

30

【 0 3 1 9 】

第 1 5 のステップ：

当該ステップは、先のステップで画定された開口を充填するステップを含んでいる。

【 0 3 2 0 】

開口の充填は 2 回行われる。すなわち、

- 拡散障壁 / キーイングまたは核形成層の堆積を実行する。当該層は TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、あるいは CVD 、 PVD または ALD により堆積された W を含んでいてよい。

- 充填金属 (W 、 Cu 、 $AlCu$ 、 $AlSi$ 等) の堆積を実行し、堆積は CVD 、 EC または PVD により行われる。

40

【 0 3 2 1 】

最後に CMP 動作を実行してパッド同士を分離する。

【 0 3 2 2 】

当該ステップを図 1 3 o に示しており、上側接触部 C_{sup} および下側接触部 C_{inf} の形成に至る。

【 0 3 2 3 】

第 1 の処理例の代替方式は、二次開口の同時形成と組み合わせた、一次開口の連続的な形成を含んでいてよい。

【 0 3 2 4 】

上側接触部の形成に続いて本発明の第 2 の代替方式に従い下側接触部を形成するステッ

50

プを含む本発明による処理の第2の例：

第1のステップ：

当該ステップは、基板9上にIII-V族材料2のベースの表面に第1のIII-V族材料1のメサを含む先に形成された構造のカプセル化を含んでいる。

【0325】

使用する誘電体8は、SiN、SiO₂、Al₂O₃、平坦化ポリマー（例えばBCB、SOG）であってよい。

【0326】

堆積物は単一層または多層であってよい。

【0327】

誘電体は、PVD、CVDおよび/またはALDにより堆積される。堆積温度は典型的には450以下、好適には300以下であってよい。

【0328】

形成された層の応力は200MPa以下、好適には100MPa以下であってよい。当該カプセル化ステップを図14aに示す。

【0329】

第2のステップ：

当該ステップは、CMP方式または平坦化ポリマーの場合は「エッチバック」方式の動作による誘電体の平坦化を含んでいる。CMPの前にトポグラフィ上に局所的リソグラフィ/エッチング動作を行うことも可能である。当該平坦化ステップを図14bに示す。

【0330】

第3のステップ：

当該ステップは、上側接触部の形成を意図して一次上側開口O_{sp}を形成するステップを含んでいる。

【0331】

このため、（複数層の場合）III-V族材料1まで貫通するように誘電体の局所的エッチングを実行する。エッチングは、ドライエッチング動作によりIII-V族材料1に達するまで1回実行されてよい。この場合エッチストップ層の存在は任意選択的である。

【0332】

連続エッチング動作を実行してもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層（SiN、Al₂O₃、SiO₂、BCB、SOC、好適にはSiN）で停止し、次いで、III-V族材料1まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0333】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0334】

当該開口形成ステップを図14cに示す。

【0335】

第4のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分3をIII-V族材料1の上に堆積するステップを含んでいる。

【0336】

金属化は、以下の二つの任意選択肢に従い実行することができる。

【0337】

- 任意選択肢1：

(a) Ni₂P、Ni₃P、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程

10

20

30

40

50

と互換性を有する金属 3 の堆積を実行する。

【0338】

- 任意選択肢 2 : シリコン処理工程と互換性を有する金属 (Ni、Ti およびそれらの合金) の堆積を実行し、次いで当該金属と III - V 族材料との間で固相反応を実行する目的で熱処理を実行して 1 個以上の金属間化合物の形成に至る。

【0339】

アニーリング温度は好適には 450 以下である。

【0340】

反応しなかった金属の選択的除去を熱処理の後で実行することができる。

【0341】

従って図 14 d に示すアセンブリ E 1 ' が得られる。

【0342】

第 5 のステップ :

当該ステップは、誘電体 8 によりアセンブリ E 1 ' のカプセル化を含んでいる。使用する誘電体は SiN、SiO₂、Al₂O₃、平坦化ポリマー (例えば BCB、SOG) であってよい。堆積物は単一層または多層であってよい。これらは、PVD、CVD および / または ALD により堆積される。

【0343】

堆積温度は 450 以下、好適には 300 以下である。

【0344】

当該ステップを図 14 e に示す。

【0345】

1 個以上の金属間化合物を形成する相安定化または熱処理の動作が第 4 のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【0346】

第 6 のステップ :

当該ステップは、CMP 方式または平坦化ポリマーの場合は「エッチバック」方式の動作による誘電体の平坦化を含んでいる。これらの動作を実行できるのは、

- 第 4 のステップで選択的除去が金属の除去まで行われなかった場合、

- 第 4 のステップで選択的除去が行われず、且つ金属に対する CMP 方式または「エッチバック」方式の動作が不可能で、金属上で停止する場合 (従って金属の選択的除去ステップを実行して図 14 f に示すような構造が得られる)、

- 図 14 f に示すような構造が得られるまで、第 4 のステップで選択的除去が実行された場合である。

【0347】

1 個以上の金属間化合物を形成する相安定化または熱処理の動作が第 4 のステップの終了時点または第 5 のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【0348】

第 7 のステップ :

当該ステップは、接続パッドの形成を意図して二次上側開口 O_{SS} に行われる動作を含んでいる。このため、上部レベルで金属化部分 3 まで貫通するように誘電スタックのエッチングを実行する。

【0349】

エッチングはドライエッチングであってよく、金属化部分に達するまで 1 回実行される。この場合エッチストップ層の存在は任意選択的である。

【0350】

連続エッチングを用いてもよい。具体的には、第 1 のドライエッチングにより誘電スタックの一部をエッチングして、障壁層 (SiN、Al₂O₃、SiO₂、BCB、SOC、好適には SiN) で停止し、次いで金属化部分 3 まで貫通するように乾式または湿式エッ

10

20

30

40

50

チングが障壁層および任意選択的な下位層をエッチングする。

【0351】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えばSiNからなるハードマスクを用いて実行することができる。

【0352】

当該ステップを図14gに示す。

【0353】

第8のステップ：

当該ステップは、接続パッドを形成すべく開口 O_{ss} を充填するステップおよびCMP動作を含んでいる。

【0354】

開口 O_{ss} の充填は2回行われる。すなわち、

- 拡散障壁/キーイングまたは核形成層の堆積を実行する。当該層はTiN、Ti/TiN、Ta_nN、Ta/Ta_nN、あるいはCVD、PVDまたはALDにより堆積されたWを含んでいてよい。

- 充填金属(W、Cu、AlCu、AlSi等)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0355】

最後にCMPを実行してパッド同士を分離する。新たなアセンブリE2'が形成される。これらのステップの全てを図14hに示す。

【0356】

第9のステップ：

当該ステップは、下側接触部を形成すべく一次下側開口 O_{ip} を形成するステップを含んでいる。

【0357】

当該ステップは、III-V族材料2まで貫通するように誘電スタックをエッチングするステップを含んでいる。エッチングは、ドライエッチングによりIII-V族材料2に達するまで1回実行されてよい。この場合エッチストップ層の存在は任意選択的である。

【0358】

連続エッチングを用いてもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、Al₂O₃、SiO₂、BCB、SOC、好適にはSiN)で停止し、次いでIII-V族材料2まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0359】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0360】

当該ステップを図14iに示す。

【0361】

第10のステップ：

当該ステップは、下側接触部の形成を意図してシリコン処理工程と互換性を有する金属化部分3を堆積するステップを含んでいる。CMOS互換性を有する金属化は、二通りの仕方で実行することができる。

【0362】

当該ステップは、上側接触部の形成を意図してシリコン処理工程と互換性を有する金属化部分3を堆積するステップを含んでいる。金属化は、二通りの仕方で実行することができる。

【0363】

- 任意選択肢1：

(a) Ni₂P、Ni₃P、NiGe、TiP、TiGe等、シリコン処理工程と互換

10

20

30

40

50

性を有する金属 3 の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、Ti および NiPt、NiTi、NiCo 等の合金等、シリコン処理工程と互換性を有する金属 3 の堆積を実行する。

【0364】

- 任意選択肢 2 : シリコン処理工程と互換性を有する金属 (Ni、Ti およびそれらの合金) の堆積を実行し、次いで、当該金属と III - V 族材料との間で固相反応を実行する目的で熱処理を実行して 1 個以上の金属間化合物の形成に至る。

【0365】

堆積温度は好適には 450 以下である。

10

【0366】

アニーリング温度は好適には 450 以下である。

【0367】

反応しなかった金属の選択的除去を熱処理の後で実行することができる。第 3 のアセンブリ E 3 ' が得られる。

【0368】

当該ステップを図 14 j に示す。

【0369】

第 11 のステップ :

当該ステップは誘電体 8 によるアセンブリ E 3 ' のカプセル化を含んでいる。使用する誘電体は SiN、SiO₂、Al₂O₃、平坦化ポリマー (例えば BCB)、SOG であってよい。堆積物は単一層または多層であってよい。これらは PVD、CVD および / または ALD により堆積される。

20

【0370】

堆積温度は 450 以下、好適には 300 以下である。

【0371】

当該ステップを図 14 k に示す。

【0372】

1 個以上の金属間化合物を形成する相安定化または熱処理の動作が第 10 のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

30

【0373】

第 12 のステップ :

当該ステップは、CMP 方式または平坦化ポリマーの場合は「エッチバック」方式の動作により誘電体を平坦化する動作を含んでいる。

【0374】

当該ステップを図 14 l に示す。

【0375】

1 個以上の金属間化合物を形成する相安定化または熱処理の動作が第 10 のステップの終了時点または第 12 のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

40

【0376】

第 13 のステップ :

当該ステップは、接続パッドの形成を意図して二次下側開口 O_{is} に行われる動作を含んでいる。このため、下側レベルで金属化部分 3 まで貫通するように誘電スタックのエッチングを実行する。

【0377】

エッチングは、ドライエッチングにより、金属化部分に達するまで 1 回実行される。この場合エッチストップ層の存在は任意選択的である。

【0378】

連続エッチングを用いてもよい。具体的には、第 1 のドライエッチングにより誘電スタ

50

ックの一部をエッチングして、障壁層（ SiN 、 Al_2O_3 、 SiO_2 、 BCB 、 SOC 、好適には SiN ）で停止し、次いで金属化部分3まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0379】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えば SiN からなるハードマスクを用いて実行することができる。典型的には、図示する誘電体の高さD6は $0.5\ \mu\text{m} \sim 5\ \mu\text{m}$ 、好適には $1\ \mu\text{m} \sim 3\ \mu\text{m}$ の範囲にあってよい。

【0380】

当該ステップを図14mに示す。

【0381】

第14のステップ：

当該ステップは、先のステップで画定された開口を充填するステップを含んでいる。

【0382】

開口の充填は2回行われる。すなわち、

- 拡散障壁/キーイングまたは核形成層の堆積を実行する。当該層は TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、あるいは CVD 、 PVD または ALD により堆積された W を含んでいてよい。

- 充填金属（ W 、 Cu ）の堆積を実行し、堆積は CVD 、 ECD または PVD により行われる。

【0383】

最後に CMP 動作を実行してパッド同士を分離する。

【0384】

当該ステップを図14nに示しており、上側接触部 C_{sup} および下側接触部 C_{inf} の形成に至る。

【0385】

第2の処理例の代替方式は、二次開口の同時形成と組み合わせた、一次開口の連続的な形成を含んでいてよい。

【0386】

本発明の第2の代替方式による上側接触部および下側接触部の同時形成を含む本発明による処理の第3の例：

第1のステップ：

当該ステップは、基板9上に III-V 族材料2のベースの表面に第1の III-V 族材料1のメサを含む先に形成された構造のカプセル化を含んでいる。

【0387】

使用する誘電体8は、 SiN 、 SiO_2 、 Al_2O_3 、平坦化ポリマー（例えば BCB 、 SOG ）であってよい。

【0388】

堆積物は単一層または多層であってよい。

【0389】

誘電体は、 PVD 、 CVD および/または ALD により堆積される。堆積温度は典型的には 450 以下、好適には 300 以下であってよい。

【0390】

形成された層の応力は $200\ \text{MPa}$ 以下、好適には $100\ \text{MPa}$ 以下であってよい。当該カプセル化ステップを図15aに示す。

【0391】

第2のステップ：

当該ステップは、 CMP 方式または平坦化ポリマーの場合は「エッチバック」方式の動作による誘電体の平坦化を含んでいる。 CMP の前にトポグラフィ上に局所的リソグラフィ/エッチング動作を行うことも可能である。当該平坦化ステップを図15bに示す。

【0392】

10

20

30

40

50

第3のステップ：

当該ステップは、下側接触部の形成を意図して一次下側開口 O_{ip} および上側接触部の形成を意図して一次上側開口 O_{sp} を形成するステップを含んでいる。

【0393】

このため、III-V族材料2まで貫通するように、且つIII-V族材料1まで貫通するように誘電体の局所的エッチングを実行する（複数層の場合）。

【0394】

エッチングは、ドライエッチング動作によりIII-V族材料2以上まで、且つ材料1まで1回実行することができる。この場合エッチストップ層の存在は任意選択的である。

【0395】

連続エッチング動作を実行してもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層（SiN、 Al_2O_3 、 SiO_2 、BCB、SOC、好適にはSiN）で停止し、次いでIII-V族材料2およびIII-V族材料1まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0396】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または好適には例えばSiNからなるハードマスクを用いて実行することができる。

【0397】

当該開口形成ステップを図15cに示す。

【0398】

第4のステップ：

当該ステップは、シリコン処理工程と互換性を有する金属化部分3をIII-V族材料1およびIII-V族材料2の上に堆積するステップを含んでいる。

【0399】

当該ステップは、上側接触部の形成を意図してシリコン処理工程と互換性を有する金属化部分3を堆積するステップを含んでいる。金属化は二通りの仕方で行うことができる。

【0400】

- 任意選択肢1：

(a) Ni_2P 、 Ni_3P 、NiGe、TiP、TiGe等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

金属堆積の後で実行される任意選択的な熱処理により相安定化を行うことができる。

(b) Ni、TiおよびNiPt、NiTi、NiCo等の合金等、シリコン処理工程と互換性を有する金属3の堆積を実行する。

【0401】

- 任意選択肢2：シリコン処理工程と互換性を有する金属（Ni、Tiおよびそれらの合金）の堆積を実行し、次いで、当該金属とIII-V族材料との間で固相反応を実行する目的で熱処理を実行して1個以上の金属間化合物の形成に至る。

【0402】

アニーリング温度は好適には450以下である。

【0403】

反応しなかった金属の選択的除去を熱処理の後で実行することができる。

【0404】

従って図15dに示すアセンブリE1"が得られる。

【0405】

第5のステップ：

当該ステップは、誘電体8によりアセンブリE1"のカプセル化を含んでいる。使用する誘電体は、SiN、 SiO_2 、 Al_2O_3 、平坦化ポリマー（例えばBCB、SOG）であってよい。堆積物は単一層または多層であってよい。これらはPVD、CVDおよび/ま

10

20

30

40

50

たはALDにより堆積される。

【0406】

堆積温度は450 以下、好適には300 以下である。

【0407】

当該ステップを図15eに示す。

【0408】

1個以上の金属間化合物を形成する相安定化または熱処理の動作が第4のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【0409】

第6のステップ：

当該ステップは、CMP方式または平坦化ポリマーの場合は「エッチバック」方式の動作による誘電体の平坦化を含んでいる。これらの動作を実行できるのは、

- 第4のステップで選択的除去が金属の除去まで行われなかった場合、
- 第4のステップで選択的除去が行われず、且つ金属に対するCMP方式または「エッチバック」方式の動作が不可能で、金属上で停止する場合（従って金属の選択的除去ステップを実行して図15fに示すような構造が得られる）、
- 図15fに示すような構造が得られるまで、第4のステップで選択的除去が実行される場合である。

【0410】

1個以上の金属間化合物を形成する相安定化または熱処理の動作が第4のステップの終了時点または第5のステップの終了時点で実行されていない場合、当該ステップの終了時点で実行することができる。

【0411】

第7のステップ：

当該ステップは、接続パッドの形成を意図して二次上側開口 O_{ss} および二次下側開口 O_{is} に行われる動作を含んでいる。このため、上側レベルおよび下側レベルで金属化部分3まで貫通するように誘電スタックのエッチングを実行する。

【0412】

エッチングは、ドライエッチングにより、金属化部分に達するまで1回実行される。この場合エッチストップ層の存在は任意選択的である。

【0413】

連続エッチングを用いてもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層（ SiN 、 Al_2O_3 、 SiO_2 、BCB、SOC、好適には SiN ）で停止し、次いで金属化部分3まで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

【0414】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えば SiN からなるハードマスクを用いて実行することができる。

【0415】

当該ステップを図15gに示す。

【0416】

第8のステップ：

当該ステップは、先のステップで画定された開口を充填するステップを含んでいる。

【0417】

開口の充填は2回行われる。すなわち、

- 拡散障壁/キーイングまたは核形成層の堆積を実行する。当該層は TiN 、 Ti/TiN 、 TaN 、 Ta/TaN 、あるいはCVD、PVDまたはALDにより堆積されたWを含んでいてよい。

- 充填金属（W、Cu）の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

10

20

30

40

50

【0418】

最後にCMP動作を実行してパッド同士を分離する。

【0419】

当該ステップを図15hに示しており、上側接触部 C_{sup} および下側接触部 C_{inf} の形成に至る。

【0420】

上述の処理の3例の代替方式は、下側接触部となる複数の部分を有する接触パッドを形成するステップを含んでいる。

【0421】

本発明の第2の代替方式による第4の処理例：

第1のステップ：

上述のものと同一のサブステップによれば、

- 基板9と、
- III-V族材料1と、
- III-V族材料2と、
- 金属化部分3とを含むアセンブリが形成される。

10

【0422】

当該アセンブリは、誘電体8内にカプセル化されていて、図16aに示している。

【0423】

第2のステップ：

当該ステップは、先に構成されたアセンブリの部分的エッチングにより、または誘電体8の部分的エッチングにより二次下側開口 O_{is1} を形成するステップを含んでいる。ドライエッチングを用いてもよい。この場合エッチストップ層の存在は任意選択的である。

20

【0424】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えばSiNからなるハードマスクを用いて実行することができる。

【0425】

当該ステップを図16bに示す。

【0426】

第3のステップ：

第2のエッチング動作は、先に形成された開口 O_{is1} の延伸に際して開口 O_{is2} を形成して、金属化部分3まで貫通するように二次上側開口 O_{ss} を形成することにより、二次下側開口を延伸すべく、2回実行される。

30

【0427】

エッチング動作は、ドライエッチングにより、金属化部分に達するまで1回実行されてよい。この場合エッチストップ層の存在は任意選択的である。

【0428】

好適には、連続エッチング動作を実行してもよい。具体的には、第1のドライエッチングにより誘電スタックの一部をエッチングして、障壁層(SiN、 Al_2O_3 、 SiO_2 、BCB、SOC、好適にはSiN)で停止し、次いで金属化部分に達するまで貫通するように乾式または湿式エッチングにより障壁層および任意選択的な下位層をエッチングする。

40

【0429】

前記エッチング動作は、フォトリソグラフィに用いる樹脂を介して直接に、または例えばSiNからなるハードマスクを用いて実行することができる。

【0430】

当該ステップを図16cに示す。

【0431】

第4のステップ：

当該ステップは、先のステップで画定された開口を充填するステップを含んでいる。

【0432】

50

開口の充填は2回行われる。すなわち、

- 拡散障壁キーイングまたは核形成層の堆積を実行する。当該層はTiN、Ti/TiN、TaN、Ta/TaN、あるいはCVD、PVDまたはALDにより堆積されたWを含んでよい。

- 充填金属(W、Cu、AlCu、AlSi)の堆積を実行し、堆積はCVD、ECDまたはPVDにより行われる。

【0433】

最後にCMP動作を実行してパッド同士を分離する。

【0434】

当該ステップを図16dに示しており、上側接触部C_{sup}および下側接触部C_{inf}の形成に至る。 10

【0435】

一般に、特に本発明の処理の先の例に記述している、先に形成された平坦な接触部の表面に追加的な接触レベルを形成することが可能である。

【0436】

従って追加的なステップが、誘電体8の追加的な堆積を実行し、次いで図17に示すように接触部C_{inf/sup1}およびC_{sup/sup1}を画定すべくこれらの開口をエッチングおよび充填して上側および下側開口を形成することにより実行されてよい。

【0437】

このため、追加的な上側および下側開口で、TiN、Ti/TiN、TaN、Ta/TaN、Wからなる障壁7が堆積され、W、CuまたはAl、AlCu、AlSiからなる金属6による充填が行われる。 20

【0438】

追加的な接触レベルもまた、樹脂またはハードマスクを介して事前に形成された金属スタックをエッチングすることにより形成できる点に注意されたい。

【0439】

本発明の処理により形成されるレーザー素子の例：

本発明の処理を有利に用いてIII-V族材料を主体とするレーザーを形成することができる。 30

【0440】

SiO₂の基板90は、シリコンガイド91を含み、その最上部に以下が形成される。すなわち、

- nドープInPからなる第2のIII-V族材料2のベース、およびドーピングの程度が異なるInGaAsPからなる多重量子井戸構造およびpドープInGaAsの層を含むメサ1であり、III-V族材料の特性が発光波長を決定する、

- 誘電体8は、SiN、SiO₂であっても、または例えばBCBを主体とする平坦化ポリマーであってもよく、

- 接触底面の金属化部分3は、例えばNi、Tiまたはそれらの合金(Ni₂P、Ni₃P、NiGe、TiP、TiGe等)であってよく、

- Fに対する拡散障壁および/またはW4に対するキーイング層はTiN、Ti/TiN、TaN、Ta/TaN、Wであってよい。 40

【0441】

充填金属5は、CuまたはAl、AlCu、AlSiであってよい。

【0442】

レーザーの上述の例を図18に示す。

【0443】

VCSSEL方式の垂直発光レーザー素子の例：

一般に、垂直空洞面発光レーザーダイオードすなわちVCSSELが、従来の端面発光半導体レーザーとは対照的に、表面に対して垂直にレーザービームを発光する種類の半導体レーザーダイオードであることが想起できよう。 50

【0444】

レーザーの上述の例は主として先の例で記述したものと同様の構造を含んでいる。

【0445】

しかし、当該構造の最上部でレーザー放射の発光を可能にすべく上側接触部は円形にされている。

【0446】

上述の素子の例は、シリコン基板9を含み、その最上部にnドープInPからなる第2のIII-V族材料2のベース、InGaAsP、AlGaAs、GaAs、InGaAsNからなる多重量子井戸構造を含むメサ1、およびpドープInGaAsの層が形成されており、III-V族材料の特性が発光波長を決定する。

10

【0447】

誘電体8は、SiN、SiO₂であっても、または例えばBCBを主体とする平坦化ポリマーであってもよい。

【0448】

接触底面の金属化部分3は、例えばNi、Tiまたはそれらの合金(Ni₂P、Ni₃P、NiGe、TiP、TiGe等)であってよい。

【0449】

Fに対する拡散障壁および/またはW4に対するキーイング層はTiN、Ti/TiN、TaN、Ta/TaN、Wであってよい。

【0450】

充填金属5はCuまたはAl、AlCu、AlSiであってよい。

20

【0451】

金属化部分3および素子4、5が接触部C_{sup}、C_{inf}を構成している。

【0452】

円形の上側接触部C_{sup}により、レーザービームは素子の上面から引き出すことができる。

【0453】

レーザーの上述の例を図19に示す。

【0454】

上述のレーザー素子の場合、(例えば光学的/電子的)ハイブリッドまたは直接接合、あるいはバンプによるチップ移動により、平坦な接触部の集積は典型的に3D集積への道を開く。

30

【0455】

III-V/Si共集積との関連で、平坦化された後端の形成によっても下側レベル(例えば後端の前面または金属間化合物)のデバイスとの接続に想到し得る。

【0456】

上述の接触部C_{sup}、C_{inf}のアセンブリをIII-V族素子(レーザー)およびシリコン部分の後端に形成することによる光集積に関連して図20に一例を示す。誘電体8に集積された金属レベルMiを接続するパッドPMiにより追加的な接触部が設けられている。典型的には、基板91はシリコンであってよく、誘電体90はSiO₂であってよい。

40

【0457】

発光波長を分散できるように一連の異なるIII-V族材料が積層されている太陽電池等の用途に用いられる素子の一例

上述の素子の例はシリコン基板9を含み、その最上部に図21に示すように

- いわゆる下側レベルに位置するIII-V族材料22と、
- いわゆる中間レベルに位置するIII-V族材料21と、
- いわゆる上側レベルに位置するIII-V族材料10とが積層されている。

【0458】

上述の素子は、

50

- 材料 22 の接触部 C_{inf} と、
- 材料 21 の接触部 C_{int} と、
- 材料 10 の接触部 C_{sup} とを含んでいる。

【0459】

接触部 C_{inf} は、連続的に形成された開口のスタック O_{is1} 、 O_{is2} および O_{is3} を充填することにより形成される。

【0460】

接触部 C_{int} は、連続的に形成された開口のスタック O_{ts1} 、 O_{ts2} を充填することにより形成される。

【0461】

接触部 C_{sup} は、開口 O_{ss} を充填するステップにより形成される。

【0462】

典型的には、使用する III-V 族材料は特に、 $InGaAsN$ 、 $BInGaAs$ 、 $InGaN$ 、 $GaInP$ 、 $GaInAsP$ 、 $GaAs$ であってよい。

【0463】

図 21 に示す例の変型例を図 22 に示し、上述の 2 個の代替方式を混合した解決策、すなわち III-V 族材料 10、22 の 2 個の上の単一種類の開口、および他の III-V 族材料 21 の上の一次開口および二次開口を示している。

【0464】

接触部が、異なる種類のドーピングにより異なる性質の 2 個の III-V 族材料 (InP および $InGaAs$) の上に形成される。固相反応または単に電極の堆積のいずれにより形成された接触部であるかに依らず、界面抵抗 R_c は異なる。

【0465】

界面抵抗 R_c が弱く、移動長が二次開口よりも短い場合、III-V 族材料を接触させるために単一の開口だけを形成してもよい。

【0466】

さもなければ 2 倍の開口を形成する必要がある。両方の層 III-V に両方の条件を課すことが可能であるため、特定のケースにおいて二つの代替方式を混合した解決策を採用することが可能である。

【0467】

単一種類の単一の開口を形成する解決策は、適用された場合ステップ数を最小化し、且つ単一動作の組 (フォトリソグラフィ/エッチング) で済むため、依然として好適な解決策である。

【0468】

出願人は、接触部を形成する二つの代替方式の一方を選択する条件、すなわち

- 接触底面の金属化部分および充填を実行するための単一種類の開口、
- 2 種類の開口、すなわち金属化用の極めて大きい一次開口、および接触部の形成および充填のための二次開口について以下に説明する。

【0469】

選択の基準は移動長である。この長さは、電場力線が III-V 半導体の金属接触部から出るために必要であり、従って迎る長さである。

【0470】

図 23 a、23 b に、基準金属との 2 個の接触部、およびある電極から別の電極へ半導体基板を通過して移動する電場力線を示す。

【0471】

移動長は、半導体への電流の注入に用いる、金属パッドの端間のキャリアの注入距離 (および面積) L_t により画定される。

【数 1】

10

20

30

40

50

$$L_T = \sqrt{\frac{\rho_c}{R_{SK}}}$$

【0472】

この距離は、基本的に2個のパラメータ、すなわち接触している下側基板の接触抵抗 c およびシート抵抗に依存する。

【0473】

これらの要素を前提に、

- 長さ L_t が二次開口の寸法よりも短い($L_t < a$)場合、この種の開口だけによる集積、すなわち接触底面の金属化および充填を考えればよく、

- 長さ L_t が二次開口の寸法よりも長い($L_t > a$)場合、2種類の開口、すなわち本特許出願の関連では寸法 L_t よりも大きい表面の金属化、次いで充填用により小さい二次開口を採用すべきである。

【0474】

移動長は、当該量が直接得られる簡単な構造(TLM)を形成することにより実験的に測定される。ドーピングした半導体上にパッドを形成して、当該各パッド間の電流を測定すれば充分である。

【0475】

図24に、表面領域寸法が $W \cdot a$ であって互いの間隔 l_i が次第に増大する同一の接触部を有するこの種のTLM構造を模式的に示しており、 W は、電場力線と直交するように画定された接触部の幅である。

【0476】

抵抗を距離の関数としてプロットすることにより、図25に示すように、接触部の抵抗が小さければ直線が得られ、 $R_{sh} = R_{sk}$ (パッド下側の抵抗)、全抵抗は接触抵抗、シート抵抗および基板の抵抗に対応していると仮定して、当該直線と縦軸の交点で $2 \times$ 接触抵抗、横軸との交点で $2 \times$ 移動長が得られる。

【0477】

固相反応により得られる接触部の関連では近似的であるが、本方法は、注目する2ケースを区別して、集積の最適選択を行うのに充分正確である。

【0478】

$L_t > a$ ならば上記に拘わらず、デバイスの全抵抗が前記デバイスに対する動作に受容可能(注目するデバイスの寿命にわたり所望の性能および受容可能な発熱)なままである前提で、当該素子の全抵抗に関して妥協することにより、最も簡単且つ最も安価な集積を選択することができる。

10

20

30

40

50

【図面】

【図 1】

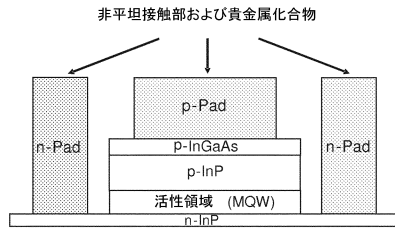


図 1

【図 2】

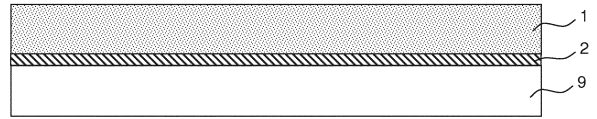


図 2

10

【図 3】

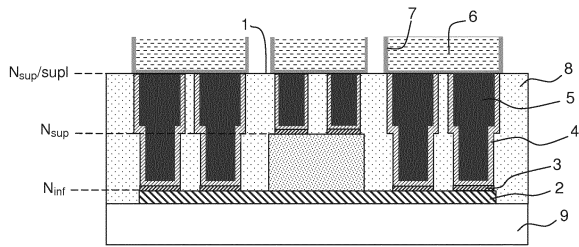


図 3

【図 4 a】

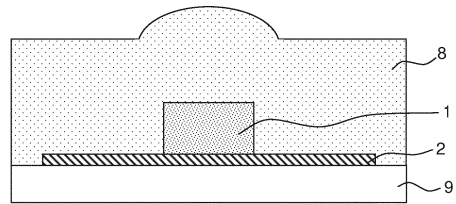


図 4a

20

30

40

50

【 図 4 b 】

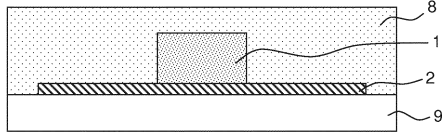


図 4b

【 図 4 c 】

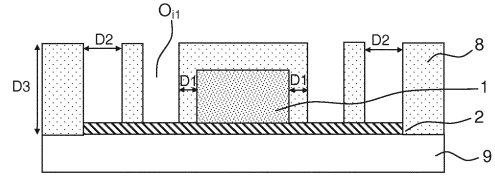


図 4c

【 図 4 d 】

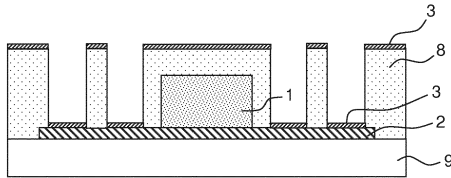


図 4d

【 図 4 e 】

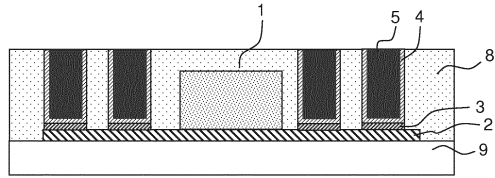


図 4e

10

【 図 4 f 】

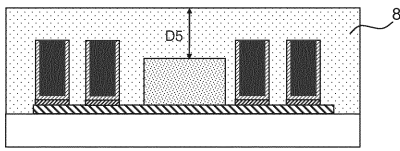


図 4f

【 図 4 g 】

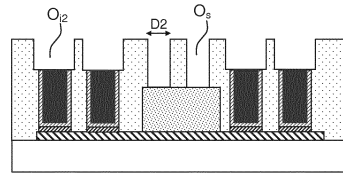


図 4g

20

【 図 4 h 】

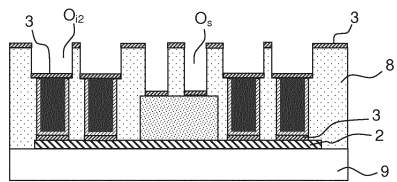


図 4h

【 図 4 i 】

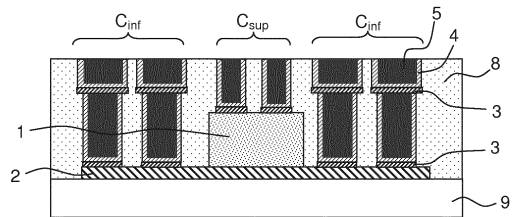


図 4i

30

40

50

【 図 5 a 】

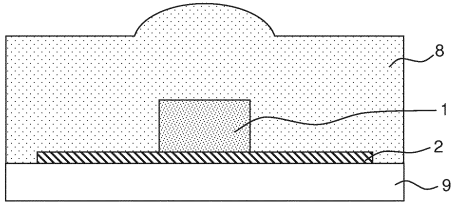


図 5a

【 図 5 b 】

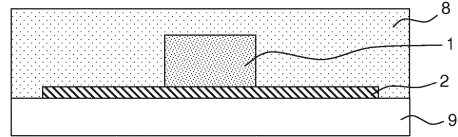


図 5b

【 図 5 c 】

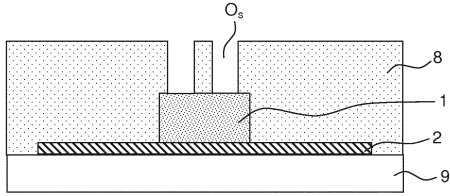


図 5c

【 図 5 d 】

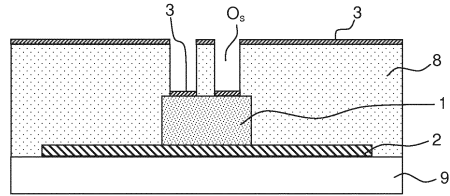


図 5d

【 図 5 e 】

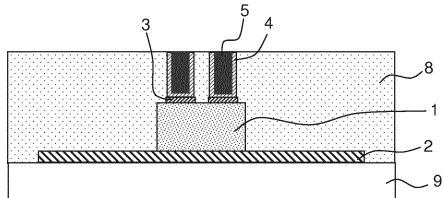


図 5e

【 図 5 f 】

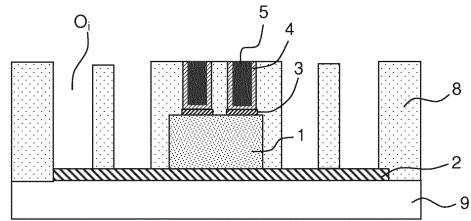


図 5f

10

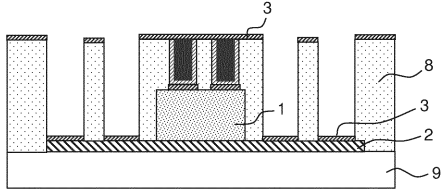
20

30

40

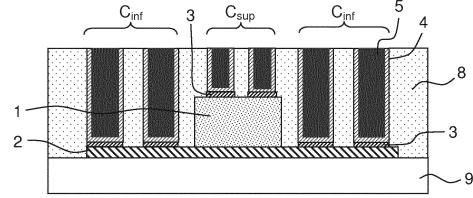
50

【 5 g 】



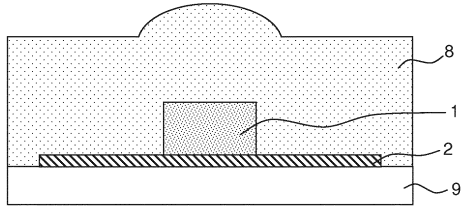
5g

【 5 h 】



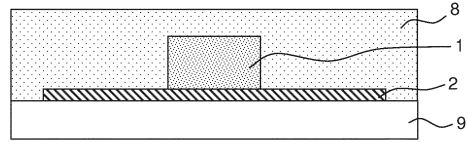
5h

【 6 a 】



6a

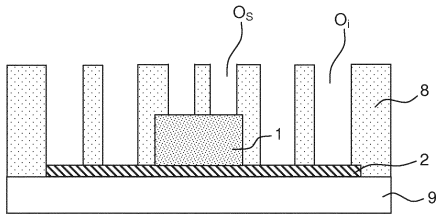
【 6 b 】



6b

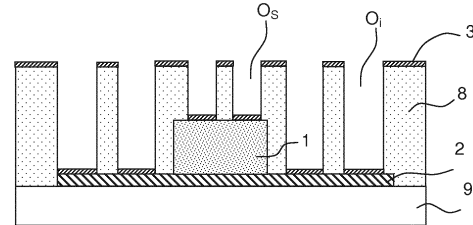
10

【 6 c 】



6c

【 6 d 】



6d

20

30

40

50

【図 6 e】

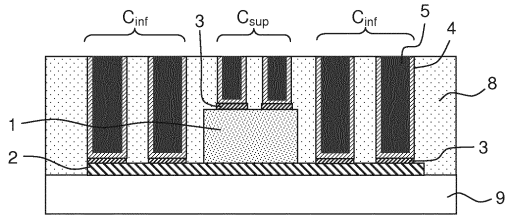


図 6e

【図 7 f】

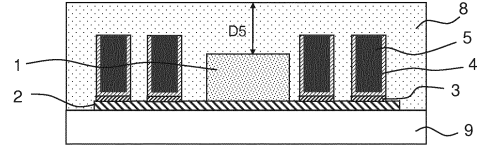


図 7f

【図 7 g】

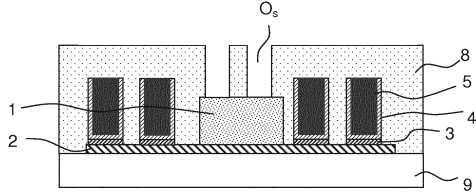


図 7g

【図 7 h】

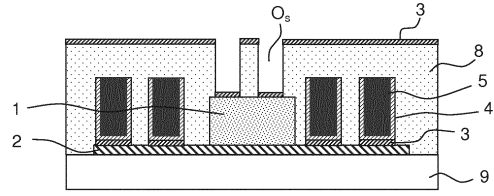


図 7h

【図 7 i】

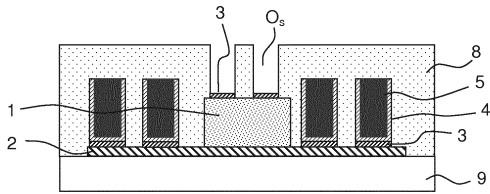


図 7i

【図 7 j】

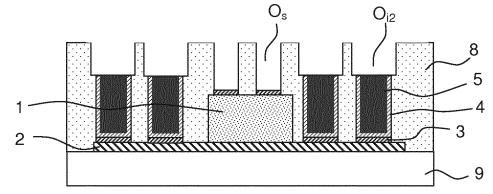


図 7j

10

20

30

40

50

【 図 7 k 】

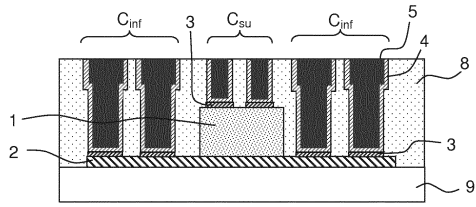


FIG.7k

【 図 8 b 】

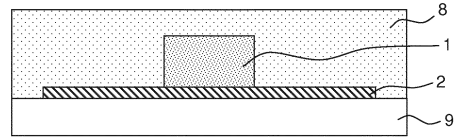


図 8b

【 図 8 c 】

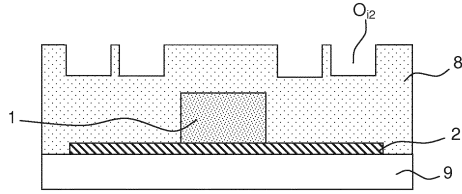


図 8c

【 図 8 d 】

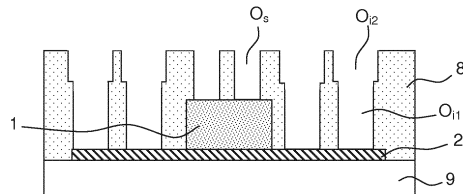


図 8d

【 図 8 e 】

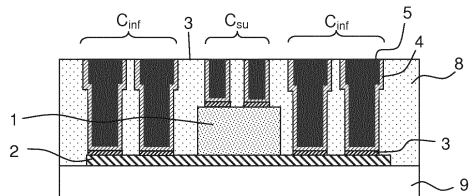


図 8e

【 図 9 】

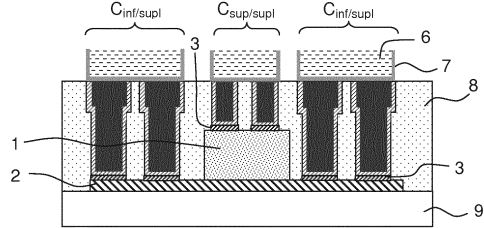


図 9

10

20

30

40

50

【図 10】

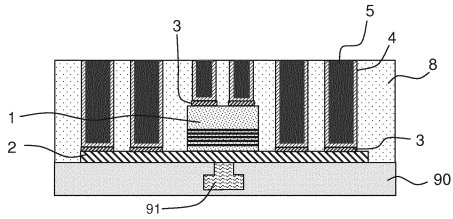


図 10

【図 11】

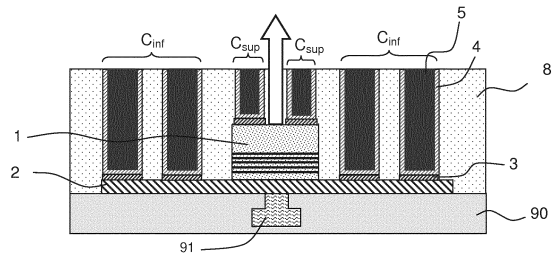


図 11

10

【図 12】

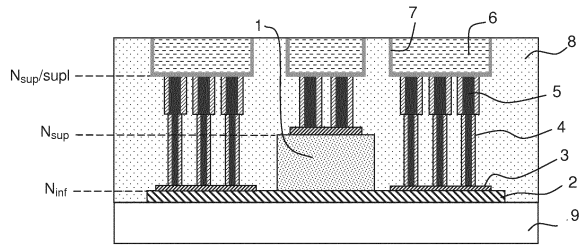


図 12

【図 13 a】

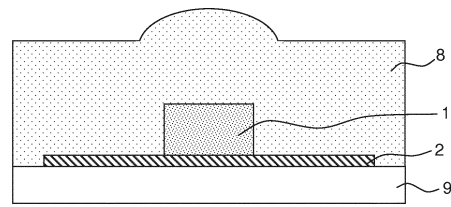


図 13a

20

【図 13 b】

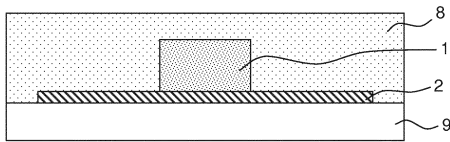


図 13b

【図 13 c】

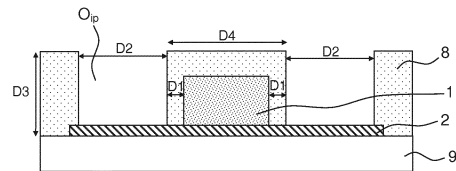


図 13c

30

40

50

【図 13 d】

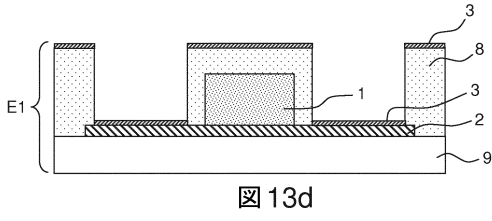


図 13d

【図 13 e】

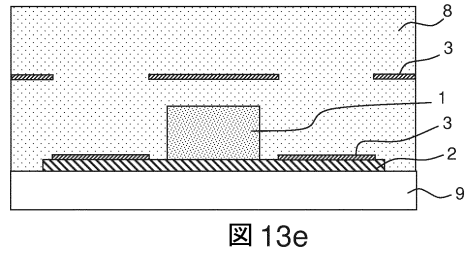


図 13e

【図 13 f】

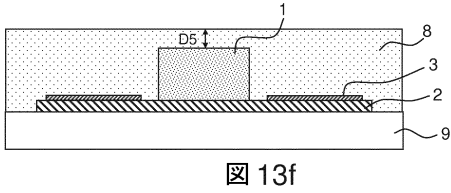


図 13f

【図 13 g】

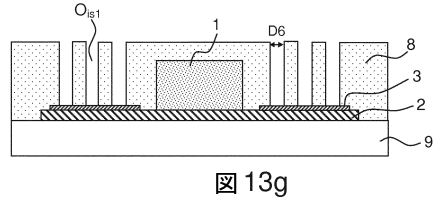


図 13g

10

【図 13 h】

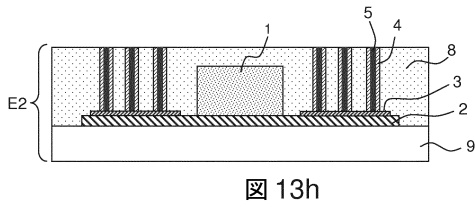


図 13h

【図 13 i】

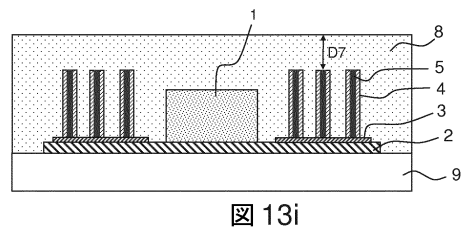


図 13i

20

【図 13 j】

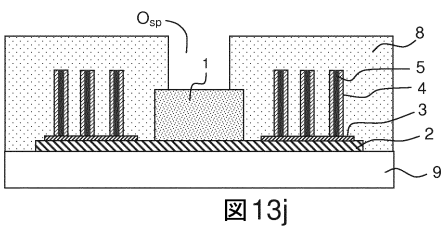


図 13j

【図 13 k】

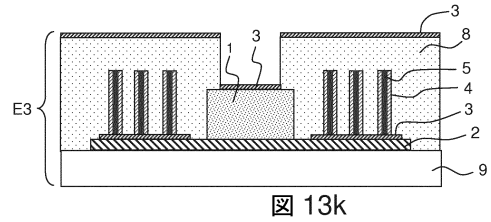


図 13k

30

40

50

【図 13 l】

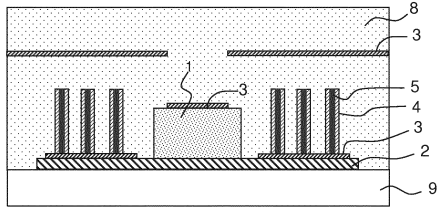


図 13l

【図 13 m】

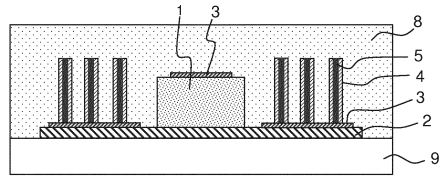


図 13m

【図 13 n】

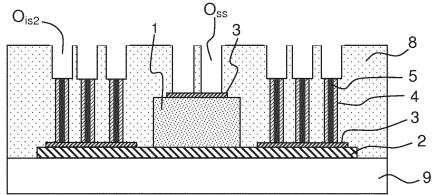


図 13n

【図 13 o】

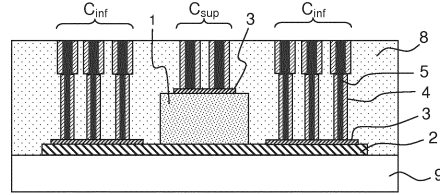


図 13o

【図 14 a】

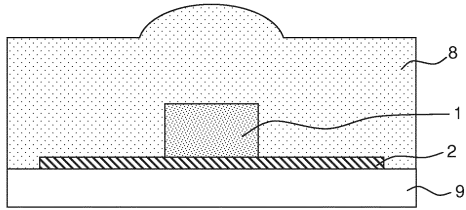


図 14a

【図 14 b】

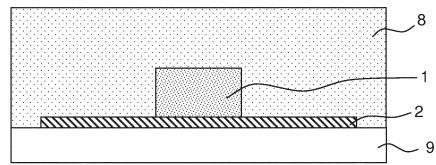


図 14b

10

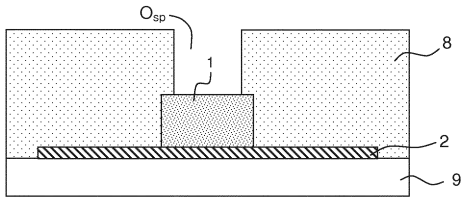
20

30

40

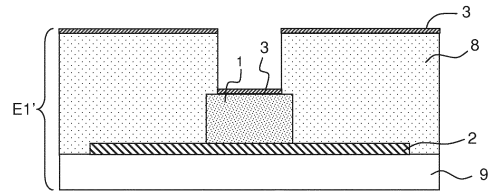
50

【 14 c 】



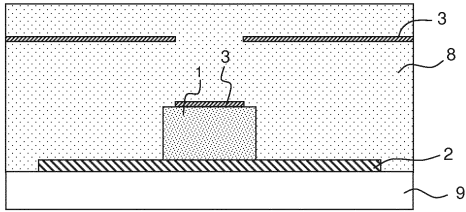
14c

【 14 d 】



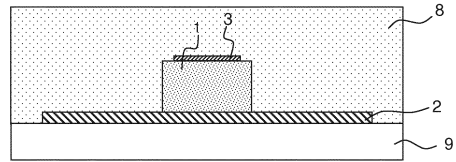
14d

【 14 e 】



14e

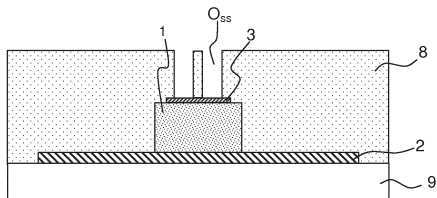
【 14 f 】



14f

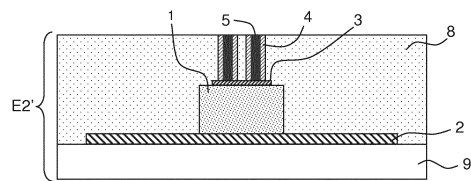
10

【 14 g 】



14g

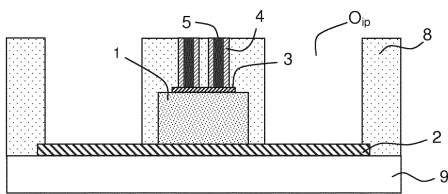
【 14 h 】



14h

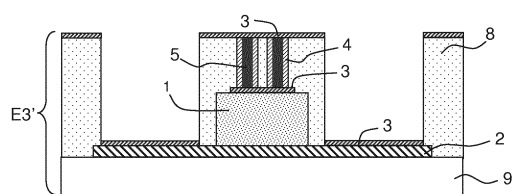
20

【 14 i 】



14i

【 14 j 】



14j

30

40

50

【図 14 k】

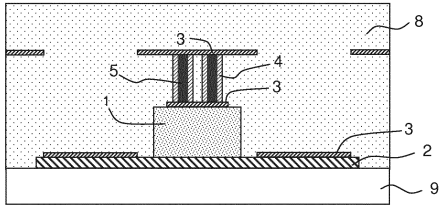


図 14k

【図 14 l】

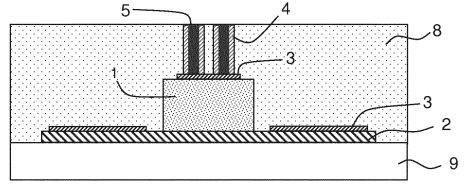


図 14l

【図 14 m】

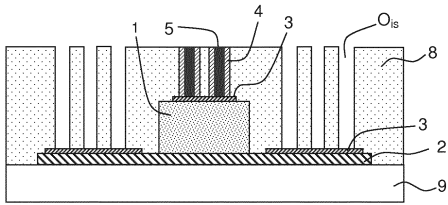


図 14m

【図 14 n】

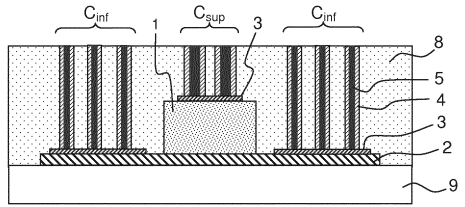


図 14n

【図 15 a】

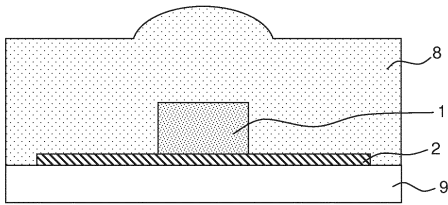


図 15a

【図 15 b】

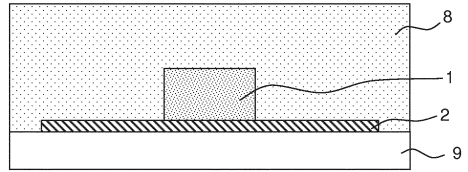


図 15b

10

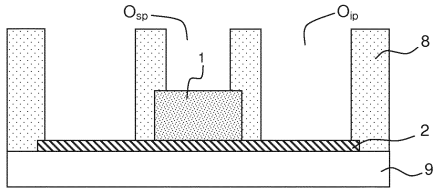
20

30

40

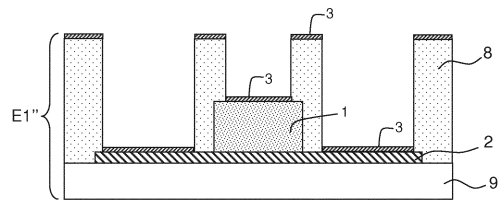
50

【 15 c 】



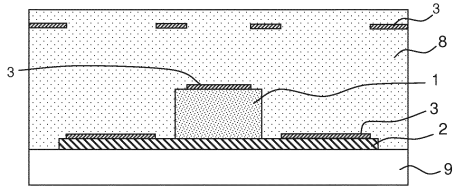
15c

【 15 d 】



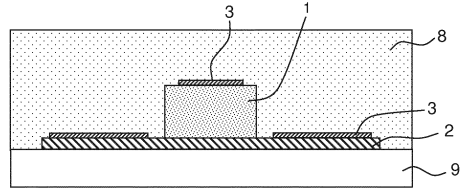
15d

【 15 e 】



15e

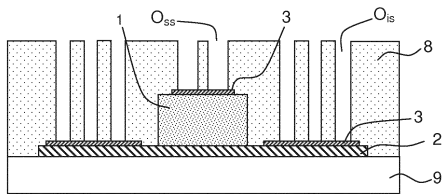
【 15 f 】



15f

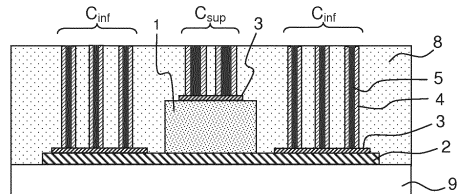
10

【 15 g 】



15g

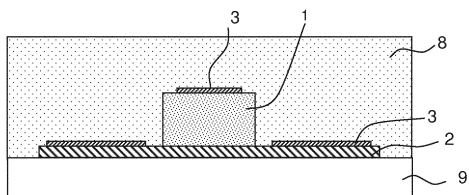
【 15 h 】



15h

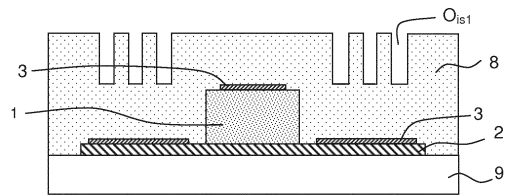
20

【 16 a 】



16a

【 16 b 】



16b

30

40

50

【図16c】

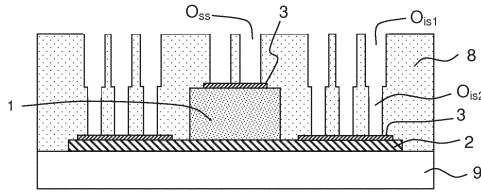


図16c

【図16d】

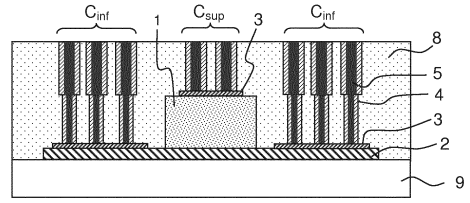


図16d

【図17】

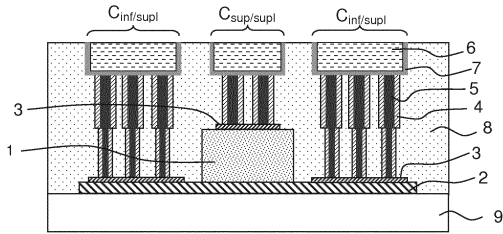


図17

【図18】

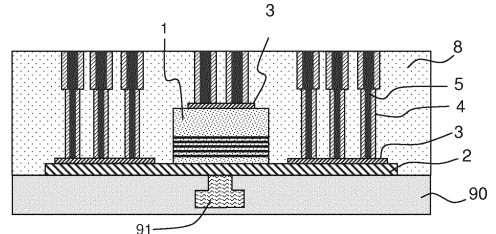


図18

【図19】

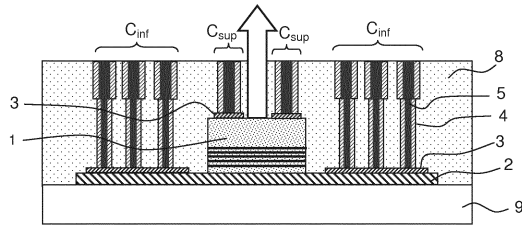


図19

【図20】

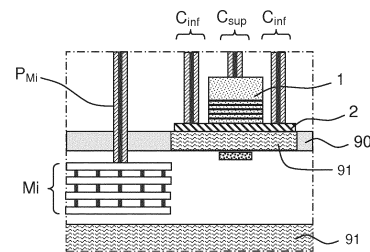


図20

10

20

30

40

50

【 図 2 1 】

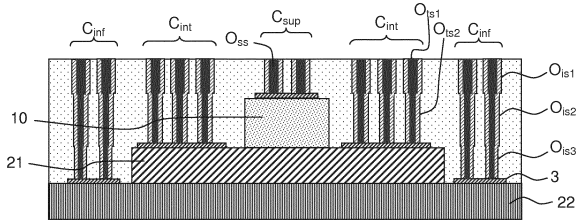


図 21

【 図 2 2 】

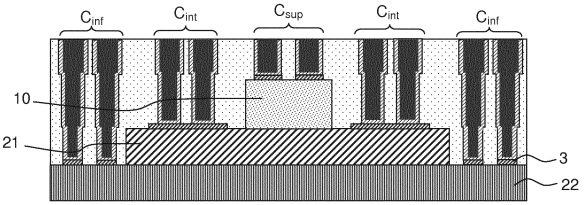


図 22

10

【 図 2 3 a 】

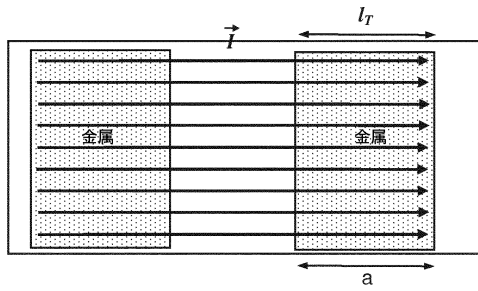


図23a

【 図 2 3 b 】

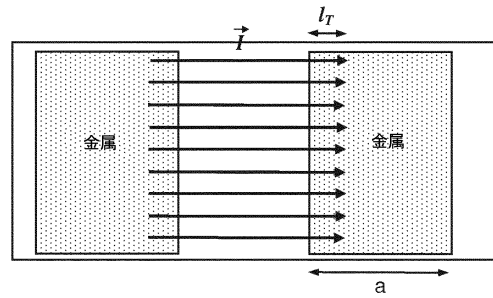


図23b

20

【 図 2 4 】

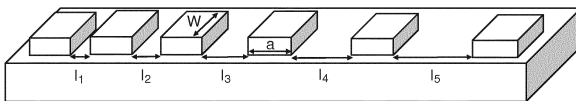


図 24

【 図 2 5 】

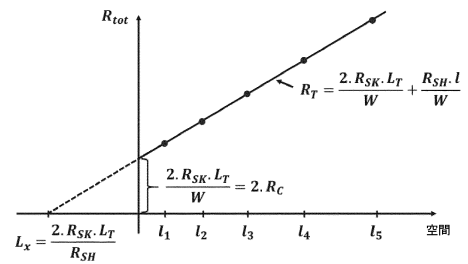


図25

30

40

50

フロントページの続き

- フランス国、38430・モアラン、ルット・ドゥ・サン・カンタン、396
(72)発明者 ロドリゲス, フィリップ
フランス国、38140・リブ、シュマン・デ・ビーニュ、171・ベ
(72)発明者 シェラク, ベルトラン
フランス国、38320・エルベ、シュマン・デュ・ゴエ、130
審査官 早川 朋一
(56)参考文献 米国特許出願公開第2016/0141329 (US, A1)
特開2007-027343 (JP, A)
特表昭63-503583 (JP, A)
特開平07-058059 (JP, A)
特開2016-046534 (JP, A)
特開2003-101152 (JP, A)
(58)調査した分野 (Int.Cl., DB名)
H01L 21/3205 - 21/3215
H01L 21/768
H01L 23/52
H01L 23/522 - 23/532
H01L 21/28 - 21/288
H01L 21/44 - 21/445
H01L 29/40 - 29/51
H01S 5/00 - 5/50