



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0050201  
(43) 공개일자 2019년05월10일

- |   |   |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/> <i>H01L 27/15</i> (2006.01) <i>H01L 33/00</i> (2010.01)<br/> <i>H01L 33/12</i> (2010.01) <i>H01L 33/38</i> (2010.01)<br/> <i>H01L 33/62</i> (2010.01)</p> <p>(52) CPC특허분류<br/> <i>H01L 27/156</i> (2013.01)<br/> <i>H01L 33/0079</i> (2013.01)</p> <p>(21) 출원번호 10-2017-0145507<br/>                 (22) 출원일자 2017년11월02일<br/>                 심사청구일자 없음</p> | <p>(71) 출원인<br/> <b>엘지이노텍 주식회사</b><br/>                 서울특별시 중구 후암로 98 (남대문로5가)</p> <p>(72) 발명자<br/> <b>김청송</b><br/>                 서울특별시 중구 후암로 98 (남대문로5가)<br/> <b>박선우</b><br/>                 서울특별시 중구 후암로 98 (남대문로5가)<br/>                 (뒷면에 계속)</p> <p>(74) 대리인<br/> <b>특허법인다나</b></p> |
|---|---|

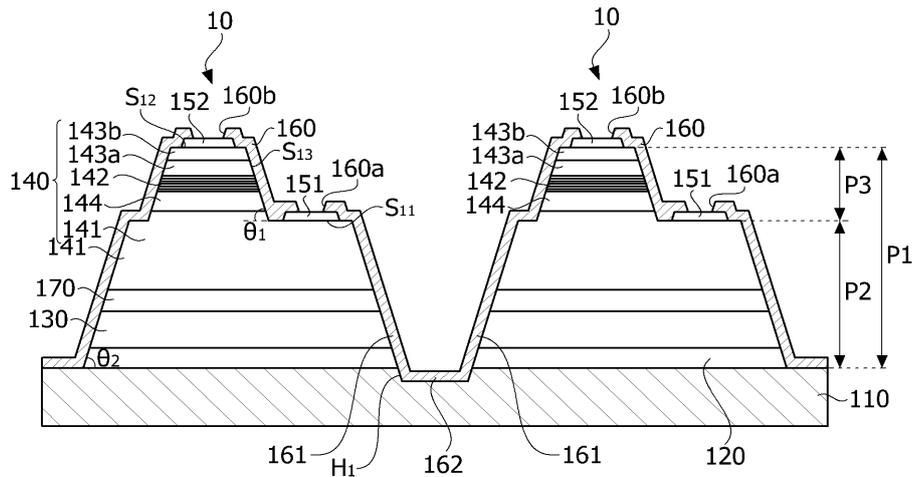
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 소자 어레이 및 그 제조방법**

(57) 요약

실시 예는 기관; 상기 기관 상에 배치되는 복수 개의 반도체 구조물; 및 상기 복수 개의 반도체 구조물 상에 배치되는 절연층을 포함하고, 상기 기관은 상기 복수 개의 반도체 구조물 사이에 배치되는 홈을 포함하고, 상기 절연층은 상기 복수 개의 반도체 구조물 상에 배치되는 제1절연층, 및 상기 홈에 배치되는 제2절연층을 포함하고, 상기 제1절연층과 제2절연층은 서로 연결된 반도체 소자 어레이 및 그 제조방법을 개시한다.

대표도 - 도1g



(52) CPC특허분류

*H01L 33/12* (2013.01)

*H01L 33/382* (2013.01)

*H01L 33/62* (2013.01)

(72) 발명자

**이상열**

서울특별시 중구 후암로 98 (남대문로5가)

**조현민**

서울특별시 중구 후암로 98 (남대문로5가)

**문지형**

서울특별시 중구 후암로 98 (남대문로5가)

## 명세서

### 청구범위

#### 청구항 1

기관;

상기 기관 상에 배치되는 복수 개의 반도체 구조물; 및

상기 복수 개의 반도체 구조물 상에 배치되는 절연층을 포함하고,

상기 기관은 상기 복수 개의 반도체 구조물 사이에 배치되는 홈을 포함하고,

상기 절연층은 상기 복수 개의 반도체 구조물 상에 배치되는 제1절연층, 및 상기 홈에 배치되는 제2절연층을 포함하고,

상기 제1절연층과 제2절연층은 서로 연결된 반도체 소자 어레이.

#### 청구항 2

제1항에 있어서,

상기 반도체 구조물은,

제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하는 반도체 소자 어레이.

#### 청구항 3

제2항에 있어서,

상기 제1절연층을 관통하여 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1전극; 및

상기 제1절연층을 관통하여 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2전극을 포함하는 반도체 소자 어레이.

#### 청구항 4

제3항에 있어서,

상기 반도체 구조물의 상면은 상기 제1전극이 배치되는 제1상부면, 상기 제2전극이 배치되는 제2상부면, 및 상기 제1상부면과 상기 제2상부면 사이에 배치되는 경사면을 포함하고,

상기 반도체 구조물의 바닥면에서 상기 제2상부면까지의 높이와 상기 반도체 구조물의 바닥면에서 상기 제1상부면까지의 높이의 차는 0보다 크고  $2\mu\text{m}$ 보다 작은 반도체 소자 어레이.

#### 청구항 5

제4항에 있어서,

상기 경사면이 수평면과 이루는 제1각도는 상기 반도체 구조물의 측면과 상기 수평면이 이루는 제2각도보다 작은 반도체 소자 어레이.

**청구항 6**

제5항에 있어서,

상기 제1각도는  $20^\circ$  내지  $50^\circ$  이고, 상기 제2각도는  $70^\circ$  내지  $90^\circ$  인 반도체 소자 어레이.

**청구항 7**

제1항에 있어서,

상기 반도체 구조물은 평면상 장측면과 단측면을 갖고,

상기 장측면은  $100\mu\text{m}$ 보다 작은 반도체 소자 어레이.

**청구항 8**

제4항에 있어서,

상기 경사면의 폭은 상기 제1상부면에서 상기 제2상부면으로 갈수록 좁아지는 반도체 소자 어레이.

**청구항 9**

제2항에 있어서,

상기 반도체 구조물은 상기 제1 도전형 반도체층과 상기 기판 사이에 배치되는 희생층을 포함하는 반도체 소자 어레이.

**청구항 10**

제9항에 있어서,

상기 반도체 구조물은 상기 제1 도전형 반도체층과 상기 희생층 사이에 배치되는 결합층을 포함하는 반도체 소자 어레이.

**청구항 11**

제1기판상에 반도체 구조물층을 형성하는 단계;

상기 반도체 구조물층을 복수 개의 반도체 구조물로 절단하는 단계; 및

상기 복수 개의 반도체 구조물에 절연층을 형성하는 단계를 포함하고,

상기 절단하는 단계는,

상기 반도체 구조물층 절단시 상기 제1기판상에 홈을 형성하는 반도체 소자 어레이 제조방법.

**청구항 12**

제11항에 있어서,

상기 반도체 구조물층을 형성하는 단계는,

상기 제1기판상에 희생층을 형성하는 단계; 및

상기 희생층 상에 상기 반도체 구조물층을 형성하는 단계를 포함하는 반도체 소자 어레이 제조방법.

**청구항 13**

제12항에 있어서,

상기 절연층을 형성하는 단계는,

상기 복수 개의 반도체 구조물 및 상기 홈에 상기 절연층을 형성하는 반도체 소자 어레이 제조방법.

**청구항 14**

제12항에 있어서,

상기 절연층을 형성하는 단계 이후에,

상기 복수 개의 반도체 구조물을 선택적으로 분리하는 단계를 포함하는 반도체 소자 어레이 제조방법.

**청구항 15**

제14항에 있어서,

상기 제1기판의 후면에 레이저를 조사하여 상기 반도체 구조물을 선택적으로 분리하는 반도체 소자 어레이 제조 방법.

**청구항 16**

제15항에 있어서,

상기 희생층은 상기 레이저를 흡수하여 분리되는 반도체 소자 어레이 제조방법.

**청구항 17**

제11항에 있어서,

상기 반도체 구조물은

제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층 포함하는 반도체 소자 어레이 제조방법.

**청구항 18**

제17항에 있어서,

상기 활성층은 적색 파장대의 광을 출사하는 반도체 소자 어레이 제조방법.

**청구항 19**

제11항에 있어서,

상기 홈의 측면은 상기 복수 개의 반도체 구조물의 측면과 동일 경사 각도를 갖는 반도체 소자 어레이 제조방법.

**청구항 20**

제17항에 있어서,

반도체 구조물층을 형성하는 단계와 상기 절단하는 단계 사이에,

상기 반도체 구조물층에 단차를 형성하는 단계를 포함하고,

상기 단차를 형성하는 단계는 상기 반도체 구조물층을 일정 간격으로 식각하여 상기 제1 도전형 반도체층을 노출시키는 반도체 소자 어레이 제조방법.

**발명의 설명**

**기술 분야**

[0001] 실시예는 반도체 소자 어레이 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 발광 다이오드(Light Emitting Diode: LED)는 전류가 인가되면 광을 방출하는 발광 소자 중 하나이다. 발광 다이오드는 저 전압으로 고효율의 광을 방출할 수 있어 에너지 절감 효과가 뛰어나다. 최근, 발광 다이오드의 휘도 문제가 크게 개선되어, 액정표시장치의 백라이트 유닛(Backlight Unit), 전광판, 표시기, 가전 제품 등과 같은 각종 기기에 적용되고 있다.

[0003] GaN, AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0004] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경친화성의 장점을 가진다.

[0005] 최근에는 발광 다이오드의 크기를 마이크로 사이즈로 제작하여 디스플레이의 픽셀로 사용하는 기술에 대한 연구가 진행되고 있다.

[0006] 그러나, 이러한 마이크로 사이즈의 발광 다이오드는 웨이퍼에서 선택적으로 분리하기 어려운 문제가 있다. 특히 분리시 잔류하는 파티클에 의해 발광 다이오드를 다른 기관으로 전사시 불량률이 발생하는 문제가 있다.

**발명의 내용**

**해결하려는 과제**

[0007] 실시 예는 기관에서 분리가 용이한 반도체 소자 어레이 및 그 제조방법을 제공한다.

[0008] 실시 예는 기관에서 분리시 파티클의 발생을 방지할 수 있는 반도체 소자 어레이 제조방법을 제공한다.

[0009] 실시예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

**과제의 해결 수단**

[0010] 본 발명의 일 실시 예에 따른 반도체 소자 어레이는, 기관; 상기 기관 상에 배치되는 복수 개의 반도체 구조물; 및 상기 복수 개의 반도체 구조물 상에 배치되는 절연층을 포함하고, 상기 기관은 상기 복수 개의 반도체 구조물 사이에 배치되는 홈을 포함하고, 상기 절연층은 상기 복수 개의 반도체 구조물 상에 배치되는 제1절연층, 및 상기 홈에 배치되는 제2절연층을 포함하고, 상기 제1절연층과 제2절연층은 서로 연결된다.

[0011] 상기 반도체 구조물은, 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함할 수 있다.

- [0012] 상기 제1절연층을 관통하여 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1전극; 및 상기 제1절연층을 관통하여 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2전극을 포함할 수 있다.
- [0013] 본 발명의 일 실시 예에 따른 반도체 소자 어레이 제조방법은, 제1기판상에 반도체 구조물층을 형성하는 단계; 상기 반도체 구조물층을 복수 개의 반도체 구조물로 절단하는 단계; 상기 복수 개의 반도체 구조물에 전극을 형성하는 단계; 및 상기 복수 개의 반도체 구조물에 절연층을 형성하는 단계를 포함하고, 상기 절단하는 단계는, 상기 반도체 구조물층 절단시 상기 제1기판상에 홈을 형성한다.
- [0014] 상기 반도체 구조물층을 형성하는 단계는, 상기 제1기판상에 희생층을 형성하는 단계; 및 상기 희생층 상에 상기 반도체 구조물층을 형성하는 단계를 포함할 수 있다.
- [0015] 상기 절연층을 형성하는 단계는, 상기 복수 개의 반도체 구조물 및 상기 홈에 상기 절연층을 형성할 수 있다.
- [0016] 상기 절연층을 형성하는 단계 이후에, 상기 복수 개의 반도체 구조물을 선택적으로 분리하는 단계를 포함할 수 있다.
- [0017] 상기 제1기판의 후면에 레이저를 조사하여 상기 반도체 구조물을 선택적으로 분리할 수 있다.
- [0018] 상기 희생층은 상기 레이저를 흡수하여 분리될 수 있다.
- [0019] 상기 반도체 구조물은 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층 포함할 수 있다.
- [0020] 상기 홈의 측벽은 상기 복수 개의 반도체 구조물의 측면과 동일 경사 각도를 가질 수 있다.
- [0021] 반도체 구조물층을 형성하는 단계와 상기 절단하는 단계 사이에, 상기 반도체 구조물층에 단차를 형성하는 단계를 포함하고, 상기 단차를 형성하는 단계는 상기 반도체 구조물층을 일정 간격으로 식각하여 상기 제1 도전형 반도체층을 노출시킬 수 있다.

**발명의 효과**

- [0022] 본 발명의 실시 예에 따르면, 반도체 소자가 웨이퍼에서 분리시 절연층이 깨지는 현상을 개선할 수 있다.
- [0023] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

**도면의 간단한 설명**

- [0024] 도 1a 내지 도 1g는 본 발명의 일 실시 예에 따른 반도체 소자 어레이 제조방법을 보여주는 도면이고, 도 2는 본 발명의 일 실시 예에 따른 반도체 소자 어레이의 평면도이고, 도 3a 내지 도 3e는 본 발명의 일 실시 예에 따른 반도체 소자의 전사방법을 보여주는 도면이고, 도 4a는 반도체 소자가 기판에서 분리되기 전의 사진이고, 도 4b는 반도체 소자가 기판으로부터 분리된 후의 사진이고, 도 5는 본 발명의 실시 예에 따라 반도체 소자가 기판에서 깨끗하게 분리된 상태를 보여주는 사진이고, 도 6은 희생층을 식각하지 않고 반도체 소자를 분리하는 방법을 보여주는 도면이고, 도 7은 도 6의 방법에 의해 반도체 소자를 분리시 파티클이 잔존하는 상태를 보여주는 도면이고, 도 8은 본 발명의 일 실시 예에 따른 반도체 소자의 도면이고, 도 9는 실시예에 따른 반도체 소자가 전사된 디스플레이 장치의 개념도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0025] 본 실시 예들은 다른 형태로 변형되거나 여러 실시 예가 서로 조합될 수 있으며, 본 발명의 범위가 이하 설명하는 각각의 실시 예로 한정되는 것은 아니다.
- [0026] 특정 실시 예에서 설명된 사항이 다른 실시 예에서 설명되어 있지 않더라도, 다른 실시 예에서 그 사항과 반대

되거나 모순되는 설명이 없는 한, 다른 실시 예에 관련된 설명으로 이해될 수 있다.

- [0027] 예를 들어, 특정 실시 예에서 구성 A에 대한 특징을 설명하고 다른 실시 예에서 구성 B에 대한 특징을 설명하였다면, 구성 A와 구성 B가 결합된 실시 예가 명시적으로 기재되지 않더라도 반대되거나 모순되는 설명이 없는 한, 본 발명의 권리범위에 속하는 것으로 이해되어야 한다.
- [0028] 실시 예의 설명에 있어서, 어느 한 element가 다른 element의 "상(위) 또는 하(아래)(on or under)"에 형성되는 것으로 기재되는 경우에 있어, 상(위) 또는 하(아래)(on or under)는 두 개의 element가 서로 직접(directly)접촉되거나 하나 이상의 다른 element가 상기 두 element 사이에 배치되어(indirectly) 형성되는 것을 모두 포함한다. 또한 "상(위) 또는 하(아래)(on or under)"으로 표현되는 경우 하나의 element를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0029] 이하에서는 첨부한 도면을 참고로 하여 본 발명의 실시 예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다.
- [0030] 또한, 본 실시예에 따른 반도체 소자 패키지는 마이크로 사이즈 또는 나노 사이즈의 반도체 소자를 포함할 수 있다. 여기서, 소형의 반도체 소자는 반도체 소자의 구조적 크기를 지칭할 수 있다. 그리고 소형의 반도체 소자는 사이즈가 1 $\mu$ m 내지 100 $\mu$ m일 수 있다. 또한, 실시예에 따른 반도체 소자는 사이즈가 30 $\mu$ m 내지 60 $\mu$ m일 수 있으나, 반드시 이에 한정하는 것은 아니다. 또한, 실시예의 기술적 특징 또는 양상은 더 작은 크기의 스케일로 반도체 소자에 적용될 수 있다.
- [0031] 도 1a 내지 도 1g는 본 발명의 일 실시 예에 따른 반도체 소자 어레이 제조방법을 보여주는 도면이다.
- [0032] 본 발명의 일 실시 예에 따른 반도체 소자 어레이 제조방법은, 제1기판을 형성하는 단계; 상기 제1기판상에 반도체 구조물층을 형성하는 단계; 상기 반도체 구조물층을 복수 개의 반도체 구조물로 절단하는 단계; 상기 복수 개의 반도체 구조물에 전극을 형성하는 단계; 및 상기 복수 개의 반도체 구조물에 절연층을 형성하는 단계를 포함할 수 있다.
- [0033] 도 1a를 참조하면, 제1기판을 형성하는 단계는 먼저 도너 기판(S)에 이온을 주입할 수 있다. 도너 기판(S)은 이온층(I)을 포함할 수 있다. 이온층(I)에 의해 도너 기판(S)은 일측에 배치된 중간층(170)과 타측에 배치된 제1층(171)을 포함할 수 있다. 도너 기판(S)에 주입되는 이온은 수소(H) 이온을 포함할 수 있으나, 이러한 물질에 한정되는 것은 아니다.
- [0034] 도 1b를 참조하면, 희생층(120)은 기판(110)과 결합층(130) 사이에 배치될 수 있다.
- [0035] 기판(110)은 사파이어( $Al_2O_3$ ), 글라스(glass) 등을 포함하는 투광성 기판일 수 있다. 이에 따라, 기판(110)은 하부에서 조사되는 레이저 광을 투과할 수 있다. 따라서, 레이저 리프트 오프 시 희생층(120)은 레이저 광을 흡수할 수 있다.
- [0036] 기판(110) 상에는 희생층(120) 및 결합층(130)이 적층 배치될 수 있다. 희생층(120) 및 결합층(130)의 순서는 반대일 수도 있다.
- [0037] 기판 상에 배치된 결합층(130)은 도너 기판(S)에 배치된 결합층(130)과 마주보도록 배치될 수 있다. 기판 상에 배치된 결합층(130)과 도너 기판(S)에 배치된 결합층(130)은  $SiO_2$ 를 포함할 수 있으나 반드시 이에 한정하지 않는다.
- [0038] 희생층(120) 상에 배치된 결합층(130)은 도너 기판(S)에 배치된 결합층(130)과  $O_2$  플라즈마 처리를 통해 결합될 수 있다. 다만, 이에 한정되는 것은 아니며 산소 이외의 다른 물질에 의해 절삭이 이루어질 수 있다.
- [0039] 이로써, 기판(110) 상에 희생층(120)이 배치되고, 희생층(120) 상에 결합층(130)이 배치되고, 결합층(130) 상부에 이격되어 도너 기판(S)이 배치될 수 있다.
- [0040] 도 1c를 참조하면, 도 1b의 이온층(I)은 유체 분사 절삭(Fluid jet cleaving)에 의해 제거되어, 제1 층(171)은 중간층(170)과 분리될 수 있다.
- [0041] 이 때, 도너 기판에서 분리된 제1 층(171)은 기판으로 재사용될 수 있다. 따라서, 제조 비용 및 원가 절감의 효과를 제공할 수 있다.
- [0042] 제1기판상에 반도체 구조물층을 형성하는 단계는 중간층(170) 상에 반도체 구조물(140)을 형성할 수 있다. 중간

층(170)은 반도체 구조물(140)과 접촉할 수 있다. 그러나, 중간층(170)은 이온주입공정에 의해 생기는 빈공간(void)에 의해 상면의 거칠기가 좋지 않으므로 Red Epi 증착 시 결함이 발생될 수 있다.

- [0043] 따라서, 중간층(170)의 상면에는 평탄화 공정이 수행될 수 있다. 예컨대, 중간층(170)의 상면에 화학적 기계적 평탄화(Chemical Mechanical Planarization)가 수행되고, 평탄화 이후에 중간층(170)의 상면에 반도체 구조물(140)이 배치될 수 있다. 이러한 구성에 의하여, 반도체 구조물(140)은 전기적 특성이 개선될 수 있다.
- [0044] 반도체 구조물(140)은 중간층(170) 상에 배치되는 제1 도전형 반도체층(141), 제1 도전형 반도체층 상에 배치되는 제1 클래드층(144), 제1 클래드층(144) 상에 배치되는 활성층(142), 활성층(142) 상에 배치되는 제2 도전형 반도체층(143)를 포함할 수 있다. 반도체 구조물(140)의 구체적인 구성은 후술한다.
- [0045] 도 1d를 참조하면, 반도체 구조물(140)의 상부에서 제1 도전형 반도체층(141)를 노출시키는 1차 식각이 수행될 수 있다.
- [0046] 1차 식각은 습식식각 또는 건식식각에 의할 수 있으나 이에 한정되는 것은 아니며, 다양한 방법이 적용될 수 있다. 1차 식각이 이루어지기 이전에 도 1e의 제2 전극(152)이 제2 도전형 반도체층(143) 상에 배치되고 도 1e와 같이 패터닝될 수 있다. 다만, 이러한 방식에 한정되는 것은 아니다.
- [0047] 도 1e를 참조하면, 반도체 구조물에 전극을 형성하는 단계는 반도체 구조물(140) 상부에 제1전극(151) 및 제2 전극(152)을 형성할 수 있다.
- [0048] 제2 전극(152)은 제2-2 도전형 반도체층(143b)과 전기적으로 연결될 수 있다. 제2 전극(152) 하면의 면적은 제2 도전형 반도체층(143)의 상면보다 작을 수 있다. 예컨대, 제2 전극(152)은 제2-2 도전형 반도체층(143b)의 가장자리로부터 1 $\mu$ m 내지 3 $\mu$ m 이격 배치될 수 있다.
- [0049] 제1 전극(151) 및 제2 전극(152)은 스퍼터링, 코팅, 증착 등과 같이 통상적으로 사용되는 전극 형성 방법이 모두 적용될 수 있다. 다만, 이에 한정되지 않는다.
- [0050] 또한, 앞서 설명한 바와 같이 1차 식각 이전에 제2 전극(152)이 형성되고, 1차 식각 이후에 제1 전극(151)이 식각되어 노출된 제1 도전형 반도체층(41) 상면에 배치될 수 있다.
- [0051] 제1 전극(151)과 제2 전극(152)은 기판(110)으로부터 서로 상이한 위치에 배치될 수 있다. 제1 전극(151)은 제1 도전형 반도체층(141) 상에 배치될 수 있다. 제2 전극(152)은 제2 도전형 반도체층(143) 상에 배치될 수 있다. 이에, 제2 전극(152)은 제1 전극(151)보다 상부에 배치될 수 있다.
- [0052] 도 1f를 참조하면, 복수 개의 반도체 구조물로 절단하는 단계는 기판(110)의 상면까지 2차 식각을 수행할 수 있다. 2차 식각은 습식식각 또는 건식식각에 의할 수 있으나 이에 한정되는 것은 아니다. 반도체 소자에서 2차 식각은 1차 식각보다 큰 두께로 이루어질 수 있다.
- [0053] 2차 식각을 통해 기판 상에 배치된 반도체 구조물은 복수 개의 칩(chip) 형태로 아이솔레이션(Isolation)될 수 있다. 예컨대, 도 1f에서 2차 식각을 통해 기판(110) 상에 2개의 반도체 구조물이 배치될 수 있다. 반도체 구조물의 개수는 기판의 크기와 반도체 구조물의 크기에 따라 다양하게 설정될 수 있다. 이때, 반도체 구조물을 분리하는 단계와 전극을 형성하는 단계는 순서가 반대일 수도 있다. 즉, 전극을 먼저 형성한 후 반도체 구조물을 분리할 수도 있고, 반도체 구조물을 분리한 후에 전극을 형성할 수도 있다. 또한, 반도체 구조물을 1차 식각한 후 전극을 형성하고, 이후에 반도체 구조물을 분리할 수도 있다.
- [0054] 이때, 2차 식각은 반도체 구조물을 통과하여 기판(110)의 일부 영역까지 진행될 수 있다. 따라서, 기판(110)은 복수 개의 반도체 구조물 사이에 배치되는 홈(H1)이 형성될 수 있다. 기판의 홈(H1)은 반도체 구조물(140)을 식각하는 과정에서 형성되므로 홈(H1)의 측벽은 복수 개의 반도체 구조물(140)의 측면과 동일 경사 각도를 가질 수 있다. 그러나, 반드시 이에 한정하는 것은 아니고 기판의 홈(H1)은 별도의 식각 과정에 의해 형성될 수도 있다.
- [0055] 이러한 구성에 의하면 복수 개의 반도체 구조물 사이에 배치된 결합층(120) 및/또는 희생층(130)을 확실히 제거할 수 있다. 홈(H1)의 깊이는 반도체 구조물 사이에 배치된 결합층(120) 및/또는 희생층(130)을 제거할 수 있는 정도이면 특별히 한정하지 않는다.
- [0056] 만약, 반도체 구조물의 결합층 및/또는 희생층이 서로 연결되어 있는 경우 어느 하나의 반도체 구조물을 기판에서 분리시 이웃한 반도체 구조물에 영향을 줄 수 있다.

- [0057] 예시적으로 어느 하나의 반도체 구조물만을 기판에서 분리하는 경우 이웃한 반도체 구조물의 희생층도 기판에서 분리되는 문제가 발생할 수 있다.
- [0058] 도 1g를 참조하면, 절연층을 형성하는 단계는 복수 개의 반도체 구조물(140)과 홈(H1) 상에 전체적으로 절연층(160)을 형성할 수 있다. 절연층(160)은 희생층(120), 결합층(130), 중간층(170) 및 반도체 구조물(140)의 측면을 덮을 수 있다.
- [0059] 절연층(160)은 제1 전극(151)의 상면 일부까지 덮을 수 있다. 그리고 제1 전극(151)의 상면 일부는 노출될 수 있다. 노출된 제1 전극(151)의 상면은 전극 패드 등과 전기적으로 연결되어 전류 주입 등이 이루어질 수 있다.
- [0060] 또한, 절연층(160)은 제2 전극(152)의 상면 일부까지 덮을 수 있다. 제2 전극(152)의 상면 일부는 노출될 수 있다. 제1 전극(151)과 마찬가지로, 노출된 제2 전극(152)의 상면은 전극 패드 등과 전기적으로 연결되어 전류 주입 등이 이루어질 수 있다. 그리고 절연층(160)은 일부가 기판의 상면에 배치될 수 있다. 인접한 반도체 칩 사이에 배치된 절연층(160)은 기판(110)과 접촉 배치될 수 있다.
- [0061] 도 1g를 참조하면, 제작된 반도체 소자 어레이는 기판(110) 및 기판(110) 상에 배치되는 복수 개의 반도체 소자(10)를 포함할 수 있다. 실시 예에 따르면, 기판(110) 상에 복수 개의 반도체 소자(10)가 복수 개 배치될 수 있다.
- [0062] 복수 개의 반도체 소자(10)는, 제1 도전형 반도체층(144), 제2 도전형 반도체층(143), 및 제1 도전형 반도체층(144)과 제2 도전형 반도체층(143) 사이에 배치되는 활성층(142)을 포함하는 반도체 구조물(140), 반도체 구조물(140) 상에 배치되는 절연층(160), 절연층(160)을 관통하여 제1 도전형 반도체층(144)과 전기적으로 연결되는 제1전극(151), 및 절연층(160)을 관통하여 제2 도전형 반도체층(143)과 전기적으로 연결되는 제2전극(152)을 포함할 수 있다.
- [0063] 전술한 바와 같이 기판(110)은 복수 개의 반도체 구조물(140) 사이에 배치되는 홈(H1)을 포함할 수 있다, 홈(H1)은 라인 형상일 수 있으나 반드시 이에 한정하지 않는다.
- [0064] 절연층(160)은 반도체 구조물(140)의 상면과 측면에 배치되는 제1절연층(161), 및 기판(110)의 홈(H1)에 배치되는 제2절연층(162)을 포함할 수 있다. 이때, 제1절연층(161)과 제2절연층(162)은 서로 연결될 수 있다.
- [0065] 절연층(160)은 복수 개의 반도체 구조물(140), 기판(110)의 일면, 및 기판(110)의 홈(H1)을 전체적으로 덮을 수 있다.
- [0066] 반도체 구조물(140)의 상면은 제1전극(151)이 배치되는 제1상부면(S11), 제2전극(152)이 배치되는 제2상부면(S12), 및 제1상부면(S1)과 제2상부면(S2) 사이에 배치되는 경사면(S13)을 포함할 수 있다.
- [0067] 이때, 반도체 구조물(140)의 바닥면에서 제2상부면(S12)까지의 높이(P1)와 반도체 구조물(140)의 바닥면에서 제1상부면(S11)까지의 높이(P2)의 차(P3)는 0보다 크고 2 $\mu$ m보다 작을 수 있다.
- [0068] 제1상부면(S11)과 제2상부면(S12)의 높이 차(P3)가 2  $\mu$ m보다 큰 경우, 전사 과정에서 칩의 수평이 틀어질 수 있다. 즉, 단차가 커질수록 칩은 수평을 유지하기 어려워질 수 있다. 전사 과정은 도 3과 같이 칩을 성장 기판에서 다른 기판으로 옮기는 작업을 의미할 수 있다.
- [0069] 경사면(S13)이 수평면과 이루는 제1각도( $\theta_1$ )는 반도체 구조물(140)의 측면과 수평면이 이루는 제2각도( $\theta_2$ )보다 작을 수 있다. 경사면(S13)이 가상의 수평면과 이루는 제1각도( $\theta_1$ )는 20° 내지 50° 일 수 있다. 제1각도( $\theta_1$ )가 20° 보다 작은 경우에는 제2상부면(S12)의 면적이 줄어들어 광 출력이 저하될 수 있다. 또한, 제1각도( $\theta_1$ )가 50° 보다 커지는 경우에는 경사 각도가 높아져 외부 충격에 의한 파손 위험이 커질 수 있다.
- [0070] 반도체 구조물(120)의 측면이 수평면과 이루는 제2각도( $\theta_2$ )는 70° 보다 크고 90° 보다 작을 수 있다. 제2각도( $\theta_2$ )가 70° 보다 작은 경우 제2상부면(S12)의 면적이 줄어들어 광 출력이 저하될 수 있다. 반도체 구조물(120)의 모든 측면이 수평면과 이루는 제2각도( $\theta_2$ )가 90° 보다 작은 경우, 경사면(S13)의 면적은 제1상부면(S11)에서 제2상부면(S12)으로 갈수록 좁아질 수 있다.
- [0071] 도 2는 본 발명의 일 실시 예에 따른 반도체 소자 어레이의 평면도이다.
- [0072] 도 2를 참조하면, 각각의 반도체 소자(10)는 평면상 장측면(E1)과 단측면을 가질 수 있으며, 장측면(E1)이 100  $\mu$ m 보다 작은 마이크로 사이즈일 수 있다. 예시적으로 기판(110)이 5인치(inch)인 경우, 무수히 많은 반도체 소

자가 기관(110) 상에 배치될 수 있다.

- [0073] 평면상에서 홈(H1)은 하나의 반도체 소자(10)를 둘러싸도록 배치될 수 있다. 예시적으로 홈(H1)은 제1방향 홈(H11)과 제2방향 홈(H12)이 각각 형성되어 바둑판 형상을 가질 수 있다. 반도체 소자(10)는 제1방향 홈(H11)과 제2방향 홈(H12)에 의해 둘러싸인 공간에 각각 배치될 수 있다.
- [0074] 절연층(160)은 복수 개의 반도체 구조물이 배치된 기관(110) 상에 전체적으로 배치될 수 있다. 절연층(160)은 기관(110)의 제1방향 홈(H11)과 제2방향 홈(H12) 상에도 배치될 수 있다. 즉, 절연층(160)은 반도체 소자(10)의 전극을 노출시키는 홀(160a, 160b)을 제외한 나머지 면적에 전체적으로 배치될 수 있다.
- [0075] 도 3a 내지 도 3e는 본 발명의 일 실시 예에 따른 반도체 소자의 전사방법을 보여주는 도면이다.
- [0076] 도 3a 내지 도 3e를 참조하면, 일 실시예에 따른 반도체 소자의 전사방법은 기관(110) 상에 배치된 복수 개의 반도체 소자를 포함하는 반도체 소자에 선택적으로 레이저를 조사하여 기관으로부터 반도체 소자를 분리하고, 분리된 반도체 소자를 패널 기관에 배치하는 것을 포함할 수 있다. 여기서, 전사 전의 반도체 소자는 앞서 도 1a 내지 도 1g의 구성을 그대로 포함할 수 있다.
- [0077] 먼저, 도 3a를 참조하면, 기관(110)은 앞서 도 1a 내지 도 1g에서 설명한 기관(110)과 동일할 수 있다. 또한, 앞서 설명한 바와 같이 복수 개의 반도체 소자가 기관(110) 상에 배치될 수 있다. 예컨대, 복수 개의 반도체 소자는 제1 반도체 소자(10-1), 제2 반도체 소자(10-2), 제3 반도체 소자(10-3) 및 제4 반도체 소자(10-4)를 포함할 수 있다. 다만, 이러한 개수에 한정되는 것은 아니며 반도체 소자는 다양한 개수를 가질 수 있다.
- [0078] 도 3b를 참조하면, 복수 개의 반도체 소자(10-1, 10-2, 10-3, 10-4) 중 선택된 적어도 하나 이상의 반도체 소자를 반송 기구(210)를 이용하여 성장 기관으로 분리할 수 있다. 반송 기구(210)는 하부에 배치된 제1 접합층(211)과 반송틀(212)을 포함할 수 있다. 예시적으로, 반송틀(212)은 요철구조로, 반도체 소자와 제1 접합층(211)을 용이하게 접합시킬 수 있다. 이때, 실시 예에 따른 반도체 소자는 단차가 2 $\mu$ m 보다 작으므로 전사 과정에서 수평을 유지할 수 있다.
- [0079] 도 3c를 참조하면, 분리하고자 하는 반도체 소자(10-1, 10-3)의 후면에 선택적으로 레이저 조사를 하면 반도체 소자(10-1, 10-3)의 희생층이 분해되면서 기관(110)으로부터 분리될 수 있다. 이후, 반송 기구(210)를 상부로 이동시키면 제1 반도체 소자(10-1)와 제3 반도체 소자(10-3)는 반송 기구(210)로부터 분리될 수 있다. 그리고 제2 접합층(310)과 제1 반도체 소자(10-1) 및 제3 반도체 소자(10-3) 사이의 결합이 이루어질 수 있다.
- [0080] 기관(110)으로부터 반도체 소자를 분리하는 방법은 특정 파장 대역의 포톤 빔을 이용한 레이저 리프트 오프(laser lift-off: LLO)이 적용될 수 있다. 예컨대, 조사된 레이저의 중심 파장은 266nm, 532nm, 1064nm일 수 있으나, 이에 한정되는 것은 아니다.
- [0081] 이때, 반도체 소자와 기관(110) 사이에 배치된 접합층(130)은 레이저 리프트 오프(laser lift-off: LLO)에 의해 반도체 소자 사이에 물리적 손상이 발생하는 것을 방지할 수 있다. 레이저 리프트 오프(laser lift-off: LLO)에 의해 반도체 소자에서 희생층이 분리될 수 있다. 예컨대, 희생층은 분리로 인해 일부 제거되고 나머지 희생층이 결합층과 함께 분리될 수 있다. 이에 따라, 반도체 소자에서 희생층과 희생층 상부에 배치된 층인 결합층, 반도체 구조물, 제1 전극 및 제2 전극이 기관(110)으로 분리될 수 있다.
- [0082] 또한, 기관(110)으로 분리되는 복수의 반도체 소자는 서로 소정의 이격 간격을 가질 수 있다. 앞서 설명한 바와 같이, 제1 반도체 소자(10-1)과 제3 반도체 소자(10-3)가 성장 기관으로부터 분리되고, 제1 반도체 소자(10-1)과 제3 반도체 소자(10-3)의 이격 거리와 동일한 이격 거리를 갖는 제2 반도체 소자(10-2)와 제4 반도체 소자(10-4)가 동일한 방식으로 분리될 수 있다. 이로써, 동일한 이격 거리를 갖는 반도체 소자가 디스플레이 패널로 전사될 수 있다.
- [0083] 도 3d를 참조하면, 선택된 반도체 소자를 패널 기관(300) 상에 배치할 수 있다. 예컨대, 제1 반도체 소자(10-1), 제3 반도체 소자(10-3)을 패널 기관(300) 상에 배치할 수 있다.
- [0084] 구체적으로, 패널 기관(300) 상에 제2 접합층(310)이 배치될 수 있으며, 제1 반도체 소자(10-1)과 제3 반도체 소자(10-3)는 제2 접합층(310) 상에 배치될 수 있다. 이에, 제1 반도체 소자(10-1)과 제3 반도체 소자(10-3)는 제2 접합층(310)과 접할 수 있다. 이러한 방식을 통해, 이격된 간격을 갖는 반도체 소자를 패널 기관에 배치하여 전사 공정의 효율을 개선할 수 있다.
- [0085] 그리고 제1 접합층(211)과 선택된 반도체 소자를 분리하기 위해 레이저가 조사될 수 있다. 예컨대, 반송 기구

(210) 상부로 레이저가 조사되어, 제1 접합층(211)과 선택된 반도체 소자가 물리적으로 분리될 수 있다. 예시적으로 접합층(211)은 레이저가 조사되면 점착 기능을 잃을 수 있다.

- [0086] 도 3e를 참조하면, 레이저 조사 이후에 반송 기구(210)를 상부로 이동하면, 제1 반도체 소자(10-1)와 제3 반도체 소자(10-3)는 반송 기구(210)로부터 분리될 수 있다. 그리고 제2 접합층(310)과 제1 반도체 소자(10-1) 및 제3 반도체 소자(10-3) 사이의 결합이 이루어질 수 있다.
- [0087] 도 4a는 반도체 소자가 기판에서 분리되기 전의 사진이고, 도 4b는 반도체 소자가 기판으로부터 분리된 후의 사진이고, 도 5는 본 발명의 실시 예에 따라 반도체 소자가 기판에서 깨끗하게 분리된 상태를 보여주는 사진이다.
- [0088] 도 4a를 참조하면, 실시 예에 따른 반도체 소자는 제1, 제2절연층(161, 162)이 반도체 구조물(140)의 측면 및 기판(110)의 홈(H1)에 형성되어 희생층(130)이 완전히 분리되어 있음을 알 수 있다. 또한, 도 4b와 같이 일부 반도체 소자를 기판(110)에서 분리하는 경우 홈(H1)에 배치된 제2절연층(162)만 잔존하여 제1절연층(161)이 깨끗하게 분리되었음을 알 수 있다. 도 5를 참조하면, 반도체 소자가 분리된 영역(F1)에는 희생층 또는 절연층의 분리되면서 발생한 파티클이 없는 것을 확인할 수 있다.
- [0089] 도 6은 희생층을 식각하지 않고 반도체 소자를 분리하는 방법을 보여주는 도면이고, 도 7은 도 6의 방법에 의해 반도체 소자를 분리시 파티클이 잔존하는 상태를 보여주는 도면이다.
- [0090] 도 6과 같이 반도체 구조물만을 2차 식각하고 희생층(SL1)을 식각하지 않는 경우 반도체 소자를 분리하는 과정에서 이웃한 반도체 소자에 영향을 줄 수 있다.
- [0091] 예시적으로, 희생층(SL1)이 두꺼운 경우 리프트 오프 공정시 채널영역(CH)의 희생층(SL1)이 불규칙하게 분리되는 문제가 있다. 여기서 채널 영역이란 이웃한 반도체 구조물의 사이 영역으로 정의할 수 있다.
- [0092] 또한, 채널 영역에 희생층이 얇게 잔류하는 경우 도 7과 같이 잔류한 희생층(SL1)이 분리되면서 파티클을 형성할 수 있다. 이러한 파티클은 전사 공정시 불량률 야기할 수 있다. 따라서, 본 발명의 실시 예에서는 채널 영역의 희생층을 미리 식각하여 이러한 불량률 방지할 수 있다.
- [0093] 도 8은 본 발명의 일 실시 예에 따른 반도체 소자의 도면이다.
- [0094] 도 8을 참조하면, 실시예에 따른 반도체 소자는 희생층(120), 희생층(120) 상에 배치되는 결합층(130), 결합층(130) 상에 배치되는 중간층(170), 중간층(170) 상에 배치되는 제1 도전형 반도체층(141), 상기 제1 도전형 반도체층 상에 배치되는 제1 클래드층(144), 제1 클래드층(144) 상에 배치되는 활성층(142), 상기 활성층 상에 배치되는 제2 도전형 반도체층(143), 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극(151), 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극(152) 및 희생층(120), 결합층(130), 제1 도전형 반도체층(141), 제1 클래드층(144), 활성층(142), 제2 도전형 반도체층(142)을 감싸는 절연층(160)을 포함할 수 있다.
- [0095] 희생층(120)은 실시예에 따른 반도체 소자의 최하부에 배치된 층일 수 있다. 즉, 희생층(120)은 제1-2 방향( $X_2$  축 방향)으로 최외측에 배치된 층일 수 있다. 희생층(120)은 기판(미도시됨) 상에 배치될 수 있다.
- [0096] 희생층(120)의 제2 방향(Y축 방향)으로 최대 폭( $W_1$ )은  $30\mu\text{m}$  내지  $60\mu\text{m}$ 일 수 있다.
- [0097] 여기서, 제1 방향은 반도체 구조물(140)의 두께 방향으로 제1-1 방향과 제1-2 방향을 포함한다. 제1-1 방향은 반도체 구조물(140)의 두께 방향 중 제1 도전형 반도체층(121)에서 제2 도전형 반도체층(123)을 향한 방향이다. 그리고 제1-2 방향은 반도체 구조물(140)의 두께 방향 중 제2 도전형 반도체층(123)에서 제1 도전형 반도체층(121)을 향한 방향이다. 또한, 여기서, 제2 방향(Y축 방향)은 제1 방향(X축 방향)에 수직한 방향일 수 있다. 또한, 제2 방향(Y축 방향)은 제2-1 방향(Y1축 방향)과 제2-2 방향(Y2축 방향)을 포함한다.
- [0098] 희생층(120)은 반도체 소자를 디스플레이 장치로 전사하면서 남겨진 층일 수 있다. 예컨대, 반도체 소자가 디스플레이 장치로 전사되는 경우 희생층(120)은 전사 시 조사되는 레이저에 의해 일부 분리되고, 그 외 부분은 남겨질 수 있다. 이 때, 희생층(120)은 조사된 레이저의 파장에서 분리 가능한 재질을 포함할 수 있다. 또한, 레이저의 파장은 266nm, 532nm, 1064nm 중 어느 하나일 수 있으나, 이에 한정되는 것은 아니다.
- [0099] 희생층(120)은 산화물(oxide) 또는 질화물(nitride)을 포함할 수 있다. 다만, 이에 한정되는 것은 아니다. 예컨대, 희생층(120)은 에피택셜 성장 시 발생하는 변형이 적은 물질로 산화물(oxide) 계열 물질을 포함할 수 있다.
- [0100] 희생층(120)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium

aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함할 수 있다.

- [0101] 희생층(120)은 제1 방향(X축 방향)으로 두께( $d_1$ )가 20nm이상 일 수 있다. 바람직하게는, 희생층(120)은 제1 방향(X축 방향)으로 두께가 두께( $d_1$ )가 40nm이상 일 수 있다.
- [0102] 희생층(120)은 E-빔 증착법(E-beam evaporator), 열 증착법(thermal evaporator), MOCVD(Metal Organic Chemical Vapor Deposition), 스퍼터링(Sputtering) 및 PLD(Pulsed Laser Deposition)법으로 형성될 수 있으나, 이에 한정되지 않는다.
- [0103] 결합층(130)은 희생층(120) 상에 배치될 수 있다. 결합층(130)은 SiO<sub>2</sub>, SiNx, TiO<sub>2</sub>, 폴리이미드, 레진 등의 물질을 포함할 수 있다.
- [0104] 결합층(130)의 두께( $d_2$ )는 30nm 내지 1 $\mu$ m일 수 있다. 다만, 이에 한정되는 것은 아니다. 여기서, 두께는 X축 방향의 길이일 수 있다. 결합층(130)은 희생층(120)과 중간층(170)을 서로 접합하기 위해 어닐링이 수행될 수 있다. 이 때, 결합층(130) 내 수소 이온이 배출되면서 박리가 일어날 수 있다. 이에, 결합층(130)은 표면 거칠기가 1nm 이하일 수 있다. 이러한 구성에 의하여, 분리층과 결합층은 용이하게 접합할 수 있다. 결합층(130)과 희생층(120)은 서로 배치 위치가 서로 바뀔 수도 있다.
- [0105] 중간층(170)은 결합층(130) 상에 배치될 수 있다. 중간층(170)은 GaAs를 포함할 수 있다. 중간층(170)은 결합층(130)을 통해 희생층(120)과 결합할 수 있다.
- [0106] 반도체 구조물(140)은 중간층(170) 상에 배치될 수 있다. 반도체 구조물(140)은 중간층(170) 상에 배치되는 제1 도전형 반도체층(141), 제1 도전형 반도체층 상에 배치되는 제1 클래드층(144), 제1 클래드층(144) 상에 배치되는 활성층(142), 활성층(142) 상에 배치되는 제2 도전형 반도체층(143)을 포함할 수 있다.
- [0107] 제1 도전형 반도체층(141)은 중간층(170) 상에 배치될 수 있다. 제1 도전형 반도체층(141)의 두께( $d_4$ )는 1.8 $\mu$ m 내지 2.2 $\mu$ m일 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0108] 제1 도전형 반도체층(141)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1도펀트가 도핑될 수 있다. 제1 도전형 제1 반도체층(112)은 In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>P (0 $\leq$ x $\leq$ 1, 0 $\leq$ y $\leq$ 1, 0 $\leq$ x+y $\leq$ 1) 또는 In<sub>x</sub>Al<sub>y</sub>Ga<sub>1-x-y</sub>N (0 $\leq$ x $\leq$ 1, 0 $\leq$ y $\leq$ 1, 0 $\leq$ x+y $\leq$ 1)의 조성식을 갖는 반도체 물질을 포함할 수 있다.
- [0109] 그리고, 제1 도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1 도펀트가 n형 도펀트인 경우, 제1 도펀트가 도핑된 제1 도전형 반도체층(141)은 n형 반도체층일 수 있다.
- [0110] 제1 도전형 반도체층(141)은 AlGaP, InGaP, AlInGaP, InP, GaN, InN, AlN, InGaN, AlGa<sub>n</sub>, InAlGa<sub>n</sub>, AlIn<sub>n</sub>, AlGaAs, InGaAs, AlInGaAs, GaP 중 어느 하나 이상을 포함할 수 있다.
- [0111] 제1 도전형 반도체층(141)은 화학증착방법(CVD) 혹은 분자선 에피택시(MBE) 혹은 스퍼터링 혹은 수산화물 증기상 에피택시(HVPE) 등의 방법을 사용하여 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0112] 제1 클래드층(144)은 제1 도전형 반도체층(141) 상에 배치될 수 있다. 제1 클래드층(144)은 제1 도전형 반도체층(141)과 활성층(142) 사이에 배치될 수 있다. 제1 클래드층(144)은 복수 개의 층을 포함할 수 있다. 제1 클래드층(144)은 AlInP 계열층/AlInGaP 계열층을 포함할 수 있다.
- [0113] 제1 클래드층(144)의 두께( $d_5$ )는 0.45 $\mu$ m 내지 0.55 $\mu$ m일 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0114] 활성층(142)은 제1 클래드층(144) 상에 배치될 수 있다. 활성층(142)은 제1 도전형 반도체층(141)과 제2 도전형 반도체층(143) 사이에 배치될 수 있다. 활성층(142)은 제1 도전형 반도체층(141)을 통해서 주입되는 전자(또는 정공)와 제2 도전형 반도체층(143)을 통해서 주입되는 정공(또는 전자)이 만나는 층이다. 활성층(142)은 전자와 정공이 재결합함에 따라 낮은 에너지 준위로 천이하며, 자외선 파장을 가지는 빛을 생성할 수 있다.
- [0115] 활성층(142)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(142)의 구조는 이에 한정하지 않는다.

- [0116] 활성층(142)은 GaInP/AlGaInP, GaP/AlGaP, InGaP/AlGaP, InGaN/GaN, InGaN/InGaN, GaN/AlGaN, InAlGaN/GaN, GaAs/AlGaAs, InGaAs/AlGaAs 중 어느 하나 이상의 페어 구조로 형성될 수 있으나 이에 한정되지 않는다.
- [0117] 활성층(142)의 두께( $d_6$ )는 0.54 $\mu\text{m}$  내지 0.66 $\mu\text{m}$ 일 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0118] 제1 클래드층(144)에서 전자가 냉각되어 활성층(142)은 더 많은 발광재결합(Radiation Recombination)을 발생시킬 수 있다.
- [0119] 제2 도전형 반도체층(143)은 활성층(142) 상에 배치될 수 있다. 제2 도전형 반도체층(143)은 제2-1 도전형 반도체층(143a)과 제2-2 도전형 반도체층(143b)을 포함할 수 있다.
- [0120] 제2-1 도전형 반도체층(143a)은 활성층(142) 상에 배치될 수 있다. 제2-2 도전형 반도체층(143b)은 제2-1 도전형 반도체층(143a) 상에 배치될 수 있다.
- [0121] 제2-1 도전형 반도체층(143a)은 TSSR, P-AlInP를 포함할 수 있다. 제2-1 도전형 반도체층(143a)의 두께( $d_7$ )는 0.57 $\mu\text{m}$  내지 0.70 $\mu\text{m}$ 일 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0122] 제2-1 도전형 반도체층(143a)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있다. 제2-1 도전형 반도체층(143a)에 제2 도펀트가 도핑될 수 있다.
- [0123] 제2-1 도전형 반도체층(143a)은  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{P}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ ) 또는  $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$  ( $0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$ )의 조성식을 갖는 반도체 물질을 포함할 수 있다. 제2 도전형 반도체층(143)이 p형 반도체층인 경우, p형 도펀트로서, Mg, Zn, Ca, Sr, Ba 등을 포함할 수 있다.
- [0124] 제2-1 도전형 반도체층(143a)은 제2 도펀트가 도핑된 제2-1 도전형 반도체층(143a)은 p형 반도체층일 수 있다.
- [0125] 제2-2 도전형 반도체층(143b)은 제2-1 도전형 반도체층(143a) 상에 배치될 수 있다. 제2-2 도전형 반도체층(143b)은 p형 GaP 계열층을 포함할 수 있다.
- [0126] 제2-2 도전형 반도체층(143b)은 GaP층/ $\text{In}_x\text{Ga}_{1-x}\text{P}$ 층(단,  $0 \leq x \leq 1$ )의 초격자구조를 포함할 수 있다.
- [0127] 예를 들어, 제2-2 도전형 반도체층(143b)에는 약  $10 \times 10^{-18}$  농도의 Mg이 도핑될 수 있으나, 이에 한정되지 않는다.
- [0128] 또한, 제2-2 도전형 반도체층(143b)은 복수의 층으로 이루어져 일부 층에만 Mg이 도핑될 수도 있다.
- [0129] 제2-2 도전형 반도체층(143b)의 두께( $d_8$ )는 0.9 $\mu\text{m}$  내지 1.1 $\mu\text{m}$ 일 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0130] 제1 전극(151)은 제1 도전형 반도체층(141) 상에 배치될 수 있다. 제1 전극(151)은 제1 도전형 반도체층(141)과 전기적으로 연결될 수 있다.
- [0131] 제1 전극(151)은 제1 도전형 반도체층(141)에서 메사 식각이 이루어진 상면의 일부분에 배치될 수 있다. 이에 따라, 제1 전극(151)은 제2 도전형 반도체층(143)의 상면에 배치된 제2 전극(152)보다 하부에 배치될 수 있다.
- [0132] 절연층(160)의 제2-2 방향( $Y_2$ 축 방향)으로 가장자리와 제2 전극(152) 사이의 제2-2 방향( $Y_2$ 축 방향)으로 최단폭( $W_2$ )은 2.5 $\mu\text{m}$  내지 3.5 $\mu\text{m}$ 일 수 있다. 마찬가지로 절연층(160)의 제2-1 방향( $Y_1$ 축 방향)으로 가장자리와 제1 전극(151) 사이의 제2-1 방향( $Y_1$ 축 방향)으로 최단폭( $W_6$ )은 2.5 $\mu\text{m}$  내지 3.5 $\mu\text{m}$ 일 수 있다. 다만, 이러한 길이에 한정되는 것은 아니다.
- [0133] 제1 전극(151)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.
- [0134] 제1 전극(151)은 스퍼터링, 코팅, 증착 등과 같이 통상적으로 사용되는 전극 형성 방법이 모두 적용될 수 있다.
- [0135] 앞서 설명한 바와 같이, 제2 전극(152)은 제2-2 도전형 반도체층(143b) 상에 배치될 수 있다. 제2 전극(152)은

제2-2 도전형 반도체층(143b)과 전기적으로 연결될 수 있다.

- [0136] 제2 전극(152)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.
- [0137] 제2 전극(152)은 스퍼터링, 코팅, 증착 등과 같이 통상적으로 사용되는 전극 형성 방법이 모두 적용될 수 있다.
- [0138] 또한, 제1 전극(151)은 제2 전극(152)보다 제2 방향(Y축 방향)으로 폭이 더 클 수 있다. 다만, 이러한 길이에 한정되는 것은 아니다.
- [0139] 절연층(160)은 희생층(120), 결합층(130) 및 반도체 구조물(140) 덮을 수 있다. 절연층(160)은 희생층(120)의 측면, 결합층(130)의 측면을 덮을 수 있다. 절연층(160)은 제1 전극(151)의 상면의 일부를 덮을 수 있다. 이러한 구성에 의하여, 제1 전극(151)은 노출된 상면을 통해 전극 또는 패드와 전기적으로 연결되어 전류가 주입될 수 있다. 마찬가지로, 제2 전극(152)은 제1 전극(151)과 마찬가지로 노출된 상면을 포함할 수 있다. 절연층(160)은 결합층(130)과 희생층(120)을 덮어, 희생층(120)과 결합층(130)은 외부로 노출되지 않을 수 있다.
- [0140] 절연층(160)은 제1 전극(151)의 상면의 일부를 덮을 수 있다. 또한, 절연층(160)은 제2 전극(152)의 상면의 일부를 덮을 수 있다. 제1 전극(151)의 상면 일부는 노출될 수 있다. 제2 전극(152)의 상면 일부는 노출될 수 있다.
- [0141] 노출된 제1 전극(151)의 상면과 노출된 제2 전극(152)의 상면은 원형일 수 있으나, 이에 한정되는 것은 아니다. 그리고 노출된 제1 전극(151)의 상면의 중심점과 제2 전극(152)의 상면의 중심점 사이의 제2 방향(Y축 방향) 거리(W<sub>4</sub>)는 20 $\mu$ m 내지 30 $\mu$ m일 수 있다. 여기서, 중심점은 제2 방향(Y축 방향)으로 노출된 제1 전극과 노출된 제2 전극 각각의 폭을 양분하는 지점을 말한다.
- [0142] 노출된 제1 전극(151)의 중심점과 제2-1축 방향(Y<sub>1</sub>축 방향)으로 제1 전극(151)의 가장자리 사이의 제2-1축 방향(Y<sub>1</sub>축 방향)으로 최대폭(W<sub>5</sub>)은 5.5 $\mu$ m 내지 7.5 $\mu$ m일 수 있다. 또한, 노출된 제2 전극(152)의 중심점과 제2-2축 방향(Y<sub>2</sub>축 방향)으로 제2 전극(152)의 가장자리 사이의 제2-2축 방향(Y<sub>2</sub>축 방향)으로 최대폭(W<sub>6</sub>)은 5.5 $\mu$ m 내지 7.5 $\mu$ m일 수 있다. 다만, 이러한 길이에 한정되는 것은 아니다.
- [0143] 절연층(160)은 반도체 구조물(140)에서 제1 도전형 반도체층(141)과 제2 도전형 반도체층(143) 사이를 전기적으로 분리할 수 있다. 절연층(160)은 SiO<sub>2</sub>, Si<sub>x</sub>O<sub>y</sub>, Si<sub>3</sub>N<sub>4</sub>, Si<sub>x</sub>N<sub>y</sub>, SiO<sub>x</sub>N<sub>y</sub>, Al<sub>2</sub>O<sub>3</sub>, TiO<sub>2</sub>, AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나, 이에 한정하지 않는다.
- [0144] 도 9는 실시예에 따른 반도체 소자가 전사된 디스플레이 장치의 개념도이다.
- [0145] 도 9를 참조하면, 실시예로 반도체 소자를 포함하는 디스플레이 장치는 제2 패널 기판(410), 구동 박막 트랜지스터(T2), 평탄화층(430), 공통전극(CE), 화소전극(AE) 및 반도체 소자를 포함할 수 있다.
- [0146] 구동 박막 트랜지스터(T2)는 게이트 전극(GE), 반도체층(SCL), 오믹 컨택층(OCL), 소스 전극(SE), 및 드레인 전극(DE)을 포함한다.
- [0147] 구동 박막 트랜지스터는 구동 소자로, 반도체 소자와 전기적으로 연결되어 반도체 소자를 구동할 수 있다.
- [0148] 게이트 전극(GE)은 게이트 라인과 함께 형성될 수 있다. 이러한, 게이트 전극(GE)은 게이트 절연층(440)로 덮일 수 있다.
- [0149] 게이트 절연층(440)은 무기 물질로 이루어진 단일층 또는 복수의 층으로 구성될 수 있으며, 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>) 등으로 이루어질 수 있다.
- [0150] 반도체층(SCL)은 게이트 전극(GE)과 중첩(overlap)되도록 게이트 절연층(440) 상에 미리 설정된 패턴(또는 섬) 형태로 배치될 수 있다. 반도체층(SCL)은 비정질 실리콘(amorphous silicon), 다결정 실리콘(polycrystalline silicon), 산화물(oxide) 및 유기물(organic material) 중 어느 하나로 이루어진 반도체 물질로 구성될 수 있으나, 이에 한정되지 않는다.

- [0151] 오믹 콘택층(OCL)은 반도체층(SCL) 상에 미리 설정된 패턴(또는 섬) 형태로 배치될 수 있다. 오믹 콘택층(PCL)은 반도체층(SCL)과 소스/드레인 전극(SE, DE) 간의 오믹 콘택을 위한 것일 수 있다.
- [0152] 소스 전극(SE)은 반도체층(SCL)의 일측과 중첩되도록 오믹 콘택층(OCL)의 타측 상에 형성된다.
- [0153] 드레인 전극(DE)은 반도체층(SCL)의 타측과 중첩되면서 소스 전극(SE)과 이격되도록 오믹 콘택층(OCL)의 타측 상에 형성될 수 있다. 드레인 전극(DE)은 소스 전극(SE)과 함께 형성될 수 있다.
- [0154] 평탄화막은 제2 패널 기관(410) 상의 전면(全面)에 배치될 수 있다. 평탄화막의 내부에 구동 박막 트랜지스터(T2)가 배치될 수 있다. 일 예에 따른 평탄화막은 벤조사이클로부텐(benzocyclobutene) 또는 포토 아크릴(photo acryl)과 같은 유기 물질을 포함할 수 있으나, 이에 한정되지 않는다.
- [0155] 그루브(450)는 소정의 발광 영역으로, 반도체 소자가 배치될 수 있다. 여기서, 발광 영역은 디스플레이 장치에서 회로 영역을 제외한 나머지 영역으로 정의될 수 있다.
- [0156] 그루브(450)는 평탄화층(430)에서 오목하게 형성될 수 있다, 다만, 이에 한정되지 않는다.
- [0157] 반도체 소자는 그루브(450)에 배치될 수 있다. 반도체 소자의 제 1 및 제 2 전극은 디스플레이 장치의 회로(미도시됨)와 연결될 수 있다.
- [0158] 반도체 소자는 접착층(420)을 통해 그루브(450)에 접착될 수 있다. 여기서, 접착층(420)은 상기 제2 접합층일 수 있으나, 이에 한정하지 않는다.
- [0159] 반도체 소자의 제 2 전극(152)은 화소전극(AE)을 통해 구동 박막 트랜지스터(T2)의 소스 전극(SE)에 전기적으로 연결될 수 있다. 그리고 반도체 소자의 제1 전극(151)은 공통전극(CE)을 통해 공통 전원 라인(CL)에 연결될 수 있다.
- [0160] 제 1 및 제 2 전극(151, 152)은 서로 단차질 수 있으며, 제 1 및 제 2 전극(151, 152) 중 상대적으로 낮은 위치에 있는 전극(151)은 평탄화층(430)의 상면과 동일한 수평 선상에 위치할 수 있다. 다만, 이에 한정되지 않는다.
- [0161] 화소전극(AE)은 구동 박막 트랜지스터(T2)의 소스 전극(SE)과 반도체 소자의 제2 전극을 전기적으로 연결할 수 있다.
- [0162] 공통전극(CE)은 공통 전원 라인(CL)과 반도체 소자의 제1 전극을 전기적으로 연결할 수 있다.
- [0163] 화소전극(AE)과 공통전극(CE)은 각각 투명 도전성 물질을 포함할 수 있다. 투명 도전성 물질은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등의 물질을 포함할 수 있으나, 이에 한정되지 않는다.
- [0164] 본 발명의 실시예에 따른 디스플레이 장치는 SD(Standard Definition)급 해상도(760×480), HD(High definition)급 해상도(1180×720), FHD(Full HD)급 해상도(1920×1080), UH(Ultra HD)급 해상도(3480×2160), 또는 UHD급 이상의 해상도(예: 4K(K=1000), 8K 등)으로 구현될 수 있다. 이때, 실시 예에 따른 반도체 소자는 해상도에 맞게 복수로 배열되고 연결될 수 있다.
- [0165] 또한, 디스플레이 장치는 대각선 크기가 100인치 이상의 전광판이나 TV일 수 있으며, 픽셀을 발광다이오드(LED)로 구현할 수도 있다. 따라서, 전력 소비가 낮아지며 낮은 유지 비용으로 긴 수명으로 제공될 수 있고, 고휘도의 자발광 디스플레이로 제공될 수 있다.
- [0166] 실시 예는 반도체 소자를 이용하여 영상 및 이미지를 구현하므로 색순도(color purity) 및 색재현성(color reproduction)이 우수한 장점을 갖는다.
- [0167] 실시 예는 직진성이 우수한 발광소자 패키지를 이용하여 영상 및 이미지를 구현하므로 선명한 100인치 이상의 대형 표시장치를 구현할 수 있다.
- [0168] 실시 예는 저비용으로 고해상도의 100인치 이상의 대형 표시장치를 구현할 수 있다.
- [0169] 실시 예에 따른 반도체 소자는 도광판, 프리즘 시트, 확산 시트 등의 광학 부재를 더 포함하여 이루어져 백라이트 유닛으로 기능할 수 있다. 또한, 실시 예의 반도체 소자는 디스플레이 장치, 조명 장치, 지시 장치에 더 적용될 수 있다.
- [0170] 이 때, 디스플레이 장치는 바텀 커버, 반사판, 발광 모듈, 도광판, 광학 시트, 디스플레이 패널, 화상 신호 출력 회로 및 컬러 필터를 포함할 수 있다. 바텀 커버, 반사판, 발광 모듈, 도광판 및 광학 시트는 백라이트 유닛

(Backlight Unit)을 이룰 수 있다.

[0171] 반사판은 바텀 커버 상에 배치되고, 발광 모듈은 광을 방출한다. 도광판은 반사판의 전방에 배치되어 발광 모듈에서 발산되는 빛을 전방으로 안내하고, 광학 시트는 프리즘 시트 등을 포함하여 이루어져 도광판의 전방에 배치된다. 디스플레이 패널은 광학 시트 전방에 배치되고, 화상 신호 출력 회로는 디스플레이 패널에 화상 신호를 공급하며, 컬러 필터는 디스플레이 패널의 전방에 배치된다.

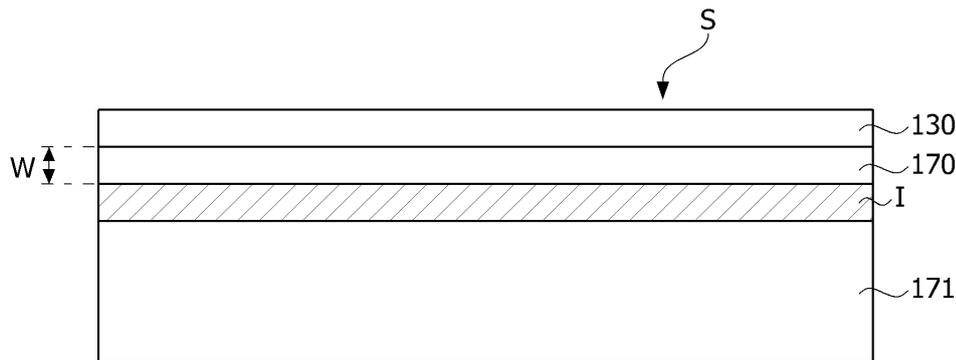
[0172] 그리고, 조명 장치는 기관과 실시 예의 반도체 소자를 포함하는 광원 모듈, 광원 모듈의 열을 발산시키는 방열부 및 외부로부터 제공받은 전기적 신호를 처리 또는 변환하여 광원 모듈로 제공하는 전원 제공부를 포함할 수 있다. 더욱이 조명 장치는, 램프, 헤드 램프, 또는 가로등 등을 포함할 수 있다.

[0173] 또한, 이동 단말의 카메라 플래시는 실시 예의 반도체 소자를 포함하는 광원 모듈을 포함할 수 있다.

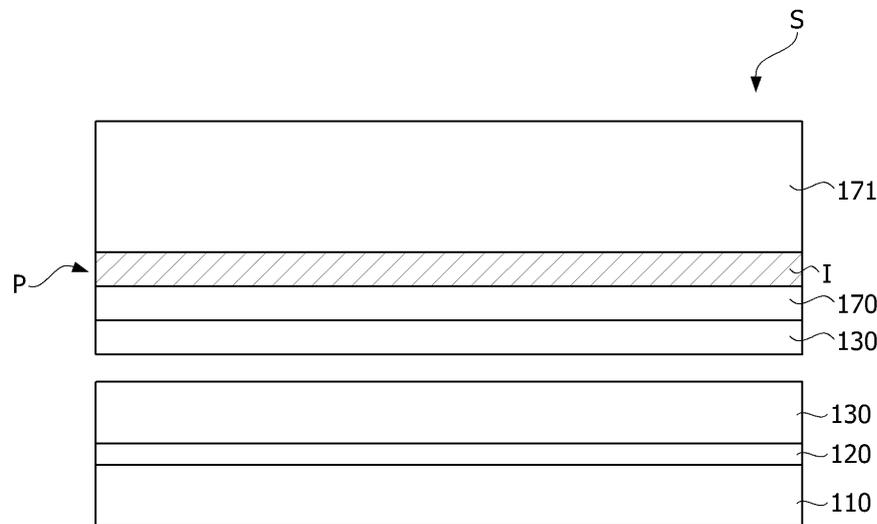
[0174] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

**도면**

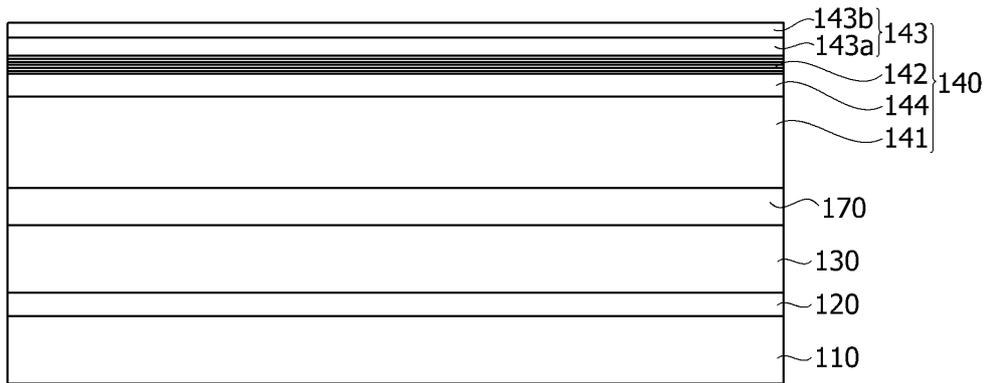
**도면1a**



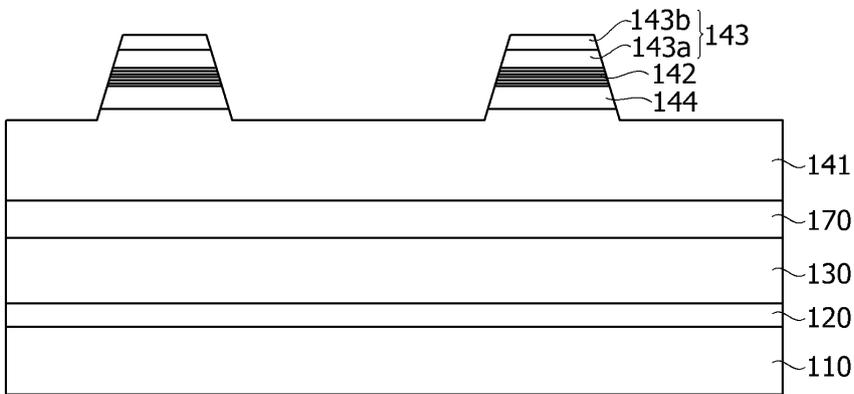
**도면1b**



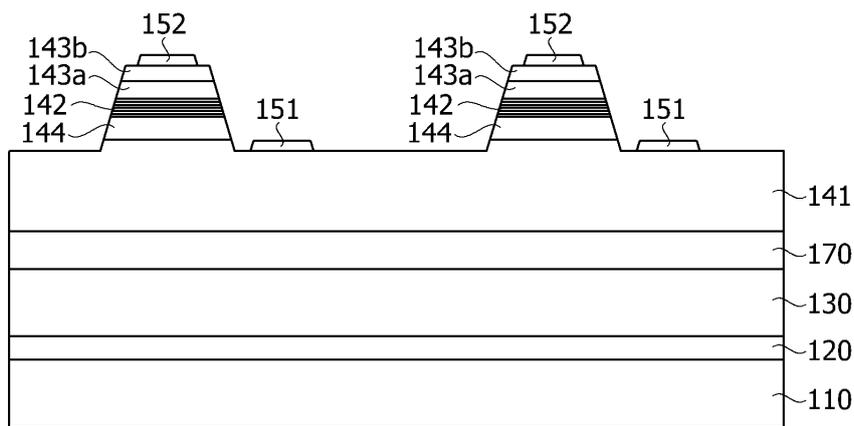
도면1c



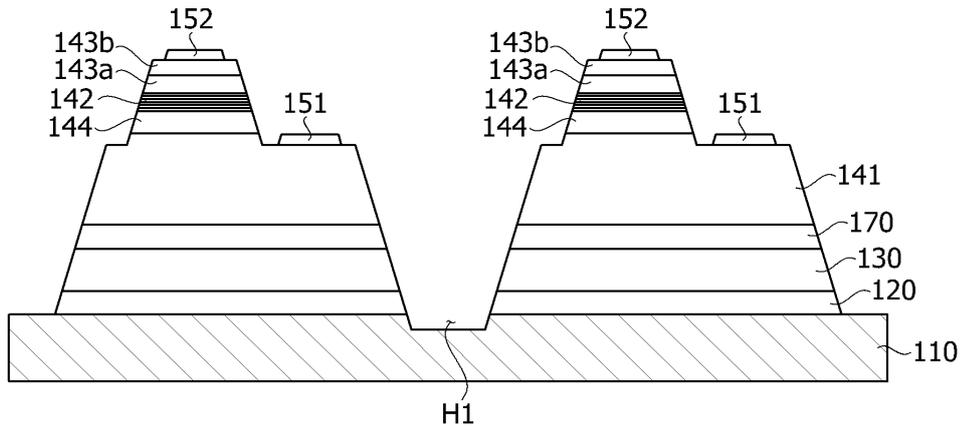
도면1d



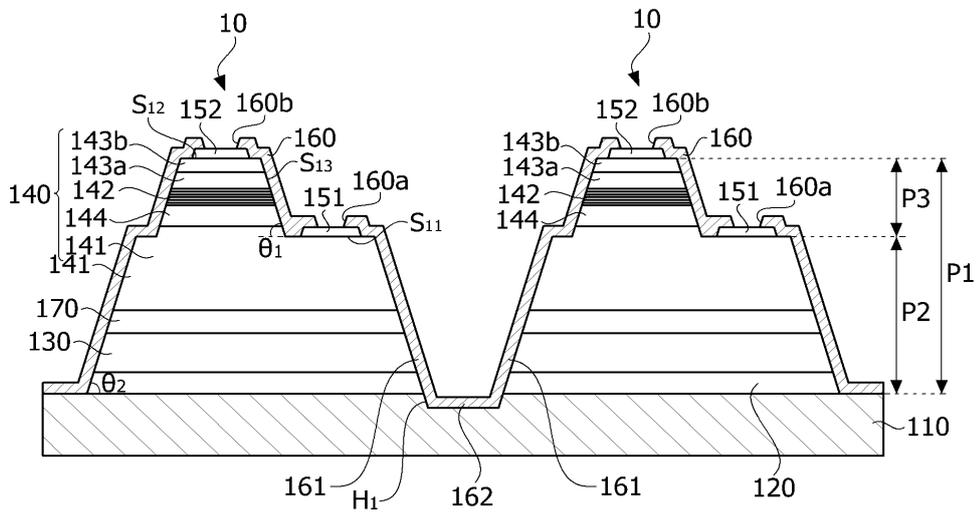
도면1e



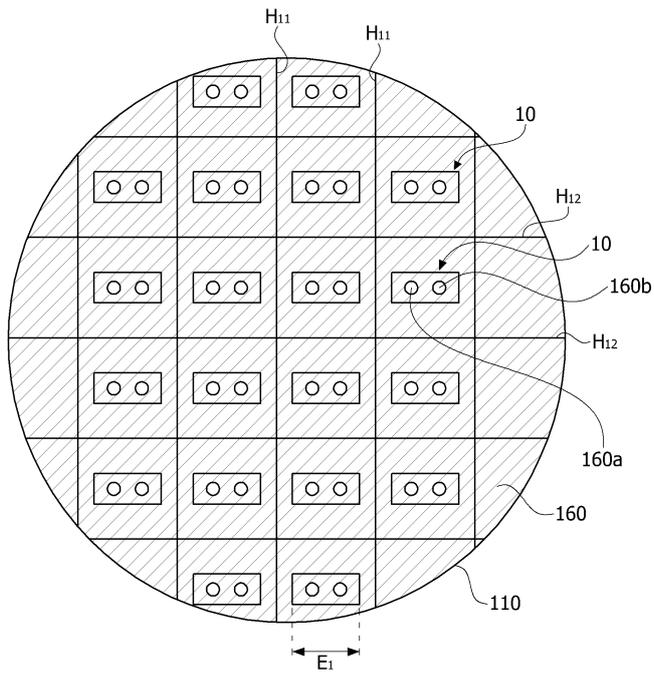
도면1f



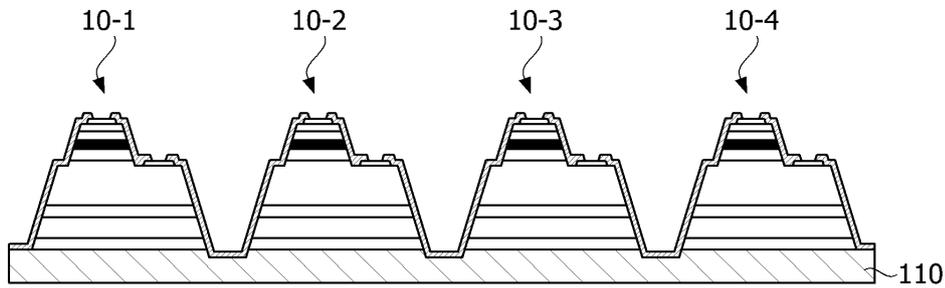
도면1g



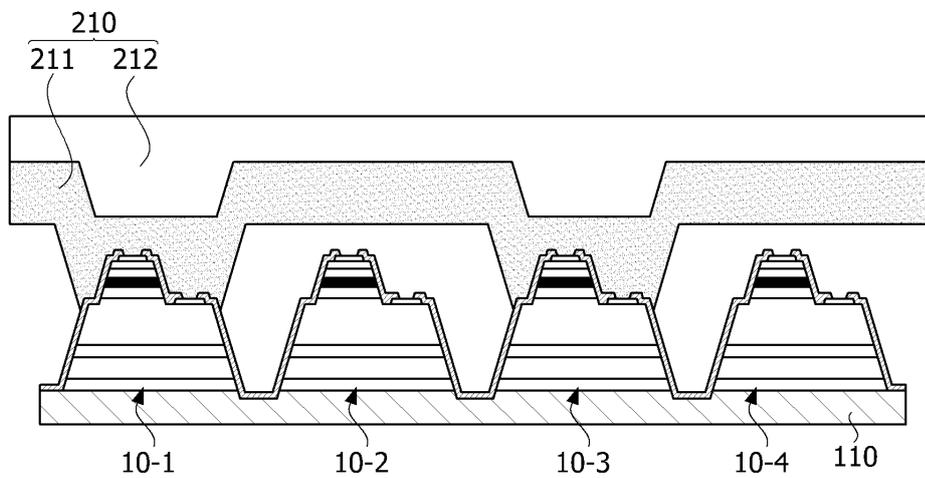
도면2



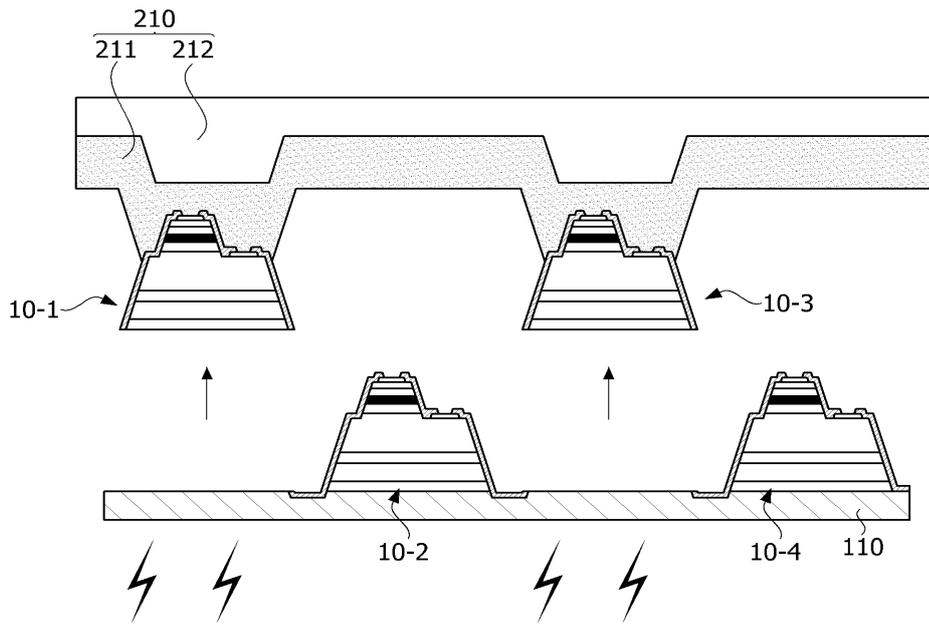
도면3a



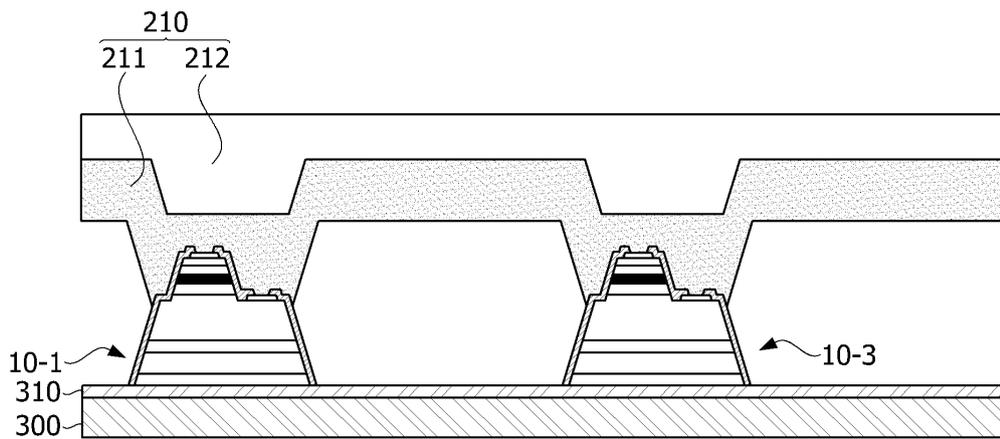
도면3b



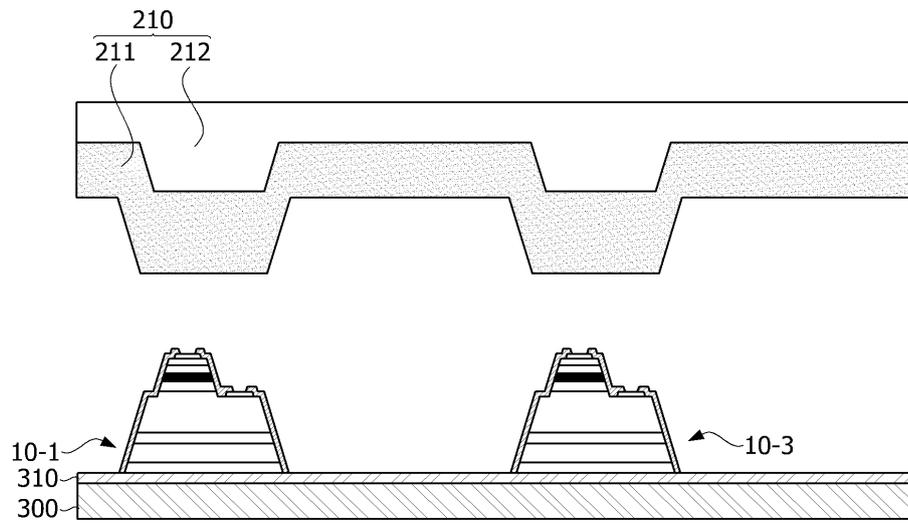
도면3c



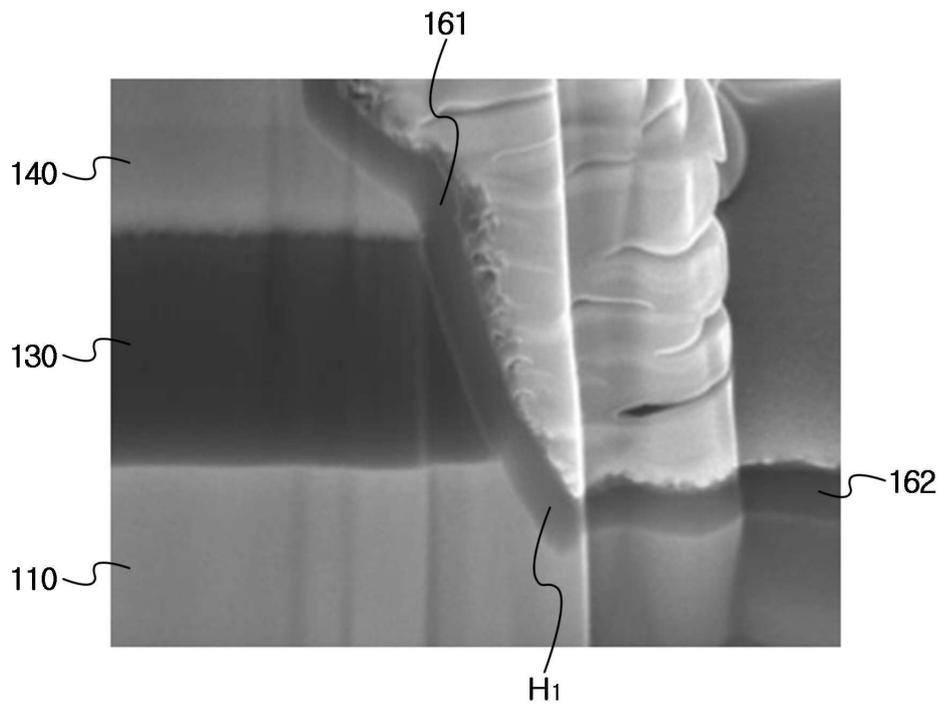
도면3d



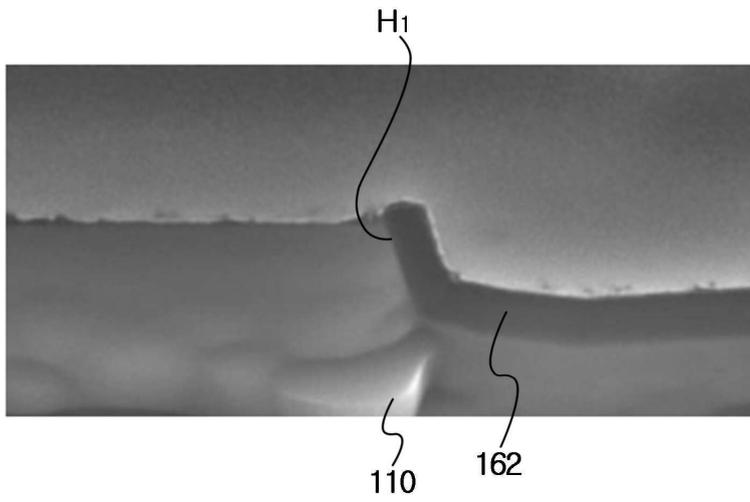
도면3e



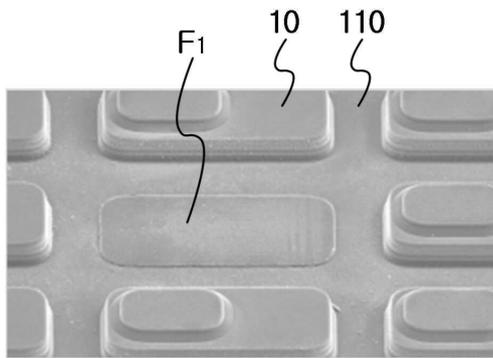
도면4a



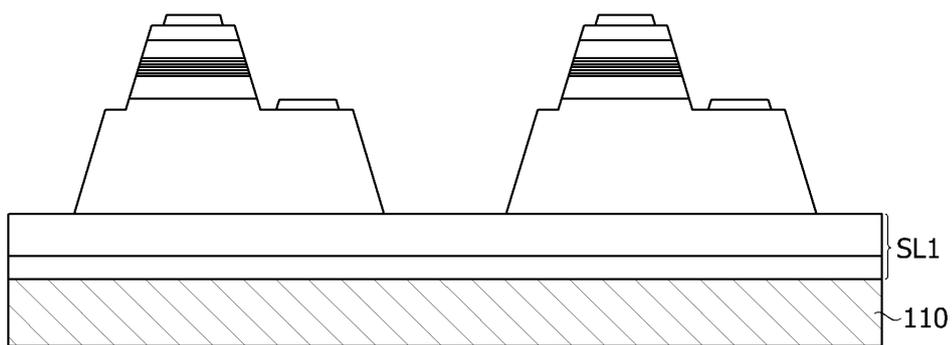
도면4b



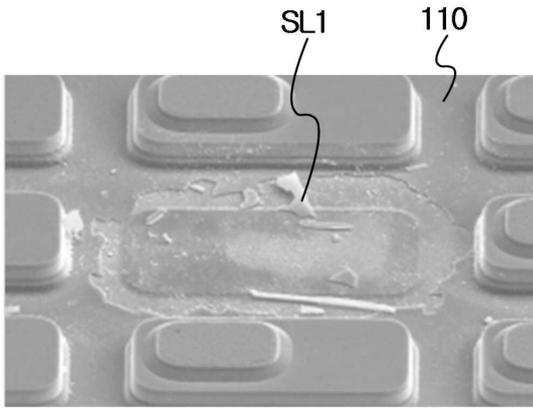
도면5



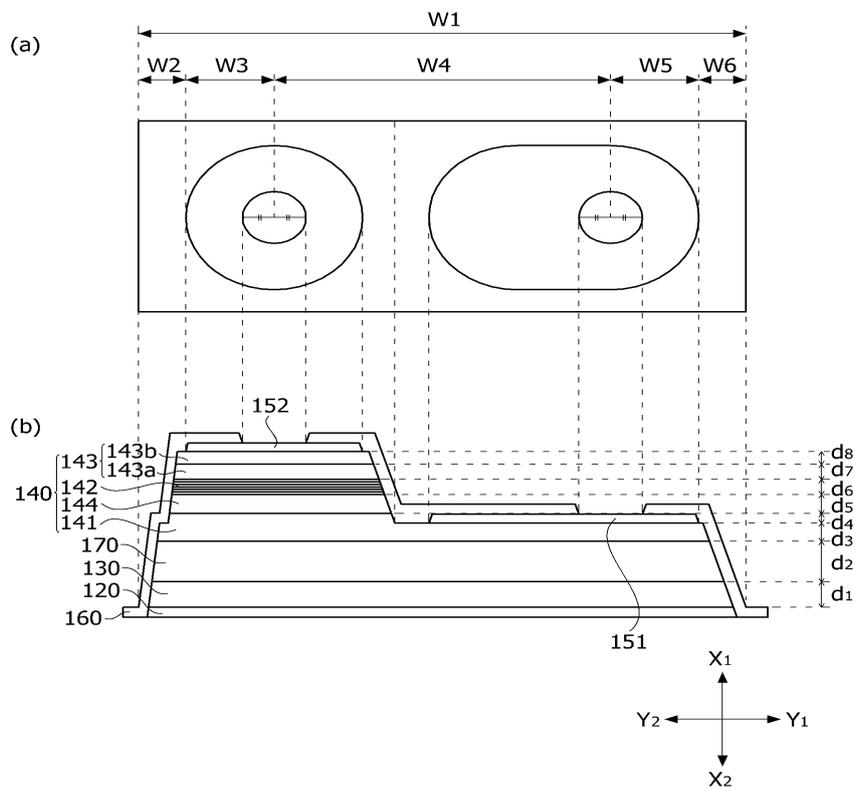
도면6



도면7



도면8



도면9

