



(12)发明专利

(10)授权公告号 CN 103959364 B

(45)授权公告日 2017.01.18

(21)申请号 201280059326.0

(22)申请日 2012.11.14

(65)同一申请的已公布的文献号  
申请公布号 CN 103959364 A

(43)申请公布日 2014.07.30

(30)优先权数据  
2011-261106 2011.11.30 JP

(85)PCT国际申请进入国家阶段日  
2014.05.30

(86)PCT国际申请的申请数据  
PCT/JP2012/080114 2012.11.14

(87)PCT国际申请的公布数据  
W02013/080845 EN 2013.06.06

(73)专利权人 株式会社半导体能源研究所  
地址 日本神奈川县厚木市

(72)发明人 丰高耕平

(74)专利代理机构 中国专利代理(香港)有限公司 72001

代理人 易皎鹤 陈岚

(51)Int.Cl.  
G09G 3/30(2006.01)  
G09G 3/20(2006.01)

(56)对比文件  
CN 101630475 A,2010.01.20,  
CN 1742309 A,2006.03.01,  
US 2011063262 A1,2011.03.17,  
JP 2008287134 A,2008.11.27,  
US 2010123654 A1,2010.05.20,  
CN 1716369 A,2006.01.04,  
JP 2005164891 A,2005.06.23,  
US 2004080474 A1,2004.04.29,

审查员 孟慧慧

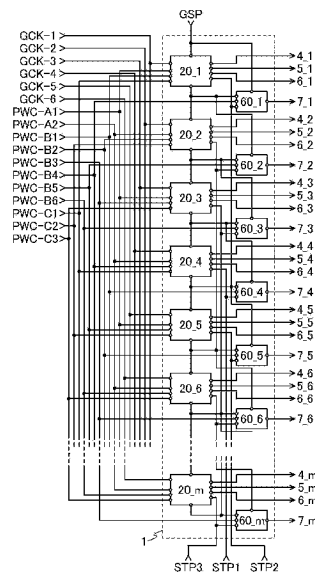
权利要求书3页 说明书16页 附图14页

(54)发明名称

显示装置

(57)摘要

本发明的一实施方式的目的之一是:在包括由N沟道型晶体管和P沟道型晶体管中的一方构成的扫描线驱动电路的显示装置中,降低对两种扫描线中的一方输出与另一方反相的信号或基本上反相的信号时的耗电量。本发明的一实施方式的显示装置包括:分别对两种扫描线中的一方输出信号的多个脉冲输出电路;分别对两种扫描线中的另一方输出与脉冲输出电路所输出的信号反相的信号或基本上反相的信号的多个反相脉冲输出电路。并且,多个反相脉冲输出电路分别根据用来使多个脉冲输出电路工作的信号而工作。由此,可以减少该反相脉冲输出电路中产生的直通电流。



1. 一种显示装置,包括:
  - 配置为 $m$ 行 $n$ 列的多个像素;
  - 与配置在相应的第一至第 $m$ 行的 $n$ 个像素电连接的相应的第一至第 $m$ 扫描线;
  - 与配置在相应的第一至第 $m$ 行的所述 $n$ 个像素电连接的相应的第一至第 $m$ 反相扫描线;以及
  - 与所述第一至第 $m$ 扫描线及所述第一至第 $m$ 反相扫描线电连接的移位寄存器,
  - 其中, $m$ 、 $n$ 为4以上的自然数,
  - 配置在所述第 $k$ 行的所述像素分别具有:
    - 当对所述第 $k$ 扫描线输入选择信号时变为导通的第一开关,以及
    - 当对所述第 $k$ 反相扫描线输入选择信号时变为导通的第二开关, $k$ 为 $m$ 以下的自然数,
  - 并且,所述移位寄存器具有:
    - 第一至第 $m$ 脉冲输出电路,以及
    - 第一至第 $m$ 反相脉冲输出电路,其中所述第 $s$ 脉冲输出电路在 $s$ 为1时被输入起始脉冲,或在 $s$ 为2以上且 $(m-1)$ 以下的自然数时被输入所述第 $(s-1)$ 脉冲输出电路所输出的移位脉冲,并且所述第 $s$ 脉冲输出电路对所述第 $s$ 扫描线输出选择信号并对所述第 $(s+1)$ 脉冲输出电路输出移位脉冲,
  - 所述第 $s$ 脉冲输出电路具有当被输入所述起始脉冲或所述第 $(s-1)$ 脉冲输出电路所输出的所述移位脉冲时变为导通并且直到第一时期结束为止都处于导通状态的第一晶体管及第二晶体管,
  - 在所述第一时期中,通过利用所述第一晶体管的栅极与源极间的电容耦合和所述第二晶体管的栅极与源极间的电容耦合中的至少一方,所述第 $s$ 脉冲输出电路从所述第一晶体管的所述源极输出作为选择信号的与对所述第一晶体管的漏极提供的电位基本上相等的电位,并且,从所述第二晶体管的所述源极输出作为移位脉冲的与对所述第二晶体管的漏极提供的电位基本上相等的电位,
  - 所述第 $s$ 反相脉冲输出电路在 $s$ 为1时被输入所述起始脉冲或被输入所述第 $(s-1)$ 脉冲输出电路所输出的所述移位脉冲,并且所述第 $s$ 反相脉冲输出电路对所述第 $s$ 反相扫描线输出选择信号,
  - 所述第 $s$ 反相脉冲输出电路具有当被输入所述起始脉冲或所述第 $(s-1)$ 脉冲输出电路所输出的所述移位脉冲时变为截止并且直到第二时期结束为止处于截止状态的第三晶体管,
  - 在所述第二时期之后,所述第 $s$ 反相脉冲输出电路从所述第三晶体管的源极向所述第 $s$ 反相扫描线输出选择信号,
  - $s$ 为1以上且 $(m-1)$ 以下的自然数,
  - 并且所述第一时期相当于或包含于所述第二时期中。
2. 根据权利要求1所述的显示装置,其中所述第 $s$ 脉冲输出电路输出所述移位脉冲的时期与所述第 $(s+1)$ 脉冲输出电路输出所述移位脉冲的时期重叠。
3. 根据权利要求1所述的显示装置,其中所述像素中的所述第一开关和所述第二开关具有相同的导电型。

4. 根据权利要求1所述的显示装置，

其中所述像素具有：

根据提供的电流发光的有机电致发光元件，以及

从源极向所述有机电致发光元件提供电流的驱动晶体管，

并且提供到所述有机电致发光元件的电流不取决于所述驱动晶体管的阈值电压。

5. 一种显示装置，包括：

配置为 $m$ 行 $n$ 列的多个像素，其中 $m$ 、 $n$ 为4以上的自然数；

与配置在相应的第一至第 $m$ 行的 $n$ 个像素电连接的相应的第一至第 $m$ 扫描线A；

与配置在相应的第一至第 $m$ 行的所述 $n$ 个像素电连接的相应的第一至第 $m$ 扫描线B；

与配置在相应的第一至第 $m$ 行的所述 $n$ 个像素电连接的相应的第一至第 $m$ 扫描线C；

与配置在相应的第一至第 $m$ 行的所述 $n$ 个像素电连接的相应的第一至第 $m$ 反相扫描线；

以及

与所述第一至第 $m$ 扫描线A、所述第一至第 $m$ 扫描线B、所述第一至第 $m$ 扫描线C及所述第一至第 $m$ 反相扫描线电连接的移位寄存器，

其中，配置在所述第 $k$ 行的所述像素分别具有：

当对所述第 $k$ 扫描线A输入选择信号时变为导通的第一开关，

当对所述第 $k$ 扫描线B输入选择信号时变为导通的第二开关，

当对所述第 $k$ 扫描线C输入选择信号时变为导通的第三开关，以及

当对所述第 $k$ 反相扫描线输入选择信号时变为导通的第四开关，

$k$ 为 $m$ 以下的自然数，

并且，所述移位寄存器具有：

第一至第 $m$ 脉冲输出电路，以及

第一至第 $m$ 反相脉冲输出电路，

其中所述第 $s$ 脉冲输出电路在 $s$ 为1时被输入起始脉冲，或在 $s$ 为2以上且 $(m-1)$ 以下的自然数时被输入所述第 $(s-1)$ 脉冲输出电路所输出的移位脉冲，并且所述第 $s$ 脉冲输出电路对所述第 $s$ 扫描线A、B及C输出选择信号并对所述第 $(s+1)$ 脉冲输出电路输出移位脉冲，

所述第 $s$ 脉冲输出电路具有当被输入所述起始脉冲或所述第 $(s-1)$ 脉冲输出电路所输出的所述移位脉冲时变为导通并且直到第一时期结束为止都处于导通状态的第一至第四晶体管，

在所述第一时期中，通过利用所述第一晶体管的栅极与源极间的电容耦合、所述第二晶体管的栅极与源极间的电容耦合、所述第三晶体管的栅极与源极间的电容耦合和所述第四晶体管的栅极与源极间的电容耦合中的至少一个，所述第 $s$ 脉冲输出电路从所述第一晶体管的所述源极输出作为用于所述第 $s$ 扫描线A的选择信号的与对所述第一晶体管的漏极提供的电位基本上相等的电位，从所述第二晶体管的所述源极输出作为用于所述第 $s$ 扫描线B的选择信号的与对所述第二晶体管的漏极提供的电位基本上相等的电位，从所述第三晶体管的所述源极输出作为用于所述第 $s$ 扫描线C的选择信号的与对所述第三晶体管的漏极提供的电位基本上相等的电位，并且，从所述第四晶体管的所述源极输出作为移位脉冲的与对所述第四晶体管的漏极提供的电位基本上相等的电位，

所述第 $s$ 反相脉冲输出电路在 $s$ 为1时被输入所述起始脉冲或被输入所述第 $(s-1)$ 脉冲

输出电路所输出的所述移位脉冲,并且所述第s反相脉冲输出电路对所述第s反相扫描线输出选择信号,

所述第s反相脉冲输出电路具有当被输入所述起始脉冲或所述第(s-1)脉冲输出电路所输出的所述移位脉冲时变为截止并且直到第二时期结束为止处于截止状态的第五晶体管,

在所述第二时期之后,所述第s反相脉冲输出电路从所述第五晶体管的源极向所述第s反相扫描线输出选择信号,

s为1以上且(m-1)以下的自然数,

并且所述第一时期相当于或包含于所述第二时期中。

6.根据权利要求5所述的显示装置,其中所述第s脉冲输出电路输出所述移位脉冲的时期与所述第(s+1)脉冲输出电路输出所述移位脉冲的时期重叠。

7.根据权利要求5所述的显示装置,其中所述像素中的所述第一开关、所述第二开关、所述第三开关和所述第四开关具有相同的导电型。

8.根据权利要求5所述的显示装置,

其中所述像素具有:

根据提供的电流发光的有机电致发光元件,以及

从源极向所述有机电致发光元件提供电流的驱动晶体管,

并且提供到所述有机电致发光元件的电流不取决于所述驱动晶体管的阈值电压。

## 显示装置

### 技术领域

[0001] 本发明涉及一种显示装置。尤其是一种包括仅由N沟道型晶体管或P沟道型晶体管构成的移位寄存器的显示装置。

### 背景技术

[0002] 有源矩阵型显示装置广为周知。该显示装置的以矩阵状设置的多个像素中分别设置有开关。并且,各像素根据利用该开关输入的所希望的电位(图像信号)进行显示。

[0003] 在有源矩阵型显示装置中,需要通过控制扫描线的电位来控制设置于各像素中的开关的开和关的电路(扫描线驱动电路)。通常扫描线驱动电路由N沟道型晶体管及P沟道型晶体管的组合而构成,但是也可以由N沟道型晶体管和P沟道型晶体管中的一方构成。注意,与由后者构成的扫描线驱动电路相比,由前者构成的扫描线驱动电路的耗电量更低。另一方面,与由前者构成的扫描线驱动电路相比,由后者构成的扫描线驱动电路的制造工序数更少。

[0004] 另外,当使用N沟道型晶体管和P沟道型晶体管中的一方构成扫描线驱动电路时,输入到扫描线的电位与提供到该扫描线驱动电路的电源电位相比有所变动。具体而言,当仅使用N沟道型晶体管构成扫描线驱动电路时,在向该扫描线驱动电路提供高电源电位的布线与扫描线之间至少设置有一个N沟道型晶体管。此时,输入到扫描线的高电位至少从该高电源电位下降一个N沟道型晶体管的阈值电压。同样地,当仅使用P沟道型晶体管构成扫描线驱动电路时,输入到扫描线的低电位高于提供到扫描线驱动电路的低电源电位。

[0005] 鉴于上述问题,已提出一种扫描线驱动电路:该扫描线驱动电路由N沟道型晶体管和P沟道型晶体管中的一方构成,并且能够使提供到该扫描线驱动电路的电源电位不发生变动地输出到扫描线。

[0006] 例如,专利文献1公开的扫描线驱动电路设置有如下N沟道型晶体管,该N沟道型晶体管用来控制以一定周期反复高电源电位与低电源电位的时钟信号及扫描线之间的电连接。并且,当该N沟道型晶体管的漏极被输入高电源电位时,可以利用栅极与源极间的电容耦合使栅极电位上升。由此,在专利文献1所公开的扫描线驱动电路中,可以从上述N沟道型晶体管的源极向扫描线输出与该高电源电位相等或基本上相等的电位。

[0007] 但是,有源矩阵型显示装置的各像素中设置的开关不局限于一个。还有各像素中设置有多个开关并通过分别独立地控制开和关来进行显示的显示装置。例如,专利文献2所公开的显示装置在各像素中设置有分别利用不同的扫描线控制开和关的两种晶体管(P沟道型晶体管及N沟道型晶体管)。并且,为了控制另行设置的两种扫描线的电位,设置了两种扫描线驱动电路(扫描线驱动电路A及扫描线驱动电路B)。并且,在专利文献2所公开的显示装置中公开了一种另行设置的扫描线驱动电路输出基本上反相的信号的结构。

[0008] 如专利文献2所示,还有通过使扫描线驱动电路对两种扫描线中的一方输出与另一方反相的信号或基本上反相的信号 of 的显示装置。这里,上述扫描线驱动电路也可以使用N沟道型晶体管和P沟道型晶体管中的一方构成。例如,可以将专利文献1所公开的扫描线驱

动电路的输出信号输出到两种扫描线中的一方及反相器中,并将该反相器的输出信号输出到两种扫描线中的另一方。

[0009] [参考文献]

[0010] [专利文献1]日本专利申请公开第2008-122939号公报

[0011] [专利文献2]日本专利申请公开第2006-106786号公报。

## 发明内容

[0012] 但是,当上述反相器使用N沟道型晶体管和P沟道型晶体管中的一方构成时,会产生较大的直通电流。这会直接导致显示装置的耗电量增大。

[0013] 鉴于上述问题,本发明的一实施方式的目的之一是:在包括由N沟道型晶体管和P沟道型晶体管中的一方构成的扫描线驱动电路的显示装置中,降低对两种扫描线中的一方输出与另一方反相的信号或基本上反相的信号时的耗电量。

[0014] 本发明的一实施方式的显示装置包括:分别对两种扫描线中的一方输出信号的多个脉冲输出电路;分别对两种扫描线中的另一方输出与脉冲输出电路所输出的信号反相的信号或基本上反相的信号的多个反相脉冲输出电路。并且,多个反相脉冲输出电路分别根据用来使多个脉冲输出电路工作的信号而工作。

[0015] 具体而言,本发明的一实施方式是一种显示装置,其包括:配置为 $m$ 行 $n$ 列( $m$ 、 $n$ 为4以上的自然数)的多个像素;与配置在第一行的 $n$ 个像素电连接的第一扫描线及第一反相扫描线至与配置在第 $m$ 行的 $n$ 个像素电连接的第 $m$ 扫描线及第 $m$ 反相扫描线;以及与第一扫描线至第 $m$ 扫描线及第一反相扫描线至第 $m$ 反相扫描线电连接的移位寄存器。配置在第 $k$ 行( $k$ 为 $m$ 以下的自然数)的 $n$ 个像素分别具有当第 $k$ 扫描线被输入选择信号时变为导通状态的第一开关以及当第 $k$ 反相扫描线被输入选择信号时变为导通状态的第二开关。移位寄存器具有第一脉冲输出电路至第 $m$ 脉冲输出电路以及第一反相脉冲输出电路至第 $m$ 反相脉冲输出电路。第 $s$ ( $s$ 为 $(m-2)$ 以下的自然数)脉冲输出电路被输入起始脉冲(仅限于 $s$ 为1时)或第 $(s-1)$ 脉冲输出电路所输出的移位脉冲,并对第 $s$ 扫描线输出选择信号且对第 $(s+1)$ 脉冲输出电路输出移位脉冲,并且具有当被输入起始脉冲或第 $(s-1)$ 脉冲输出电路所输出的移位脉冲时变为导通状态并在第一时期中一直保持导通状态的第一晶体管及第二晶体管。在第一时期中,通过利用第一晶体管的栅极与源极间的电容耦合和第二晶体管的栅极与源极间的电容耦合中的至少一方,第 $s$ 脉冲输出电路从第一晶体管的源极输出作为选择信号的与被输入到第一晶体管的漏极的电位相等或基本上相等的电位,并且,从第二晶体管的源极输出作为移位脉冲的与被输入到第二晶体管的漏极的电位相等或基本上相等的电位。第 $s$ 反相脉冲输出电路被输入起始脉冲(仅限于 $s$ 为1时)或第 $(s-1)$ 脉冲输出电路所输出的移位脉冲并对第 $s$ 反相扫描线输出选择信号,并且具有当被输入起始脉冲或第 $(s-1)$ 脉冲输出电路所输出的移位脉冲时变为截止状态并在第二时期中一直保持截止状态的第三晶体管。在第二时期之后,第 $s$ 反相脉冲输出电路从第三晶体管的源极向第 $s$ 反相扫描线输出选择信号,第一时期是与第二时期相同或包含于第二时期中的时期。

[0016] 本发明的一实施方式的显示装置利用多种信号控制反相脉冲输出电路的工作。因此,可以降低该反相脉冲输出电路中产生的直通电流。作为该多种信号使用用来使多个脉冲输出电路工作的信号。也就是说,不需要另行生成信号就能使该反相脉冲输出电路进行

工作。

### 附图说明

- [0017] 图1是示出显示装置的结构例的图；  
[0018] 图2是示出扫描线驱动电路的结构例的图；  
[0019] 图3是示出各种信号的波形的一个例子的图；  
[0020] 图4A是示出脉冲输出电路的端子的图，4B是示出反相脉冲输出电路的端子的图；  
[0021] 图5A是示出脉冲输出电路的结构例的图，5B是示出脉冲输出电路的工作例的图；  
[0022] 图6A是示出反相脉冲输出电路的结构例的图，6B是示出反相脉冲输出电路的工作例的图；  
[0023] 图7A是示出像素的结构例的图，7B是示出像素的工作例的图；  
[0024] 图8是示出扫描线驱动电路的结构例的图；  
[0025] 图9A和9B是示出脉冲输出电路的结构例的图；  
[0026] 图10是示出脉冲输出电路的结构例的图；  
[0027] 图11是示出脉冲输出电路的结构例的图；  
[0028] 图12A和12B是示出反相脉冲输出电路的结构例的图；  
[0029] 图13A至13F是示出电子设备的一个例子的图。

### 具体实施方式

[0030] 下面，使用附图对本发明的实施方式进行详细说明。但是，本发明不局限于以下说明，所属技术领域的普通技术人员可以很容易地理解一个事实就是在不脱离本发明的宗旨及其范围的情况下可以被变换或被修改为各种各样的形式。因此，本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0031] 首先，参照图1至图7B对本发明的一实施方式的显示装置的结构例进行说明。

[0032] <显示装置的结构例>

[0033] 图1是示出显示装置的结构例的图。图1所示的显示装置包括：配置为m行n列的多个像素10；扫描线驱动电路1；信号线驱动电路2；电流源3；分别与配置于多个像素10中的一行的像素电连接且电位由扫描线驱动电路1控制的m个扫描线4、m个扫描线5、m个扫描线6以及m个反相扫描线7；分别与配置于多个像素10中的一列的像素电连接且电位由信号线驱动电路2控制的n个信号线8；以及设置有多个支线且与电流源3电连接的电源线9。

[0034] <扫描线驱动电路的结构例>

[0035] 图2是示出图1所示的显示装置所具有扫描线驱动电路1的结构例的图。图2所示的扫描线驱动电路1包括：提供第一扫描线驱动电路用时钟信号(GCK-1)(以下称为第一时钟信号(GCK-1))的布线至提供第六扫描线驱动电路用时钟信号(GCK-6)(以下称为第六时钟信号(GCK-6))的布线；提供第一脉冲宽度控制信号A(PWC-A1)的布线及提供第二脉冲宽度控制信号A(PWC-A2)的布线；提供第一脉冲宽度控制信号B(PWC-B1)的布线至提供第六脉冲宽度控制信号B(PWC-B6)的布线；提供第一脉冲宽度控制信号C(PWC-C1)的布线至提供第三脉冲宽度控制信号C(PWC-C3)的布线；通过扫描线4\_1、扫描线5\_1及扫描线6\_1与配置于第一行的n个像素10电连接的第一脉冲输出电路20\_1至通过扫描线4\_m、扫描线5\_m及扫描线

6<sub>m</sub>与配置于第m行的n个像素10电连接的第m脉冲输出电路20<sub>m</sub>;以及通过反相扫描线7<sub>1</sub>与配置于第一行的n个像素10电连接的第一反相脉冲输出电路60<sub>1</sub>至通过反相扫描线7<sub>m</sub>与配置于第m行的n个像素10电连接的第m反相脉冲输出电路60<sub>m</sub>。

[0036] 另外,第一脉冲输出电路20<sub>1</sub>至第m脉冲输出电路20<sub>m</sub>能够利用输入到第一脉冲输出电路20<sub>1</sub>的扫描线驱动电路用起始脉冲(GSP)使移位脉冲依次移位。具体而言,第一脉冲输出电路20<sub>1</sub>被输入扫描线驱动电路用起始脉冲(GSP)后对第二脉冲输出电路20<sub>2</sub>输出移位脉冲。接着,第二脉冲输出电路20<sub>2</sub>被输入从第一脉冲输出电路20<sub>1</sub>输出的移位脉冲后对第三脉冲输出电路20<sub>3</sub>输出移位脉冲。一直进行上述工作直至第m脉冲输出电路20<sub>m</sub>被输入移位脉冲。

[0037] 并且,作为第一脉冲输出电路20<sub>1</sub>至第m脉冲输出电路20<sub>m</sub>,当被输入扫描线驱动电路用起始脉冲(GSP)或移位脉冲时,能够分别对扫描线4<sub>1</sub>至扫描线4<sub>m</sub>、扫描线5<sub>1</sub>至扫描线5<sub>m</sub>及扫描线6<sub>1</sub>至扫描线6<sub>m</sub>输出选择信号。注意,选择信号是指用来使开关变为导通状态的信号,该开关分别根据扫描线4<sub>1</sub>至扫描线4<sub>m</sub>、扫描线5<sub>1</sub>至扫描线5<sub>m</sub>及扫描线6<sub>1</sub>至扫描线6<sub>m</sub>的电位控制。

[0038] 图3是示出上述信号的具体波形的一个例子的图。

[0039] 图3所示的第一时钟信号(GCK-1)是周期性地反复高电平电位(高电源电位(V<sub>dd</sub>))和低电平电位(低电源电位(V<sub>ss</sub>))的占空比为1/2的信号。另外,第二时钟信号(GCK-2)是相位从第一时钟信号(GCK-1)错开1/6周期的信号,第三时钟信号(GCK-3)是相位从第一时钟信号(GCK-1)错开1/3周期的信号,第四时钟信号(GCK-4)是相位从第一时钟信号(GCK-1)错开1/2周期的信号,第五时钟信号(GCK-5)是相位从第一时钟信号(GCK-1)错开2/3周期的信号,第六时钟信号(GCK-6)是相位从第一时钟信号(GCK-1)错开5/6周期的信号。

[0040] 图3所示的第一脉冲宽度控制信号A(PWC-A1)是周期性地反复高电平电位(高电源电位(V<sub>dd</sub>))和低电平电位(低电源电位(V<sub>ss</sub>))的占空比为2/5的信号。另外,第二脉冲宽度控制信号A(PWC-A2)是相位从第一脉冲宽度控制信号A(PWC-A1)错开1/2周期的信号。

[0041] 图3所示的第一脉冲宽度控制信号B(PWC-B1)是周期性地反复高电平电位(高电源电位(V<sub>dd</sub>))和低电平电位(低电源电位(V<sub>ss</sub>))的占空比为2/15的信号。另外,第二脉冲宽度控制信号B(PWC-B2)是相位从第一脉冲宽度控制信号B(PWC-B1)错开1/6周期的信号,第三脉冲宽度控制信号B(PWC-B3)是相位从第一脉冲宽度控制信号B(PWC-B1)错开1/3周期的信号,第四脉冲宽度控制信号B(PWC-B4)是相位从第一脉冲宽度控制信号B(PWC-B1)错开1/2周期的信号,第五脉冲宽度控制信号B(PWC-B5)是相位从第一脉冲宽度控制信号B(PWC-B1)错开2/3周期的信号,第六脉冲宽度控制信号B(PWC-B6)是相位从第一脉冲宽度控制信号B(PWC-B1)错开5/6周期的信号。

[0042] 图3所示的第一脉冲宽度控制信号C(PWC-C1)是周期性地反复高电平电位(高电源电位(V<sub>dd</sub>))和低电平电位(低电源电位(V<sub>ss</sub>))的占空比为4/15的信号。另外,第一脉冲宽度控制信号C(PWC-C1)在第二脉冲宽度控制信号B(PWC-B2)变为高电平电位的时期及第五脉冲宽度控制信号B(PWC-B5)变为高电平电位的时期中变为高电平电位。另外,第二脉冲宽度控制信号C(PWC-C2)是相位从第一脉冲宽度控制信号C(PWC-C1)错开1/3周期的信号,第三脉冲宽度控制信号C(PWC-C3)是相位从第一脉冲宽度控制信号C(PWC-C1)错开2/3周期的信号。



[0043] 在图2所示的显示装置中,第一脉冲输出电路20\_1至第m脉冲输出电路20\_m可以使用具有相同结构的电路。但是,各脉冲输出电路所具有的多个端子的电连接关系各不相同。参照图2及图4A对其具体连接关系进行说明。

[0044] 第一脉冲输出电路20\_1至第m脉冲输出电路20\_m分别具有端子21至端子30。另外,端子21至端子25及端子29为输入端子,端子26至28及端子30为输出端子。

[0045] 首先,对端子21进行说明。第一脉冲输出电路20\_1的端子21与提供扫描线驱动电路用起始脉冲(GSP)的布线电连接,第二脉冲输出电路20\_2至第m脉冲输出电路20\_m的端子21与前级的脉冲输出电路的端子30电连接。

[0046] 接着,对端子22进行说明。第(6a-5)脉冲输出电路20\_6a-5(a为m/6以下的自然数)的端子22与提供第一时钟信号(GCK-1)的布线电连接,第(6a-4)脉冲输出电路20\_6a-4的端子22与提供第二时钟信号(GCK-2)的布线电连接,第(6a-3)脉冲输出电路20\_6a-3的端子22与提供第三时钟信号(GCK-3)的布线电连接,第(6a-2)脉冲输出电路20\_6a-2的端子22与提供第四时钟信号(GCK-4)的布线电连接,第(6a-1)脉冲输出电路20\_6a-1的端子22与提供第五时钟信号(GCK-5)的布线电连接,第6a脉冲输出电路20\_6a的端子22与提供第六时钟信号(GCK-6)的布线电连接。

[0047] 接着,对端子23进行说明。第(6a-5)脉冲输出电路20\_6a-5的端子23、第(6a-3)脉冲输出电路20\_6a-3的端子23及第(6a-1)脉冲输出电路20\_6a-1的端子23与提供第一脉冲宽度控制信号A(PWC-A1)的布线电连接,第(6a-4)脉冲输出电路20\_6a-4的端子23、第(6a-2)脉冲输出电路20\_6a-2的端子23及第6a脉冲输出电路20\_6a的端子23与提供第二脉冲宽度控制信号A(PWC-A2)的布线电连接。

[0048] 接着,对端子24进行说明。第(6a-5)脉冲输出电路20\_6a-5的端子24与提供第一脉冲宽度控制信号B(PWC-B1)的布线电连接,第(6a-4)脉冲输出电路20\_6a-4的端子24与提供第二脉冲宽度控制信号B(PWC-B2)的布线电连接,第(6a-3)脉冲输出电路20\_6a-3的端子24与提供第三脉冲宽度控制信号B(PWC-B3)的布线电连接,第(6a-2)脉冲输出电路20\_6a-2的端子24与提供第四脉冲宽度控制信号B(PWC-B4)的布线电连接,第(6a-1)脉冲输出电路20\_6a-1的端子24与提供第五脉冲宽度控制信号B(PWC-B5)的布线电连接,第6a脉冲输出电路20\_6a的端子24与提供第六脉冲宽度控制信号B(PWC-B6)的布线电连接。

[0049] 接着,对端子25进行说明。第(6a-5)脉冲输出电路20\_6a-5的端子25及第(6a-2)脉冲输出电路20\_6a-2的端子25与提供第一脉冲宽度控制信号C(PWC-C1)的布线电连接,第(6a-4)脉冲输出电路20\_6a-4的端子25及第(6a-1)脉冲输出电路20\_6a-1的端子25与提供第二脉冲宽度控制信号C(PWC-C2)的布线电连接,第(6a-3)脉冲输出电路20\_6a-3的端子25及第6a脉冲输出电路20\_6a的端子25与提供第三脉冲宽度控制信号C(PWC-C3)的布线电连接。

[0050] 接着,对端子26进行说明。第x脉冲输出电路20\_x(x为m以下的自然数)的端子26与配置于第x行的扫描线4\_x电连接。

[0051] 接着,对端子27进行说明。第x脉冲输出电路20\_x的端子27与配置于第x行的扫描线5\_x电连接。

[0052] 接着,对端子28进行说明。第x脉冲输出电路20\_x的端子28与配置于第x行的扫描线6\_x电连接。

[0053] 接着,对端子29进行说明。第 $y$ 脉冲输出电路 $20\_y$ ( $y$ 为 $(m-3)$ 以下的自然数)的端子29与第 $(y+3)$ 脉冲输出电路 $20\_y+3$ 的端子30电连接,第 $(m-2)$ 脉冲输出电路 $20\_m-2$ 的端子29与提供第 $(m-2)$ 脉冲输出电路用停止信号(STP1)的布线电连接,第 $(m-1)$ 脉冲输出电路 $20\_m-1$ 的端子29与提供第 $(m-1)$ 脉冲输出电路用停止信号(STP2)的布线电连接,第 $m$ 脉冲输出电路 $20\_m$ 的端子29与提供第 $m$ 脉冲输出电路用停止信号(STP3)的布线电连接。另外,当设置有第 $(m+1)$ 脉冲输出电路时,第 $(m-2)$ 脉冲输出电路用停止信号(STP1)是相当于从该第 $(m+1)$ 脉冲输出电路的端子30输出的信号,当设置有第 $(m+2)$ 脉冲输出电路时,第 $(m-1)$ 脉冲输出电路用停止信号(STP2)是相当于从该第 $(m+2)$ 脉冲输出电路的端子30输出的信号,当设置有第 $(m+3)$ 脉冲输出电路时,第 $m$ 脉冲输出电路用停止信号(STP3)是相当于从该第 $(m+3)$ 脉冲输出电路的端子30输出的信号。具体地,实际上可以作为虚拟电路设置第 $(m+1)$ 脉冲输出电路至第 $(m+3)$ 脉冲输出电路或从外部直接输入该信号等。

[0054] 由于已经说明了各脉冲输出电路的端子30的连接关系,所以在此援用上述说明。

[0055] 另外,在图2所示的显示装置中,第一反相脉冲输出电路 $60\_1$ 至第 $m$ 反相脉冲输出电路 $60\_m$ 可以使用具有相同结构的电路。但是,各反相脉冲输出电路所具有的多个端子的电连接关系各不相同。参照图2及图4B对具体连接关系进行说明。

[0056] 第一反相脉冲输出电路 $60\_1$ 至第 $m$ 反相脉冲输出电路 $60\_m$ 分别具有端子61至端子65。另外,端子61至端子64为输入端子,端子65为输出端子。

[0057] 首先,对端子61进行说明。第一反相脉冲输出电路 $60\_1$ 的端子61与提供扫描线驱动电路用起始脉冲(GSP)的布线电连接,第二反相脉冲输出电路 $60\_2$ 至第 $m$ 反相脉冲输出电路 $60\_m$ 的端子61与前级的反相脉冲输出电路的端子30电连接。

[0058] 接着,对端子62进行说明。第 $x$ 反相脉冲输出电路 $60\_x$ 的端子62与第 $x$ 脉冲输出电路 $20\_x$ 的端子30电连接。

[0059] 接着,对端子63进行说明。第 $(6a-5)$ 反相脉冲输出电路 $60\_6a-5$ 的端子63与提供第四脉冲宽度控制信号B(PWC-B4)的布线电连接,第 $(6a-4)$ 反相脉冲输出电路 $60\_6a-4$ 的端子63与提供第五脉冲宽度控制信号B(PWC-B5)的布线电连接,第 $(6a-3)$ 反相脉冲输出电路 $60\_6a-3$ 的端子63与提供第六脉冲宽度控制信号B(PWC-B6)的布线电连接,第 $(6a-2)$ 反相脉冲输出电路 $60\_6a-2$ 的端子63与提供第一脉冲宽度控制信号B(PWC-B1)的布线电连接,第 $(6a-1)$ 反相脉冲输出电路 $60\_6a-1$ 的端子63与提供第二脉冲宽度控制信号B(PWC-B2)的布线电连接,第 $6a$ 反相脉冲输出电路 $60\_6a$ 的端子63与提供第三脉冲宽度控制信号B(PWC-B3)的布线电连接。

[0060] 接着,对端子64进行说明。第 $y$ 反相脉冲输出电路 $60\_y$ 的端子64与第 $(y+3)$ 脉冲输出电路 $20\_y+3$ 的端子30电连接,第 $(m-2)$ 反相脉冲输出电路 $60\_m-2$ 的端子64与提供第 $(m-2)$ 脉冲输出电路用停止信号(STP1)的布线电连接,第 $(m-1)$ 反相脉冲输出电路 $60\_m-1$ 的端子64与提供第 $(m-1)$ 脉冲输出电路用停止信号(STP2)的布线电连接,第 $m$ 反相脉冲输出电路 $60\_m$ 的端子64与提供第 $m$ 脉冲输出电路用停止信号(STP3)的布线电连接。

[0061] 接着,对端子65进行说明。第 $x$ 反相脉冲输出电路 $60\_x$ 的端子65与配置于第 $x$ 行的反相扫描线 $7\_x$ 电连接。

[0062] <脉冲输出电路的结构例>

[0063] 图5A是示出图2及图4A所示的脉冲输出电路的结构例的图。图5A所示的脉冲输出

电路具有晶体管31至晶体管42。

[0064] 晶体管31的源极和漏极中的一方与提供高电源电位(V<sub>dd</sub>)的布线(以下也称为高电源电位线)电连接,栅极与端子21电连接。

[0065] 晶体管32的源极和漏极中的一方与提供低电源电位(V<sub>ss</sub>)的布线(以下也称为低电源电位线)电连接,源极和漏极中的另一方与晶体管31的源极和漏极中的另一方电连接。

[0066] 晶体管33的源极和漏极中的一方与端子22电连接,源极和漏极中的另一方与端子30电连接,栅极与晶体管31的源极和漏极中的另一方及晶体管32的源极和漏极中的另一方电连接。

[0067] 晶体管34的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与端子30电连接,栅极与晶体管32的栅极电连接。

[0068] 晶体管35的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与晶体管32的栅极及晶体管34的栅极电连接,栅极与端子21电连接。

[0069] 晶体管36的源极和漏极中的一方与高电源电位线电连接,源极和漏极中的另一方与晶体管32的栅极、晶体管34的栅极及晶体管35的源极和漏极中的另一方电连接,栅极与端子29电连接。

[0070] 晶体管37的源极和漏极中的一方与端子23电连接,源极和漏极中的另一方与端子26电连接,栅极与晶体管31的源极和漏极中的另一方、晶体管32的源极和漏极中的另一方及晶体管33的栅极电连接。

[0071] 晶体管38的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与端子26电连接,栅极与晶体管32的栅极、晶体管34的栅极、晶体管35的源极和漏极中的另一方及晶体管36的源极和漏极中的另一方电连接。

[0072] 晶体管39的源极和漏极中的一方与端子24电连接,源极和漏极中的另一方与端子27电连接,栅极与晶体管31的源极和漏极中的另一方、晶体管32的源极和漏极中的另一方、晶体管33的栅极及晶体管37的栅极电连接。

[0073] 晶体管40的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与端子27电连接,栅极与晶体管32的栅极、晶体管34的栅极、晶体管35的源极和漏极中的另一方、晶体管36的源极和漏极中的另一方及晶体管38的栅极电连接。

[0074] 晶体管41的源极和漏极中的一方与端子25电连接,源极和漏极中的另一方与端子28电连接,栅极与晶体管31的源极和漏极中的另一方、晶体管32的源极和漏极中的另一方、晶体管33的栅极、晶体管37的栅极及晶体管39的栅极电连接。

[0075] 晶体管42的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与端子28电连接,栅极与晶体管32的栅极、晶体管34的栅极、晶体管35的源极和漏极中的另一方、晶体管36的源极和漏极中的另一方、晶体管38的栅极及晶体管40的栅极电连接。

[0076] 注意,以下将晶体管31的源极和漏极中的另一方、晶体管32的源极和漏极中的另一方、晶体管33的栅极、晶体管37的栅极、晶体管39的栅极以及晶体管41的栅极彼此电连接的节点称为节点A。并且,将晶体管32的栅极、晶体管34的栅极、晶体管35的源极和漏极中的另一方、晶体管36的源极和漏极中的另一方、晶体管38的栅极、晶体管40的栅极及晶体管42的栅极彼此电连接的节点称为节点B。

[0077] <脉冲输出电路的工作例>

[0078] 参照图5B对上述脉冲输出电路的工作例进行说明。另外,在图5B中示出当从第一脉冲输出电路20\_1将移位脉冲输入到第二脉冲输出电路20\_2时输入到第二脉冲输出电路20\_2的各端子的信号及从各端子输出的信号的电位以及节点A及节点B的电位。另外,在图中,Gout4表示脉冲输出电路对扫描线4输出的信号,Gout5表示脉冲输出电路对扫描线5输出的信号,Gout6表示脉冲输出电路对扫描线6输出的信号,SRout表示该脉冲输出电路对后级的脉冲输出电路输出的信号。

[0079] 首先,参照图5B说明从第一脉冲输出电路20\_1将移位脉冲输入到第二脉冲输出电路20\_2的情况。

[0080] 在时期t1中,端子21被输入高电平电位(高电源电位(Vdd))。由此,晶体管31、35变为导通状态。因此,节点A的电位上升至高电平电位(相当于从高电源电位(Vdd)下降了晶体管31的阈值电压后的电位)且节点B的电位降至低电源电位(Vss)。因此,晶体管33、37、39、41变为导通状态而晶体管32、34、38、40、42变为截止状态。因此,在时期t1中,从端子26输出的信号为输入到端子23的信号,从端子27输出的信号为输入到端子24的信号,从端子28输出的信号为输入到端子25的信号,从端子30输出的信号为输入到端子22的信号。这里,在时期t1中,输入到端子22至端子25的信号为低电平电位(低电源电位(Vss))。因此,在时期t1中,第二脉冲输出电路20\_2对第三脉冲输出电路20\_3的端子21以及配置于像素部的第二行的扫描线4\_2、扫描线5\_2及扫描线6\_2输出低电平电位(低电源电位(Vss))。

[0081] 在时期t2中,端子23被输入高电平电位(高电源电位(Vdd))。另外,节点A的电位(晶体管31的源极的电位)在时期t1中上升至高电平电位(相当于从高电源电位(Vdd)下降了晶体管31的阈值电压后的电位)。由此,晶体管31变为截止状态。此时,当端子23被输入高电平电位(高电源电位(Vdd))时,利用晶体管37的栅极与源极间的电容耦合节点A的电位(晶体管37的栅极的电位)进一步上升(自举工作)。另外,通过进行该自举工作,从端子26输出的信号不会从输入到端子23的高电平电位(高电源电位(Vdd))下降(从端子26输出与输入到端子23的信号相等或基本上相等的信号)。因此,在时期t2中,第二脉冲输出电路20\_2对配置于像素部的第二行的扫描线4\_2输出高电平电位(高电源电位(Vdd)=选择信号),并且,对第三脉冲输出电路20\_3的端子21及配置于像素部的第二行的扫描线5\_2及扫描线6\_2输出低电平电位(低电源电位(Vss))。

[0082] 在时期t3中,至少对端子22输入高电平电位(高电源电位(Vdd))。因此,节点A的电位与时期t2同样地保持比时期t1中的节点A的电位高的电位。因此,从端子26输出的信号为与输入到端子23的信号相等或基本上相等的信号,从端子27输出的信号为与输入到端子24的信号相等或基本上相等的信号,从端子28输出的信号为与输入到端子25的信号相等或基本上相等的信号,从端子30输出的信号为与输入到端子22的信号相等或基本上相等的信号。也就是说,在时期t3中,第二脉冲输出电路20\_2对第三脉冲输出电路20\_3的端子21输出与输入到端子22的信号相等或基本上相等的信号,对扫描线4\_2输出与输入到端子23的信号相等或基本上相等的信号,对扫描线5\_2输出与输入到端子24的信号相等或基本上相等的信号,并对扫描线6\_2输出与输入到端子25的信号相等或基本上相等的信号。

[0083] 在时期t4中,端子29被输入高电平电位(高电源电位(Vdd))。因此,晶体管36变为导通状态。因此,节点B的电位上升至高电平电位(相当于从高电源电位(Vdd)下降了晶体管36的阈值电压后的电位)。也就是说,晶体管32、34、38、40、42变为导通状态。另外,节点A的

电位降低至低电平电位(低电源电位( $V_{SS}$ ))。也就是说,晶体管33、37、39、41变为截止状态。因此,在时期 $t_4$ 中,从端子26、端子27、端子28及端子30输出的信号都为低电源电位( $V_{SS}$ )。即,在时期 $t_4$ 中,第二脉冲输出电路20\_2对第三脉冲输出电路20\_3的端子21以及配置于像素部的第二行的扫描线4\_2、扫描线5\_2及扫描线6\_2输出低电源电位( $V_{SS}$ )。

[0084] <反相脉冲输出电路的结构例>

[0085] 图6A是示出图2及图4B所示的反相脉冲输出电路的结构例的图。图6A所示的反相脉冲输出电路具有晶体管71至晶体管77。

[0086] 晶体管71的源极和漏极中的一方与高电源电位线电连接,栅极与端子63电连接。

[0087] 晶体管72的源极和漏极中的一方与高电源电位线电连接,源极和漏极中的另一方与晶体管71的源极和漏极中的另一方电连接,栅极与端子64电连接。

[0088] 晶体管73的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与晶体管71的源极和漏极中的另一方及晶体管72的源极和漏极中的另一方电连接,栅极与端子61电连接。

[0089] 晶体管74的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与晶体管71的源极和漏极中的另一方、晶体管72的源极和漏极中的另一方及晶体管73的源极和漏极中的另一方电连接,栅极与端子62电连接。

[0090] 晶体管75的源极和漏极中的一方与高电源电位线电连接,源极和漏极中的另一方与端子65电连接,栅极与晶体管71的源极和漏极中的另一方、晶体管72的源极和漏极中的另一方、晶体管73的源极和漏极中的另一方及晶体管74的源极和漏极中的另一方电连接。

[0091] 晶体管76的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与端子65电连接,栅极与端子61电连接。

[0092] 晶体管77的源极和漏极中的一方与低电源电位线电连接,源极和漏极中的另一方与端子65电连接,栅极与端子62电连接。

[0093] 注意,以下将晶体管71的源极和漏极中的另一方、晶体管72的源极和漏极中的另一方、晶体管73的源极和漏极中的另一方、晶体管74的源极和漏极中的另一方及晶体管75的栅极彼此电连接的节点称为节点C。

[0094] <反相脉冲输出电路的工作例>

[0095] 参照图6B对上述反相脉冲输出电路的工作例进行说明。另外,在图6B中示出在时期 $t_1$ 至时期 $t_4$ 中第二反相脉冲输出电路20\_2的各端子被输入的信号及输出的信号的电位以及节点C的电位。另外,图6B中的时期 $t_1$ 至时期 $t_4$ 与图5B中的时期 $t_1$ 至 $t_4$ 为相同的时期。另外,在图6B中,在括号中标出输入到各端子的信号。另外,在图中GBout表示从反相脉冲输出电路输出到对应的反相扫描线的信号。

[0096] 在时期 $t_1$ 至时期 $t_3$ 中,至少对端子61和端子62中的一方输入高电平电位(高电源电位( $V_{DD}$ ))。由此,晶体管73、74、76、77变为导通状态。因此,节点C的电位降低至低电平电位(低电源电位( $V_{SS}$ ))。因此,晶体管75变为截止状态。因此,在时期 $t_1$ 至时期 $t_3$ 中,从端子65输出的信号变为低电平电位(低电源电位( $V_{SS}$ ))。因此,在时期 $t_1$ 至时期 $t_3$ 中,第二反相脉冲输出电路60\_2对配置于像素部的第二行的反相扫描线7\_2输出低电平电位(低电源电位( $V_{SS}$ ))。

[0097] 在时期 $t_4$ 中,端子61及端子62被输入低电平电位(低电源电位( $V_{SS}$ )),端子64被输

入高电平电位(高电源电位(V<sub>dd</sub>))。因此,晶体管73、74、76、77变为截止状态,晶体管72变为导通状态。因此,节点C的电位上升至高电平电位(相当于从高电源电位(V<sub>dd</sub>)下降了晶体管72的阈值电压后的电位),晶体管75变为导通状态。注意,当节点C的电位上升至相当于从高电源电位(V<sub>dd</sub>)下降了晶体管72的阈值电压后的电位时,晶体管72变为截止状态。并且,在晶体管72变为截止状态的阶段,晶体管75保持导通状态。此时,节点C的电位在晶体管72变为截止状态之后进一步上升。这是由于晶体管75的栅极(节点C)与源极间产生电容耦合的缘故。因此,从端子65输出的信号不会从高电源电位(V<sub>dd</sub>)下降。由此,在时期t<sub>4</sub>中,从端子65输出的信号为高电源电位(V<sub>dd</sub>)。即,在时期t<sub>4</sub>中,第二反相脉冲输出电路60\_2对配置于像素部的第二行的反相扫描线7\_2输出高电源电位(V<sub>dd</sub>)。

[0098] <像素的结构例>

[0099] 图7A是示出图1所示的像素10的结构例的电路图。图7A所示的像素10包括晶体管11至16、电容17、18以及具有通过一对电极间电流激发而发光的有机物的元件(以下也称为有机电致发光(EL)元件)19。

[0100] 晶体管11的源极和漏极中的一方与信号线8电连接,栅极与扫描线6电连接。

[0101] 晶体管12的源极和漏极中的一方与提供电位V<sub>1</sub>的布线电连接,栅极与扫描线5电连接。注意,这里电位V<sub>1</sub>是指比高电源电位(V<sub>dd</sub>)低且比低电源电位(V<sub>ss</sub>)高的电位。

[0102] 晶体管13的源极和漏极中的一方与电源线9电连接,栅极与晶体管12的源极和漏极中的另一方电连接。

[0103] 晶体管14的源极和漏极中的一方与晶体管11的源极和漏极中的另一方电连接,源极和漏极中的另一方与晶体管13的源极和漏极中的另一方电连接,栅极与扫描线5电连接。

[0104] 晶体管15的源极和漏极中的一方与提供电位V<sub>0</sub>的布线电连接,源极和漏极中的另一方与晶体管13的源极和漏极中的另一方及晶体管14的源极和漏极中的另一方电连接,栅极与扫描线4电连接。注意,这里电位V<sub>0</sub>是指比电位V<sub>1</sub>低且比低电源电位(V<sub>ss</sub>)高的电位。

[0105] 晶体管16的源极和漏极中的一方与晶体管13的源极和漏极中的另一方、晶体管14的源极和漏极中的另一方及晶体管15的源极和漏极中的另一方电连接,栅极与反相扫描线7电连接。

[0106] 电容17的一个电极与晶体管12的源极和漏极中的另一方及晶体管13的栅极电连接,另一个电极与晶体管11的源极和漏极中的另一方及晶体管14的源极和漏极中的另一方电连接。

[0107] 电容18的一个电极与晶体管11的源极和漏极中的另一方、晶体管14的源极和漏极中的一方及电容17的另一个电极电连接,另一个电极与晶体管13的源极和漏极中的另一方、晶体管14的源极和漏极中的另一方、晶体管15的源极和漏极中的另一方及晶体管16的源极和漏极中的一方电连接。

[0108] 有机EL元件19的阳极与晶体管16的源极和漏极中的另一方电连接,阴极与提供公共电位的布线电连接。另外,施加到与上述晶体管12的源极和漏极中的一方电连接的布线的公共电位可以与施加到有机EL元件19的阴极的公共电位不同。

[0109] 另外,这里电源线9所提供的电位是比高电源电位(V<sub>dd</sub>)低且比电位V<sub>1</sub>高的电位,公共电位是比低电源电位(V<sub>ss</sub>)低的电位。

[0110] 另外,以下将晶体管12的源极和漏极中的另一方、晶体管13的栅极及电容17的一

个电极彼此电连接的节点称为节点D,将晶体管11的源极和漏极中的另一方、晶体管14的源极和漏极中的一方、电容17的另一个电极及电容18的一个电极彼此电连接的节点称为节点E,将晶体管13的源极和漏极中的另一方、晶体管14的源极和漏极中的另一方、晶体管15的源极和漏极中的另一方、晶体管16的源极和漏极中的一方及电容18的另一个电极彼此电连接的节点称为节点F。

[0111] <像素的工作例>

[0112] 参照图7A和7B对上述像素的工作例进行说明。具体地,以下参照图7A和7B对包含于图5B及图6B所示的时期 $t_1$ 至时期 $t_4$ 中的时期 $t_a$ 至时期 $t_h$ 中的像素的工作例进行说明。另外,图7B示出配置于像素部中的第二行的扫描线4\_2、扫描线5\_2及扫描线6\_2以及反相扫描线7\_2的电位以及节点D至节点F的电位。另外,图7B中在括号中标出输入到各布线的信号。

[0113] 在时期 $t_a$ 中,扫描线4\_2被输入选择信号,而扫描线5\_2、扫描线6\_2及反相扫描线7\_2不被输入选择信号。因此,晶体管15变为导通状态而晶体管11、12、14、16变为截止状态。其结果,节点F的电位变为电位 $V_0$ 。

[0114] 在时期 $t_b$ 中,扫描线5\_2被输入选择信号。因此,晶体管12、14变为导通状态。其结果,节点D的电位变为电位 $V_1$ ,节点E的电位变为电位 $V_0$ 。并且,当节点D的电位变为电位 $V_1$ 时,晶体管13变为导通状态。

[0115] 在时期 $t_c$ 中,扫描线4\_2不被输入选择信号。因此,晶体管15变为截止状态。这里,晶体管13直到栅极与源极间的电压变为阈值电压以下为止保持导通状态。即,晶体管13直到节点E、F(晶体管13的源极)的电位变为相当于从节点D的电位(电位 $V_1$ )下降了晶体管13的阈值电压( $V_{th13}$ )后的值为止保持导通状态。其结果,节点E、F的电位变为上述值。

[0116] 在时期 $t_d$ 中,扫描线5\_2不被输入选择信号。因此,晶体管12、14变为截止状态。

[0117] 在时期 $t_e$ 中,扫描线6\_2被输入选择信号。因此,晶体管11变为导通状态。另外,假设信号线8被提供有图像信号的电位( $V_{data}$ )。其结果,节点E的电位变为该图像信号的电位( $V_{data}$ )。并且,节点D和节点F的电位也根据节点E的电位发生变动。具体地,处于浮动状态的节点D的电位上升或下降了因通过电容17与节点E的电容耦合节点E的电位变动量(图像信号的电位( $V_{data}$ )与从电位 $V_1$ 下降了晶体管13的阈值电压( $V_{th13}$ )后的电位的差)(节点D的电位变为 $V_1 + [V_{data} - (V_1 - V_{th13})] = V_{data} + V_{th13}$ ),并且处于浮动状态的节点F的电位上升或下降了因通过电容18与节点E的电容耦合该节点E的电位变动量(节点F的电位变为 $V_1 - V_{th13} + [V_{data} - (V_1 - V_{th13})] = V_{data}$ )。

[0118] 在时期 $t_f$ 中,扫描线4\_2被输入选择信号。因此,晶体管15变为导通状态。其结果,节点F的电位变为电位 $V_0$ 。

[0119] 在时期 $t_g$ 中,扫描线4\_2不被输入选择信号。因此,晶体管15变为截止状态。

[0120] 在时期 $t_h$ 中,反相扫描线7\_2被输入选择信号。因此,晶体管16变为导通状态。其结果,对应于晶体管13的栅极与源极间的电压的电流被提供到有机EL元件19。这里,该电压为节点D的电位( $V_{data} + V_{th13}$ )与节点F的电位的差。此时,被提供到有机EL元件19的电流(晶体管13的饱和区中的漏极电流)不取决于晶体管13的阈值电压。

[0121] 通过上述工作,像素10根据图像信号的电位( $V_{data}$ )进行显示。在上述像素的工作例中,可以不依赖于像素10中设置的晶体管13的阈值电压地对有机EL元件19提供电流。因此,本说明书中公开的显示装置即使在多个像素所具有的晶体管13的阈值电压不均匀的情

况下,也可以抑制显示质量下降。

[0122] <关于本说明书中公开的显示装置>

[0123] 本说明书中公开的显示装置利用多种信号控制反相脉冲输出电路的工作。因此,可以降低该反相脉冲输出电路中产生的直通电流。作为该多种信号使用用来使多个脉冲输出电路工作的信号。也就是说,不需要另行生成信号就能使该反相脉冲输出电路进行工作。

[0124] <变形例>

[0125] 上述显示装置是本发明的一实施方式,并且具有与上述显示装置不同的结构的显示装置也包含于本发明内。下面,举例示出本发明的另一实施方式。注意,具有作为本发明的另一实施方式例示出的多个内容的显示装置也包含于本发明内。

[0126] <显示装置的变形例>

[0127] 虽然作为上述显示装置例示出在各像素中设置有机EL元件的显示装置(以下也称为EL显示装置),但是本发明的显示装置不局限于EL显示装置。例如,本发明的显示装置也可以使用通过控制液晶取向来进行显示的显示装置(液晶显示装置)。

[0128] <扫描线驱动电路的变形例>

[0129] 另外,上述扫描线驱动电路的结构不局限于图2所示的结构。例如,也可以使用图8所示的扫描线驱动电路作为上述显示装置所具有扫描线驱动电路。

[0130] 图8所示的扫描线驱动电路具有去除了图2所示的扫描线驱动电路中的提供第一脉冲宽度控制信号C(PWC-C1)的布线至提供第三脉冲宽度控制信号C(PWC-C3)的布线的结构。下面,示出图8所示的扫描线驱动电路所具有的第一脉冲输出电路20\_1至第m脉冲输出电路20\_m的各端子25(关于端子25请参照图4A)的连接关系。

[0131] 第(6a-5)脉冲输出电路20\_6a-5(a为m/6以下的自然数)的端子25与提供第二脉冲宽度控制信号B(PWC-B2)的布线电连接,第(6a-4)脉冲输出电路20\_6a-4的端子25与提供第三脉冲宽度控制信号B(PWC-B3)的布线电连接,第(6a-3)脉冲输出电路20\_6a-3的端子25与提供第四脉冲宽度控制信号B(PWC-B4)的布线电连接,第(6a-2)脉冲输出电路20\_6a-2的端子25与提供第五脉冲宽度控制信号B(PWC-B5)的布线电连接,第(6a-1)脉冲输出电路20\_6a-1的端子25与提供第六脉冲宽度控制信号B(PWC-B6)的布线电连接,第六脉冲输出电路20\_6a的端子25与提供第一脉冲宽度控制信号B(PWC-B1)的布线电连接。

[0132] 图8所示的扫描线驱动电路能够与图2所示的扫描线驱动电路进行同样的工作。另外,与图2所示的扫描线驱动电路相比,图8所示的扫描线驱动电路可以减少布线个数及信号数。另一方面,与图8所示的扫描线驱动电路相比,图2所示的扫描线驱动电路可以抑制提供到扫描线5及扫描线6的选择信号的迟延。也就是说,在图2所示的扫描线驱动电路中分别设置了对扫描线5提供选择信号的布线与对扫描线6提供选择信号的布线,而在图8所示的扫描线驱动电路中共用一个具有上述功能的布线。因此,与图2所示的扫描线驱动电路相比,在图8所示的扫描线驱动电路中,对扫描线4及扫描线5提供选择信号时的负荷变大。

[0133] <脉冲输出电路的变形例>

[0134] 另外,上述扫描线驱动电路所具有的脉冲输出电路的结构不局限于图5A所示的结构。例如,可以使用图9A至图11所示的脉冲输出电路作为上述扫描线驱动电路所具有的脉冲输出电路。

[0135] 图9A所示的脉冲输出电路具有对图5A所示的脉冲输出电路附加了晶体管50的结



构,该晶体管50的源极和漏极中的一方与高电源电位线电连接,源极和漏极中的另一方与节点B电连接,栅极与复位端子(Reset)电连接。另外,可以使上述复位端子(Reset)在显示装置的垂直回扫时期中被输入高电平电位而在垂直回扫时期以外的时期中被输入低电平电位。由此,可以将脉冲输出电路的各节点的电位初始化,由此可以防止发生故障。

[0136] 图9B所示的脉冲输出电路具有对图5A所示的脉冲输出电路附加了晶体管51的结构,该晶体管51的源极和漏极中的一方与晶体管31的源极和漏极中的另一方以及晶体管32的源极和漏极中的另一方电连接,源极和漏极中的另一方与晶体管33的栅极、晶体管37的栅极、晶体管39的栅极及晶体管41的栅极电连接,栅极与高电源电位线电连接。另外,晶体管51在节点A的电位变为高电平电位的时期(图5B所示的时期t1至时期t3)中变为截止状态。因此,通过采用附加了晶体管51的结构,在时期t1至时期t3中,可以截断晶体管33的栅极、晶体管37的栅极、晶体管39的栅极及晶体管41的栅极与晶体管31的源极和漏极中的另一方及晶体管32的源极和漏极中的另一方的电连接。由此,在时期t1至时期t3中,可以减少在该脉冲输出电路中进行自举工作时的负荷。

[0137] 图10所示的脉冲输出电路具有对图5A所示的脉冲输出电路附加了晶体管52至晶体管55的结构。其中,晶体管52的源极和漏极中的一方与晶体管33的栅极电连接,源极和漏极中的另一方与晶体管31的源极和漏极中的另一方及晶体管32的源极和漏极中的另一方电连接,栅极与高电源电位线电连接;晶体管53的源极和漏极中的一方与晶体管41的栅极电连接,源极和漏极中的另一方与晶体管31的源极和漏极中的另一方及晶体管32的源极和漏极中的另一方电连接,栅极与高电源电位线电连接;晶体管54的源极和漏极中的一方与晶体管39的栅极电连接,源极和漏极中的另一方与晶体管31的源极和漏极中的另一方及晶体管32的源极和漏极中的另一方电连接,栅极与高电源电位线电连接;晶体管55的源极和漏极中的一方与晶体管37的栅极电连接,源极和漏极中的另一方与晶体管31的源极和漏极中的另一方及晶体管32的源极和漏极中的另一方电连接,栅极与高电源电位线电连接。另外,通过设置上述晶体管52至晶体管55,可以减少在该脉冲输出电路中进行自举工作时的负荷。

[0138] 图11所示的脉冲输出电路具有图5A所示的脉冲输出电路中的提供低电源电位的布线的功能由两个布线实现的结构。具体而言,图11所示的脉冲输出电路包括:与晶体管32的源极和漏极中的一方、晶体管34的源极和漏极中的一方及晶体管35的源极和漏极中的一方电连接的提供低电源电位( $V_{ss1}$ )的布线;以及与晶体管38的源极和漏极中的一方、晶体管40的源极和漏极中的一方及晶体管42的源极和漏极中的一方电连接的提供低电源电位( $V_{ss2}$ )的布线。简言之,前者是对脉冲输出电路中有助于移位脉冲的移位的部分提供低电源电位的布线,后者是对脉冲输出电路中有助于对扫描线提供电位的部分提供低电源电位的布线。在图11所示的脉冲输出电路中,即使提供低电源电位( $V_{ss2}$ )的布线的电位发生变动,提供低电源电位( $V_{ss1}$ )的布线的电位也不会发生变动。也就是说,可以确保脉冲输出电路中的移位脉冲的移位。

[0139] 另外,也可以组合多个作为变形例所说明的内容用于图5A所示的脉冲输出电路。

[0140] <反相脉冲输出电路的变形例>

[0141] 另外,上述扫描线驱动电路所具有的反相脉冲输出电路的结构不局限于图6A所示的结构。例如,也可以使用图12A和12B所示的反相脉冲输出电路作为上述扫描线驱动电路

所具有的反相脉冲输出电路。

[0142] 图12A所示的脉冲输出电路具有对图6A所示的反相脉冲输出电路附加了晶体管80的结构,晶体管80的源极和漏极中的一方与晶体管71的源极和漏极中的另一方、晶体管72的源极和漏极中的另一方、晶体管73的源极和漏极中的另一方、晶体管74的源极和漏极中的另一方电连接,源极和漏极中的另一方与晶体管75的栅极电连接,栅极与高电源电位线电连接。

[0143] 图12B所示的反相脉冲输出电路具有图6A所示的反相脉冲输出电路中的提供低电源电位的布线的功能由两个布线实现的结构。具体而言,图12B所示的反相脉冲输出电路包括:与晶体管73的源极和漏极中的一方及晶体管74的源极和漏极中的一方电连接的提供低电源电位( $V_{ss1}$ )的布线;以及与晶体管76的源极和漏极中的一方及晶体管77的源极和漏极中的一方电连接的提供低电源电位( $V_{ss2}$ )的布线。

[0144] 另外,也可以组合多个作为变形例说明的内容用于图6A所示的反相脉冲输出电路。

[0145] <像素的变形例>

[0146] 另外,上述显示装置所具有的像素的结构不局限于图7A所示的结构。例如,虽然图7A所示的像素仅使用N沟道型晶体管构成,但是本发明不局限于该结构。也就是说,作为本发明的一实施方式的显示装置,也可以仅使用P沟道型晶体管构成像素或者组合N沟道型晶体管及P沟道型晶体管构成像素。

[0147] 另外,如图7A所示,当作为像素中设置的晶体管仅使用一导电类型晶体管时,可以实现像素的高集成化。这是由于如下缘故:当通过对半导体层注入杂质来对晶体管赋予不同导电类型时,需要在N沟道型晶体管与P沟道型晶体管之间留有间隔(margin),而当仅使用一导电类型晶体管构成像素时不需要该间隔。

[0148] <安装有液晶显示装置的各种电子设备>

[0149] 以下,参照图13A至图13F对安装有本说明书所公开的液晶显示装置的电子设备的例子进行说明。

[0150] 图13A是示出笔记本型个人计算机的图,该笔记本型个人计算机由主体2201、框体2202、显示部2203和键盘2204等构成。

[0151] 图13B示出便携式个人数字助理(PDA),在主体2211中设置有显示部2213、外部接口2215及操作按钮2214等。另外,作为操作用附属部件,有触屏笔2212。

[0152] 图13C是示出作为电子纸的一个例子的电子书阅读器2220的图。电子书阅读器2220由框体2221及框体2223的两个框体构成。框体2221及框体2223由轴部2237形成为一体,并且可以以该轴部2237为轴进行开闭动作。通过这种结构,电子书阅读器2220可以像纸质书籍一样使用。

[0153] 在框体2221中安装有显示部2225,并且在框体2223中安装有显示部2227。显示部2225及显示部2227既可以采用显示连屏画面的结构,又可以采用显示不同的画面的结构。通过采用显示不同的画面的结构,例如可以在右边的显示部(图13C中的显示部2225)中显示文章,而在左边的显示部(图13C中的显示部2227)中显示图像。

[0154] 此外,在图13C中示出框体2221具备操作部等的例子。例如,框体2221具备电源开关2231、操作键2233以及扬声器2235等。利用操作键2233可以翻页。另外,也可以在与框体

的显示部相同的面上设置键盘、指向装置等。另外,也可以采用在框体的背面或侧面具备外部连接用端子(耳机端子、USB端子或可以与AC适配器及USB电缆等的各种电缆连接的端子等)、记录媒体插入部等的结构。此外,电子书阅读器2220也可以具有电子词典的功能。

[0155] 此外,电子书阅读器2220也可以采用以无线的方式收发信息的结构。还可以采用以无线的方式从电子书服务器购买所希望的书籍数据等,然后下载的结构。

[0156] 另外,电子纸可以应用于显示信息的所有领域的电子设备。例如,除了电子书阅读器之外还可以用于招贴、电车等交通工具的车厢广告、信用卡等各种卡片中的显示等。

[0157] 图13D是示出移动电话机的图。该移动电话机由框体2240及框体2241的两个框体构成。框体2241包括显示面板2242、扬声器2243、麦克风2244、指向装置2246、影像拍摄装置用透镜2247以及外部连接端子2248等。另外,框体2240具备对该移动电话机进行充电的太阳能电池单元2249、外部存储器插槽2250等。另外,天线内置于框体2241内部。

[0158] 显示面板2242具有触摸屏功能,图13D使用虚线示出作为影像被显示出来的多个操作键2245。另外,该移动电话机安装有用来将太阳能电池单元2249输出的电压升压到各电路所需要的电压的升压电路。另外,除了上述结构以外,还可以安装有非接触IC芯片、小型记录装置等。

[0159] 显示面板2242根据使用方式适当地改变显示的方向。另外,由于在与显示面板2242同一面上备有影像拍摄装置用透镜2247,所以可以进行可视电话。扬声器2243及麦克风2244不局限于声音通话,还可以用于可视电话、录音、再生等。再者,框体2240和框体2241滑动而可以由如图13D所示的展开状态变为重合状态,从而能够实现便于携带的小型化。

[0160] 外部连接端子2248能够与AC适配器或USB缆线等各种缆线连接,而能够进行充电或数据通信。另外,将记录媒体插入到外部存储器插槽2250中来可以对应更大容量的数据储存及移动。另外,除了上述功能以外,还可以具有红外线通信功能、电视接收功能等。

[0161] 图13E是示出数码摄像机的图。该数码摄像机由主体2261、显示部(A)2267、取景器2263、操作开关2264、显示部(B)2265及电池2266等构成。

[0162] 图13F是示出电视装置的图。在电视装置2270中,在框体2271中安装有显示部2273。通过显示部2273可以显示映像。此外,在此示出通过支架2275支撑框体2271的结构。

[0163] 电视装置2270的操作可以通过利用框体2271所具备的操作开关或另行提供的遥控操作机2280来进行。通过利用遥控操作机2280所具备的操作键2279,可以进行频道及音量的操作,而可以对在显示部2273上显示的映像进行操作。此外,也可以采用在遥控操作机2280中设置用来显示从该遥控操作机2280输出的信息的显示部2277的结构。

[0164] 另外,电视装置2270优选采用具备接收器或调制解调器等的结构。通过接收器,可以接收一般电视广播。此外,通过调制解调器连接到有线或无线的通信网络,可以执行单向(从发送者到接收者)或双向(在发送者与接收者之间或者在接收者之间)的信息通信。

[0165] 符号说明

[0166] 1:扫描线驱动电路,2:信号线驱动电路,3:电流源,4至6:扫描线,7:反相扫描线,8:信号线,9:电源线,10:像素,11至16:晶体管,17、18:电容,19:有机EL元件,20:脉冲输出电路,21至30:端子,31至42:晶体管,50至55:晶体管,60:反相脉冲输出电路,61至65:端子,71至77:晶体管,80:晶体管,2201:主体,2202:框体,2203:显示部,2204:键盘,2211:主体,2212:触屏笔,2213:显示部,2214:操作按钮,2215:外部接口,2220:电子书阅读器,2221:框

体,2223:框体,2225:显示部,2227:显示部,2231:电源,2233:操作键,2235:扬声器,2237:轴部,2240:框体,2241:框体,2242:显示面板,2243:扬声器,2244:麦克风,2245:操作键,2246:指向装置,2247:影像拍摄装置用透镜,2248:外部连接端子,2249:太阳能电池单元,2250:外部存储器插槽,2261:主体,2263:取景器,2264:操作开关,2265:显示部B,2266:电池,2267:显示部A,2270:电视装置,2271:框体,2273:显示部,2275:支架,2277:显示部,2279:操作键,2280:遥控操作机

[0167] 本申请基于2011年11月30日提交到日本专利局的日本专利申请No.2011-261106,通过引用将其完整内容并入在此。

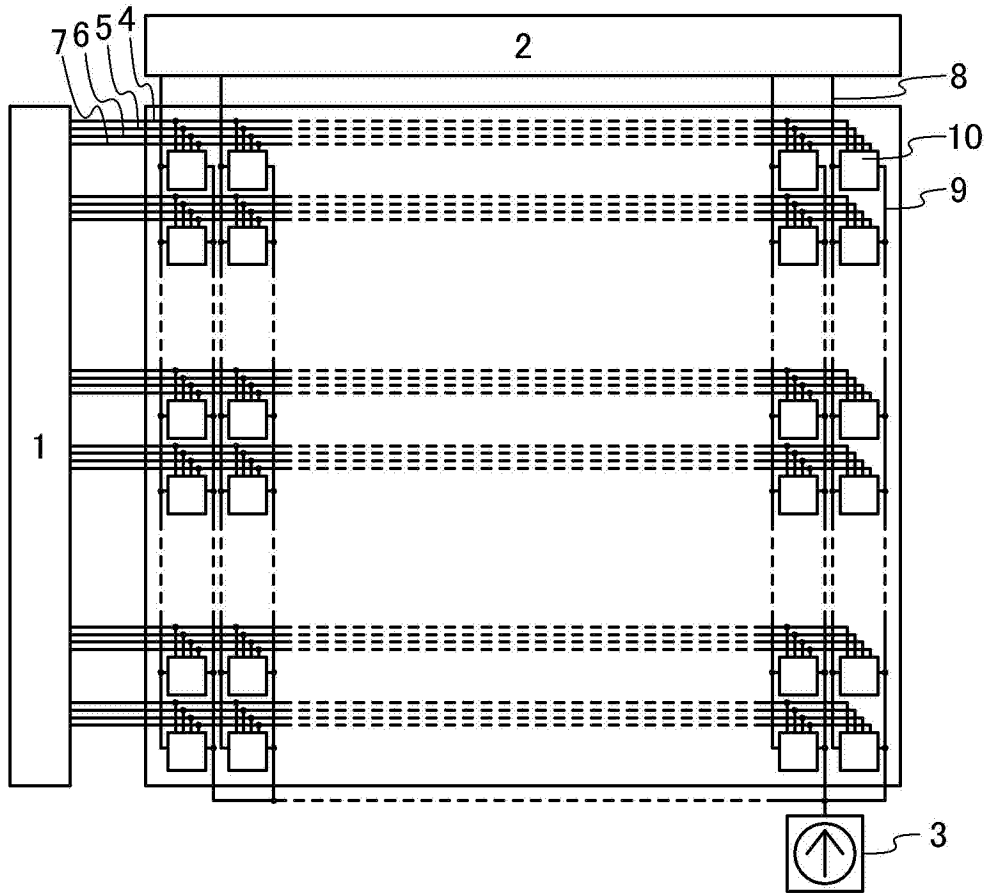


图 1

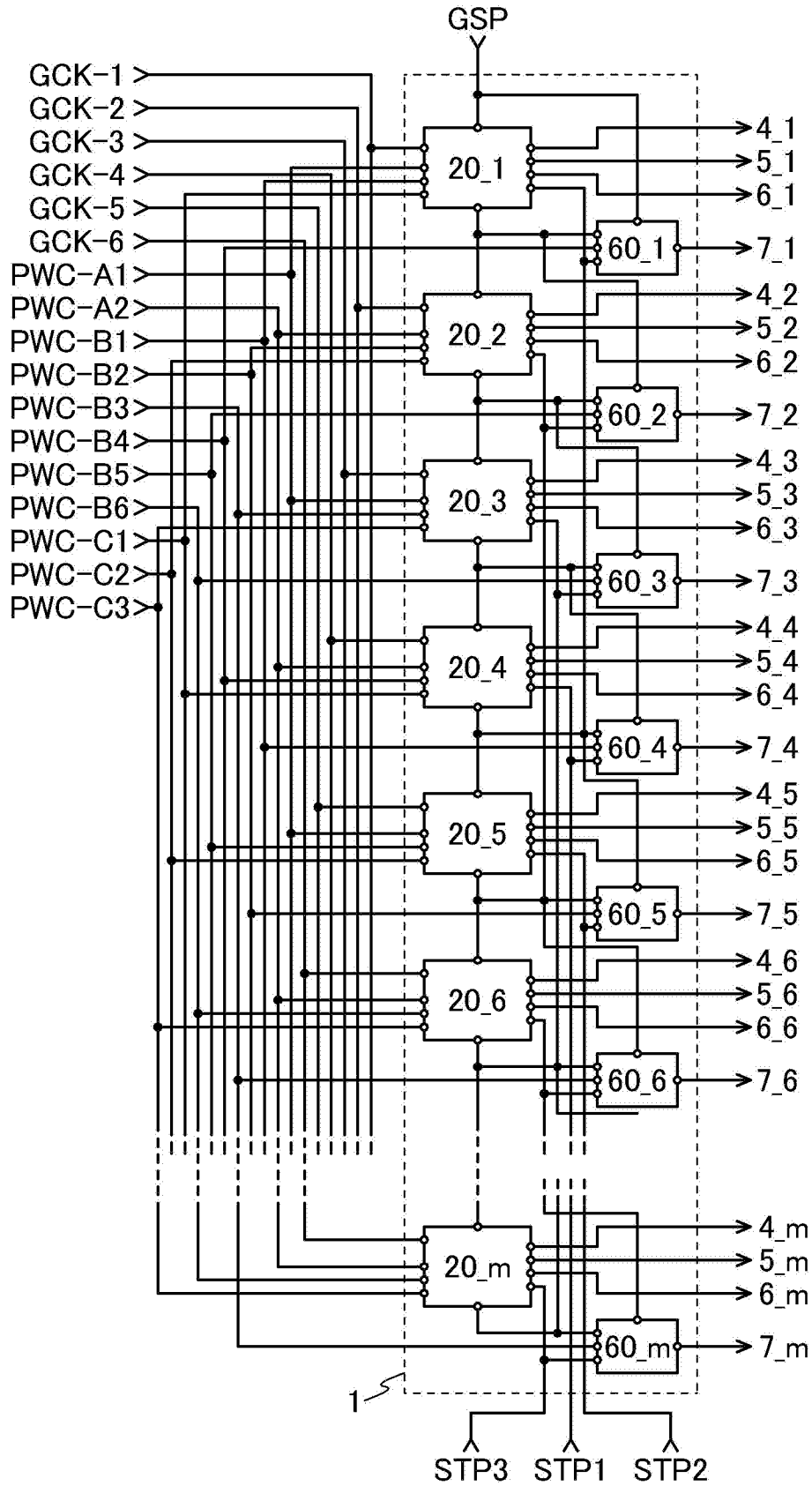


图 2

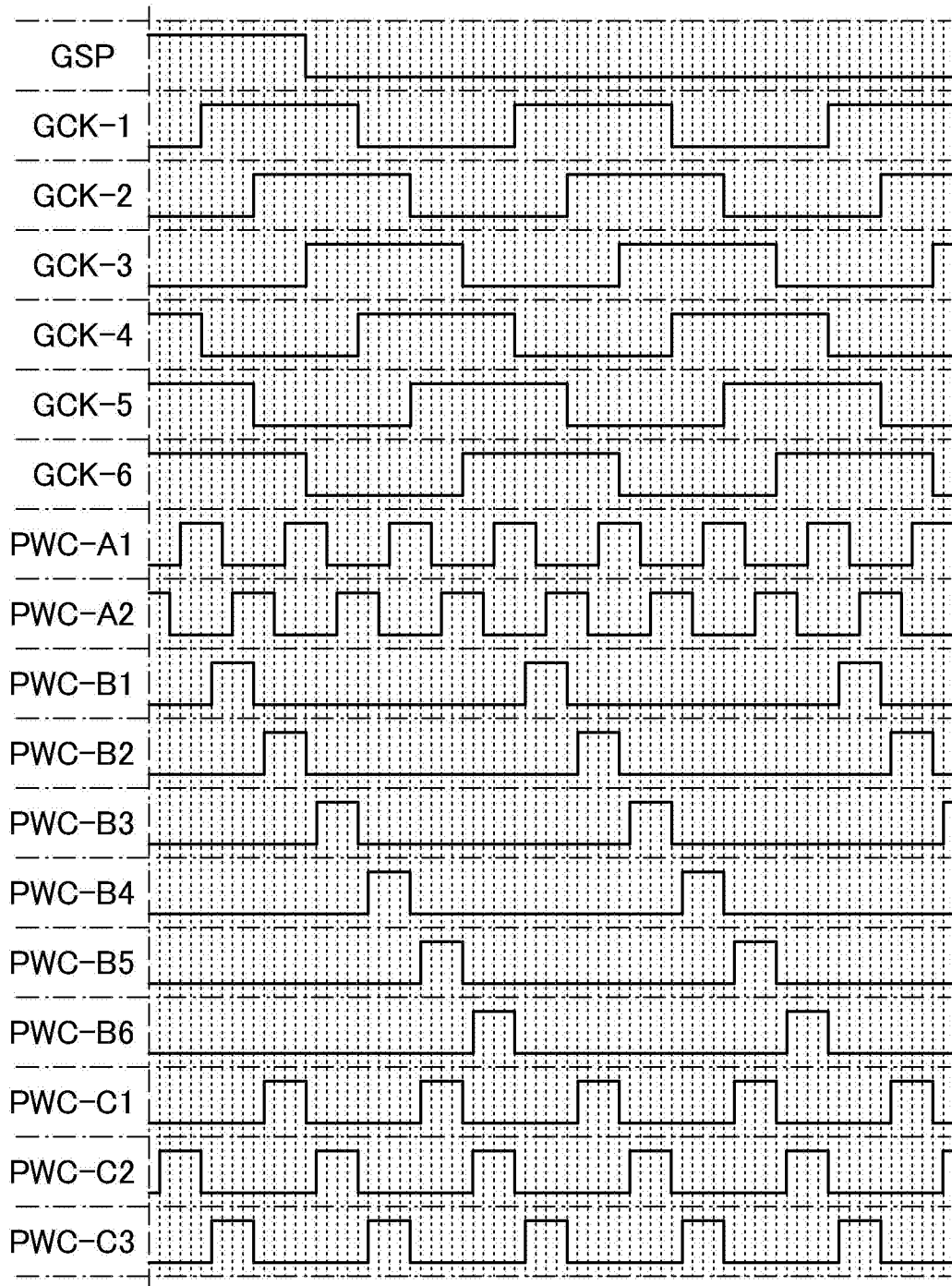


图 3

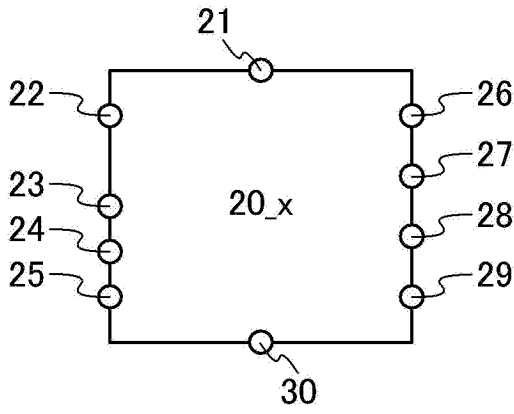


图 4A

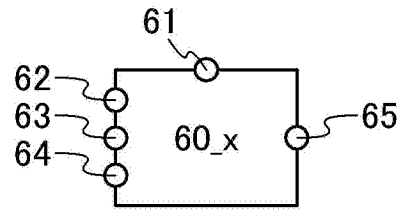


图 4B

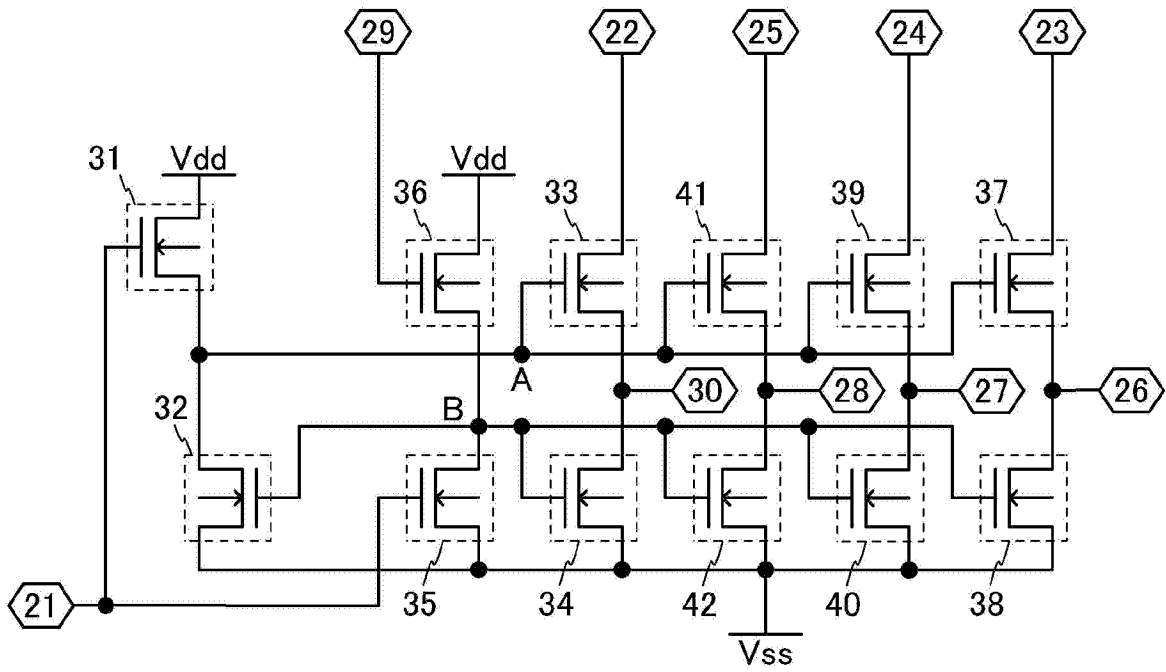


图 5A



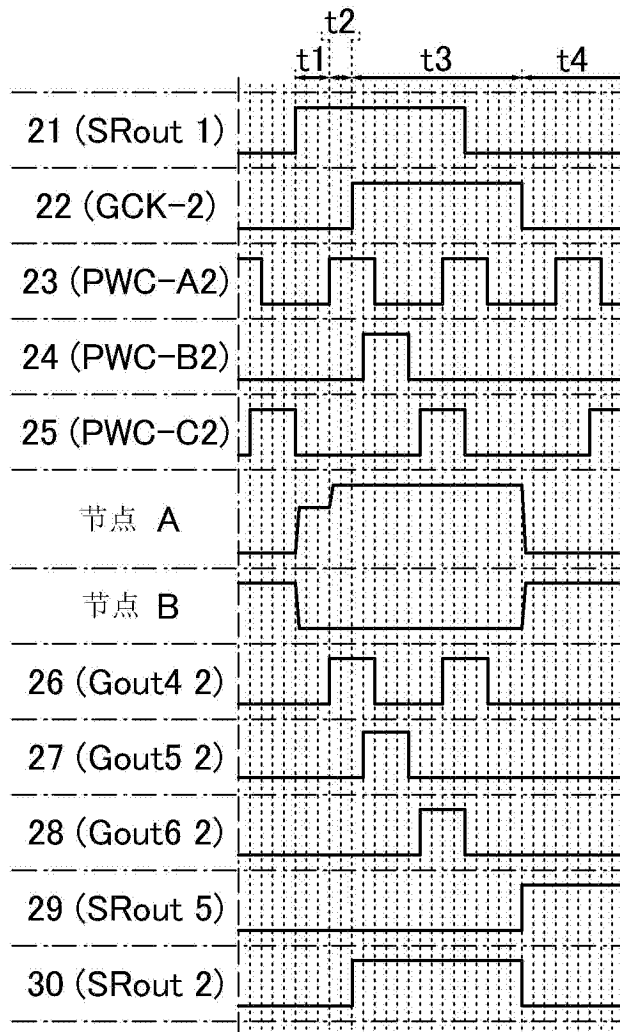


图 5B

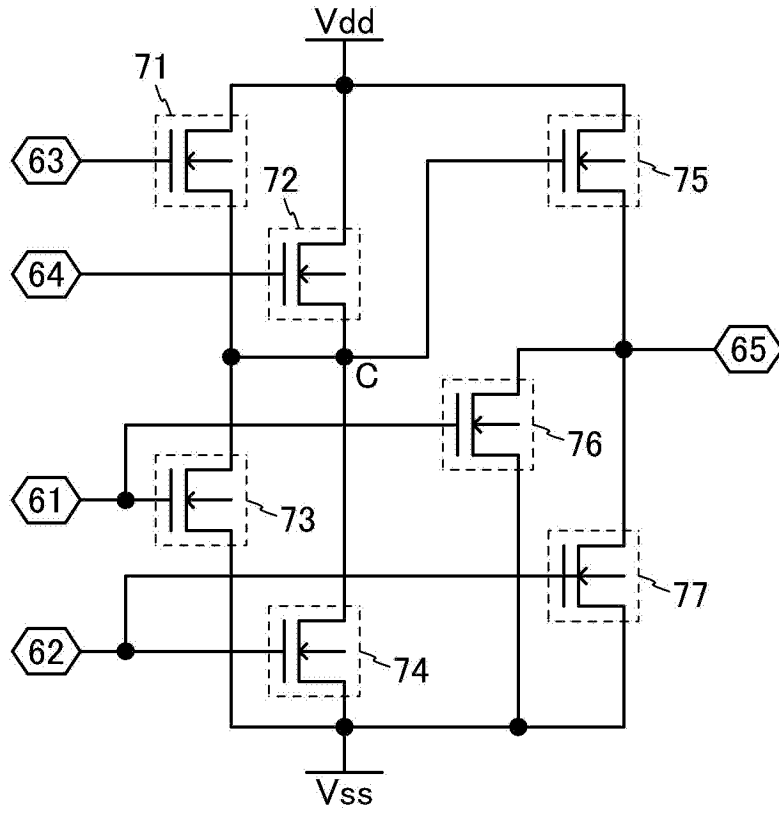


图 6A

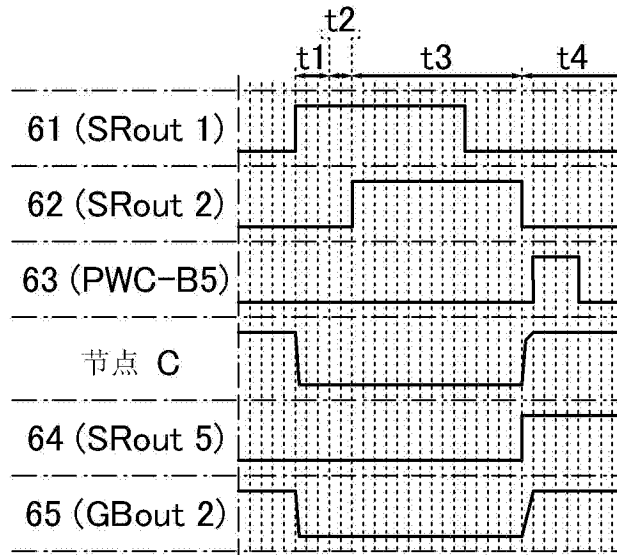


图 6B

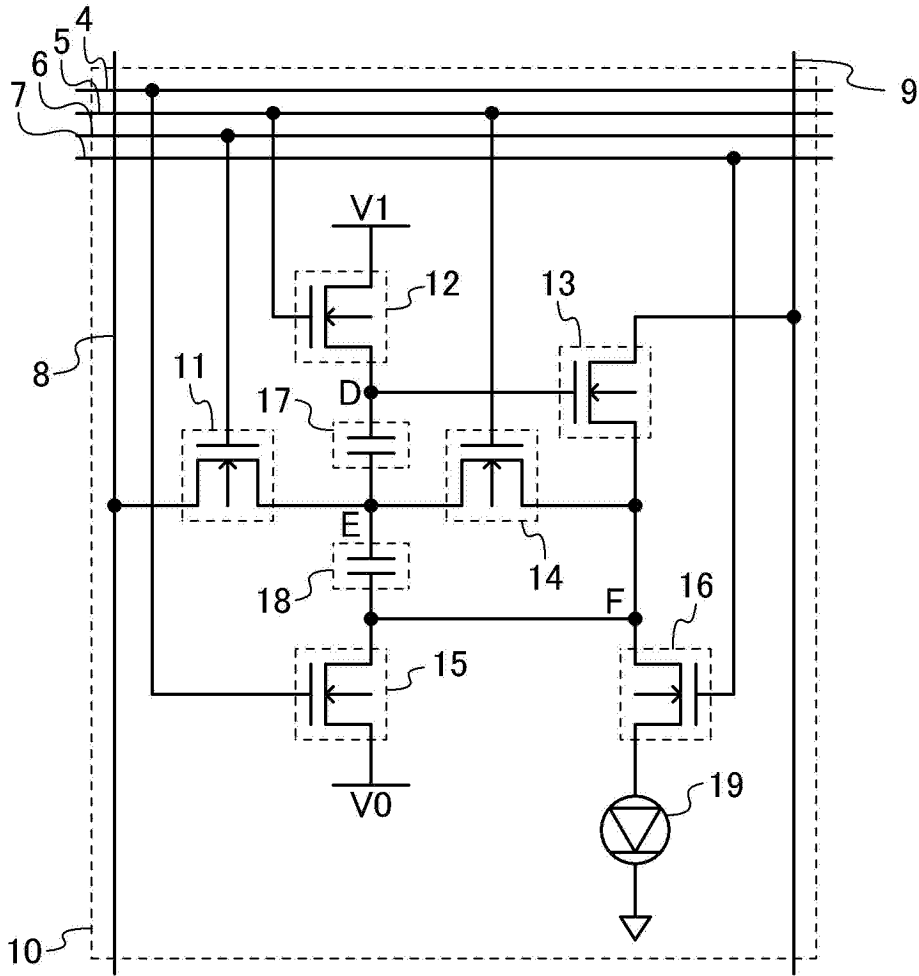


图 7A

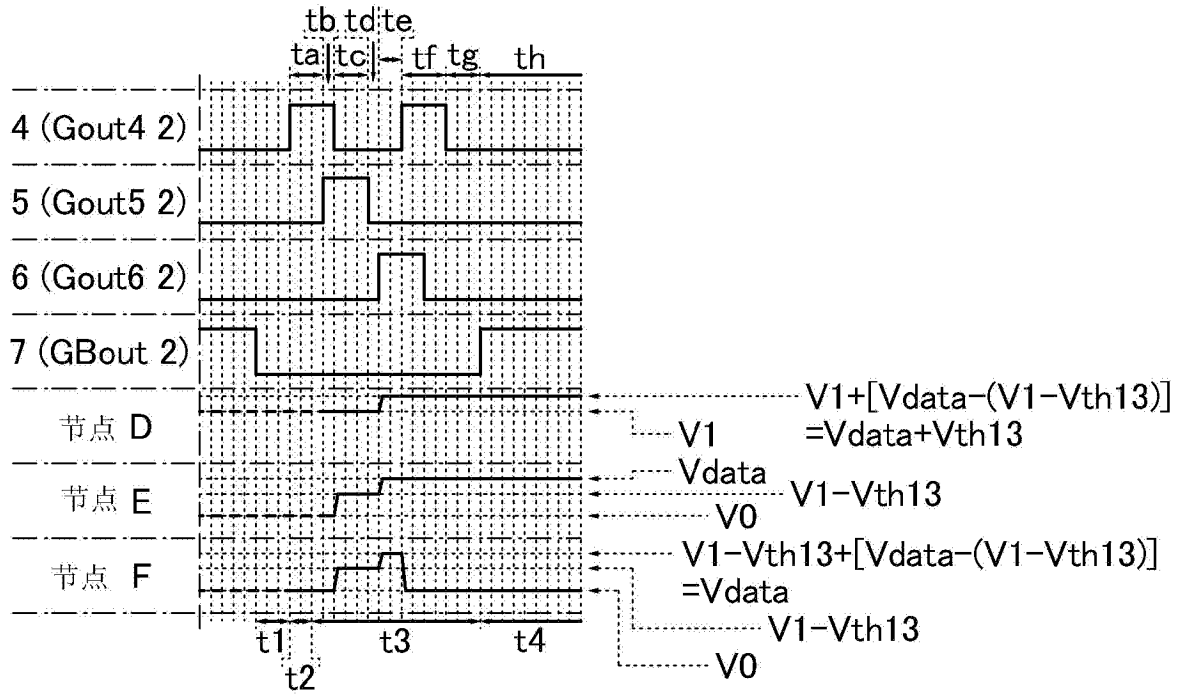


图 7B

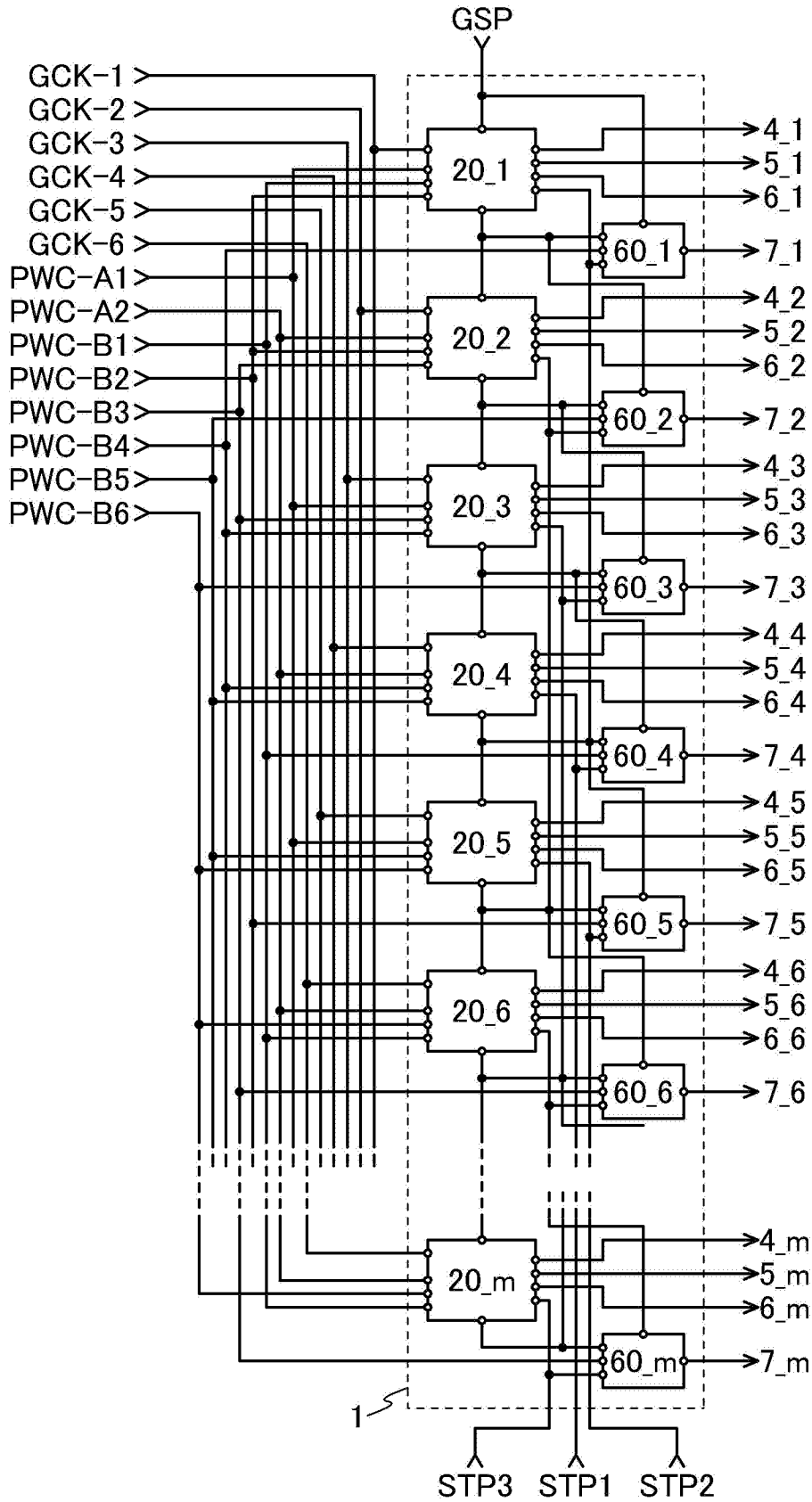


图 8

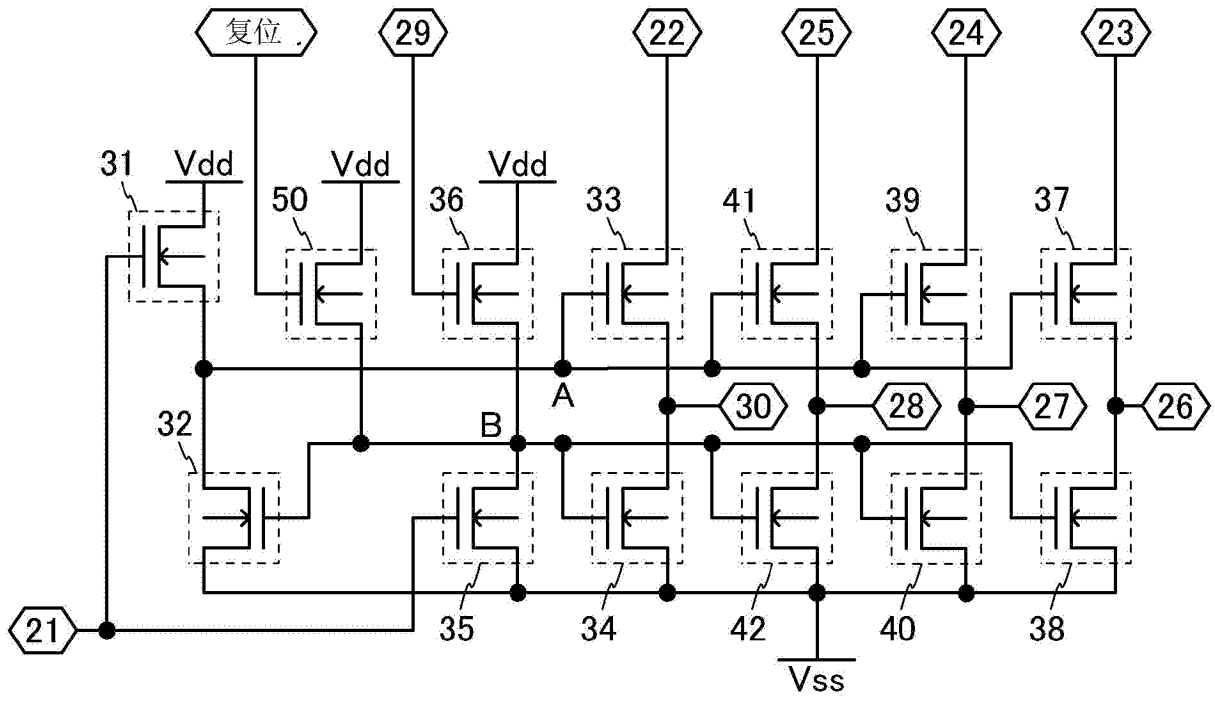


图 9A

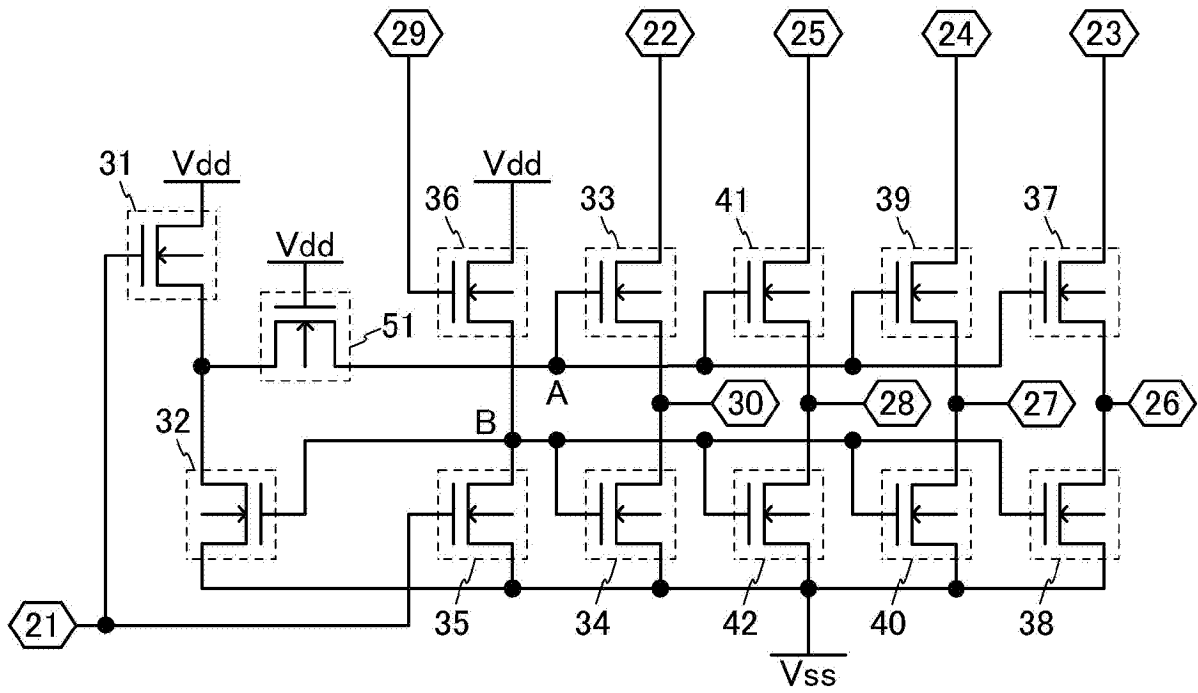


图 9B

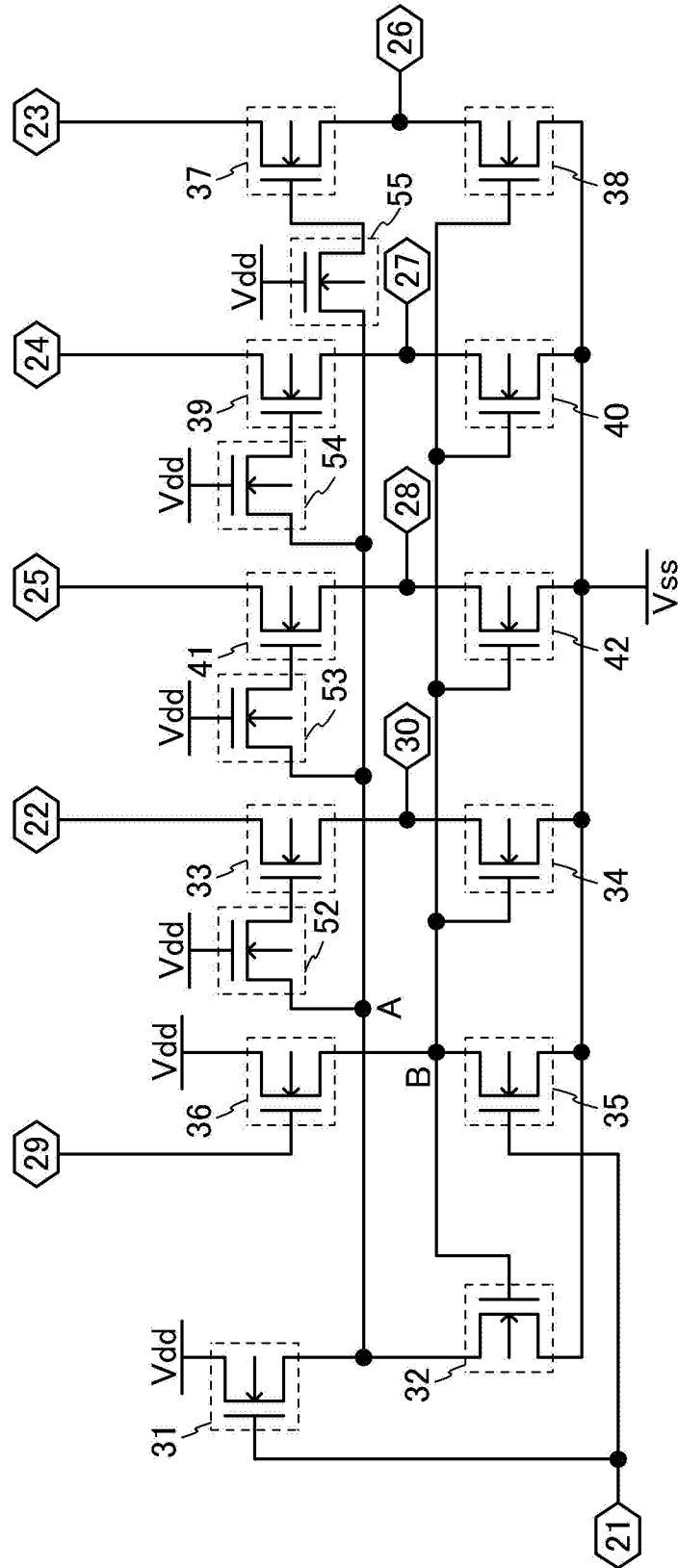


图 10

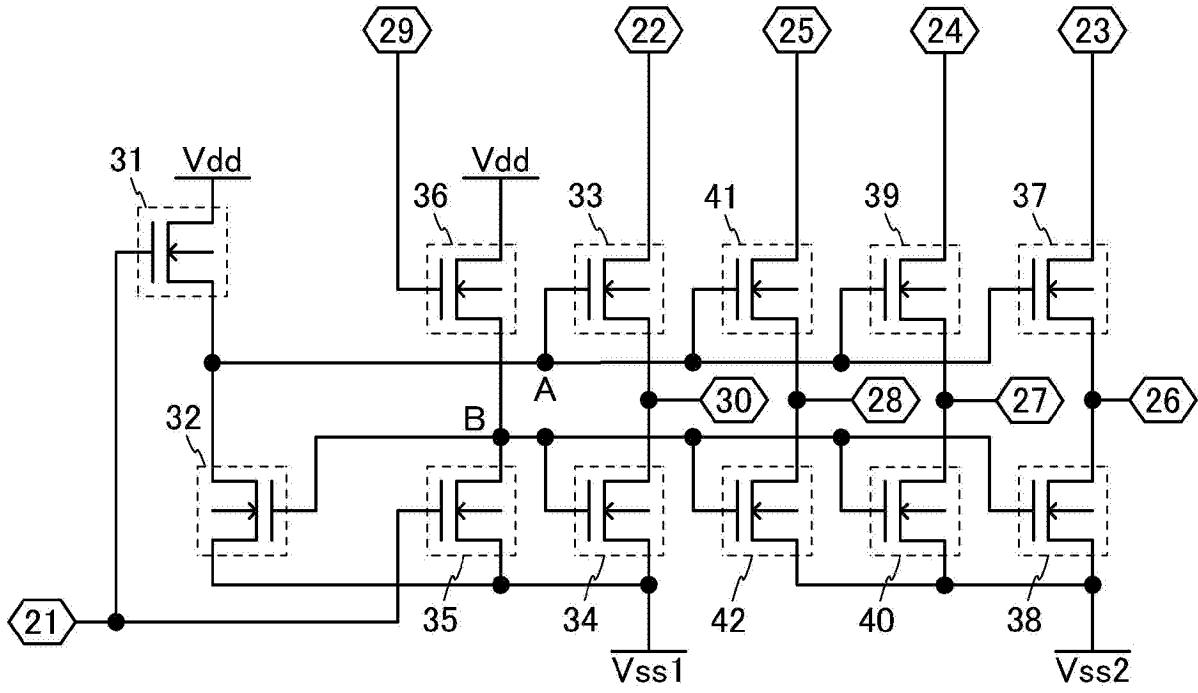


图 11

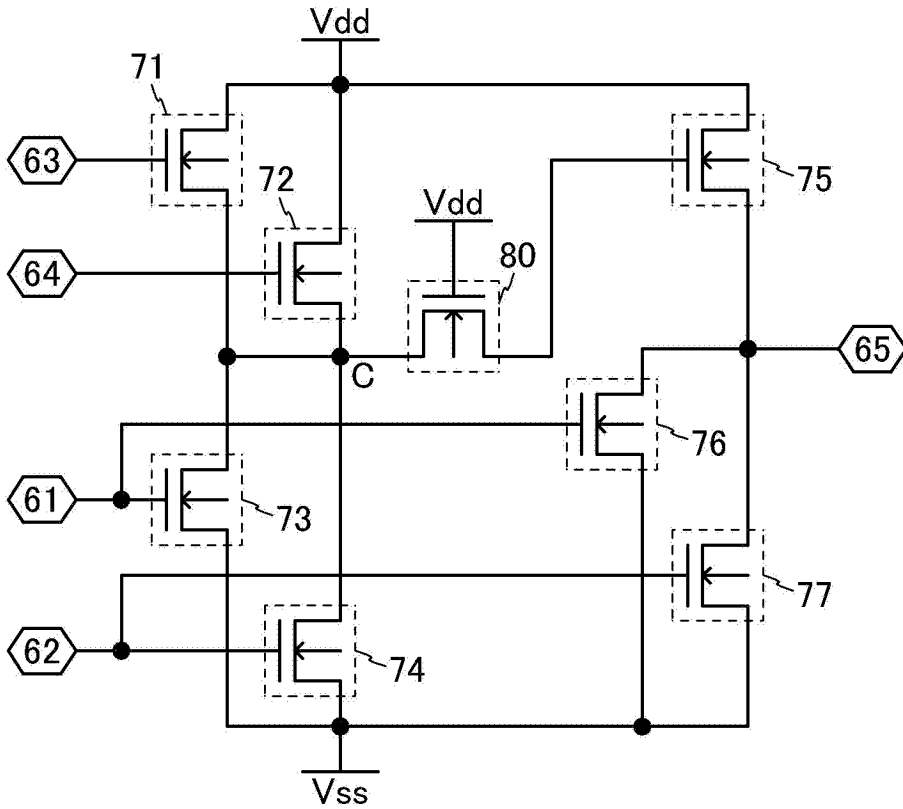


图 12A



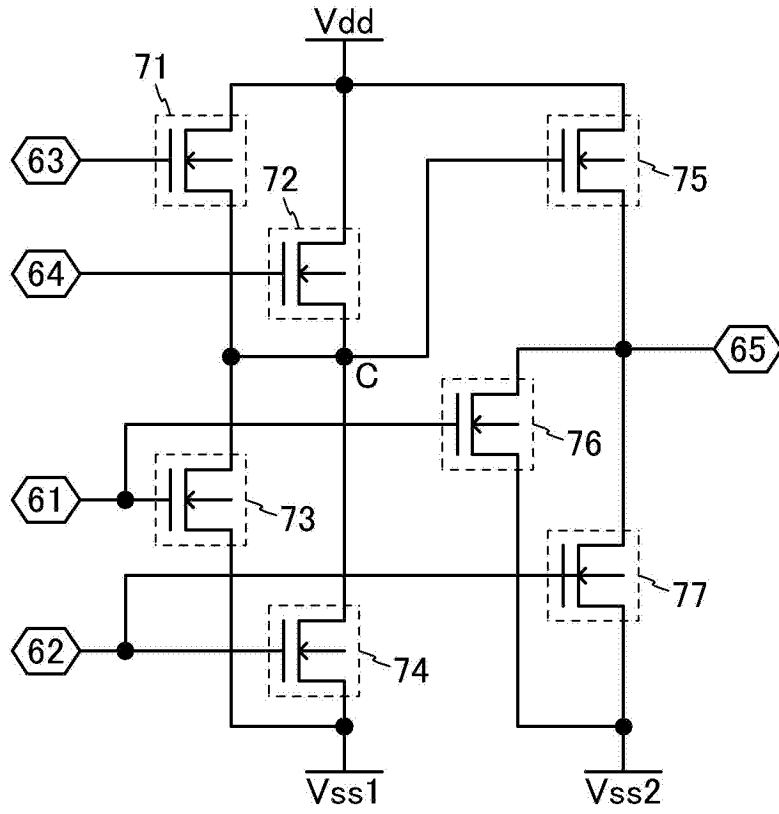


图 12B

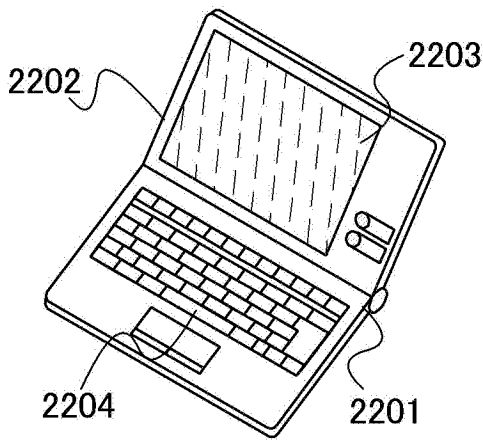


图 13A

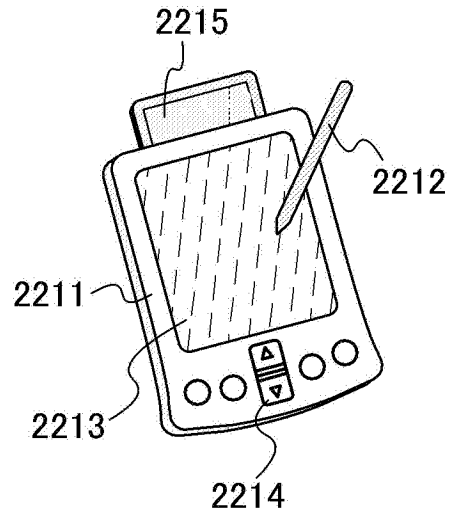


图 13B

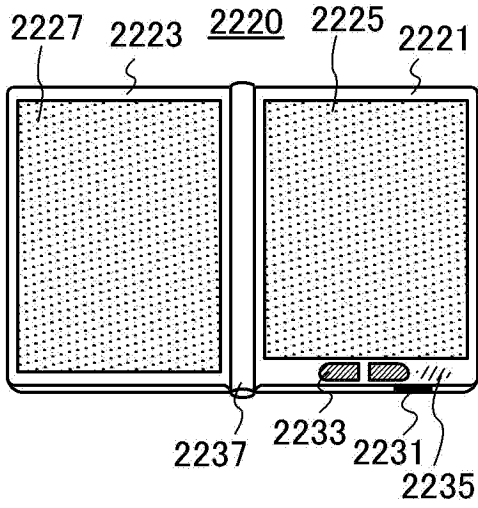


图 13C

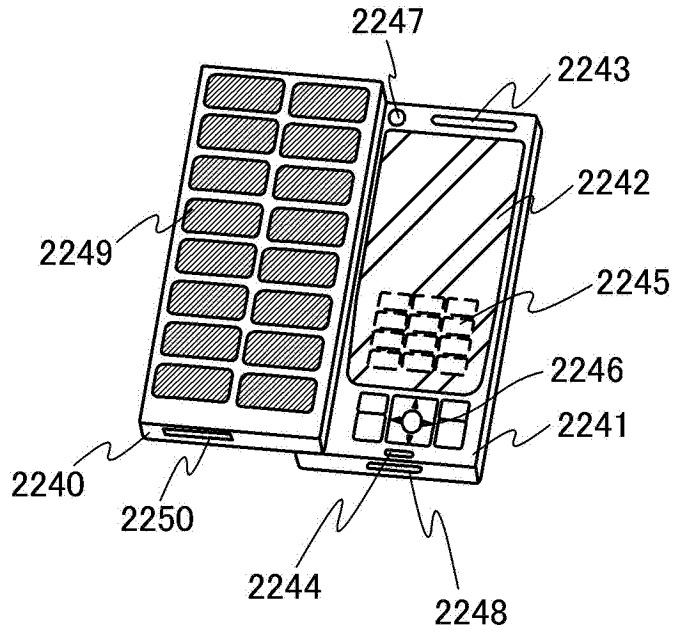


图 13D

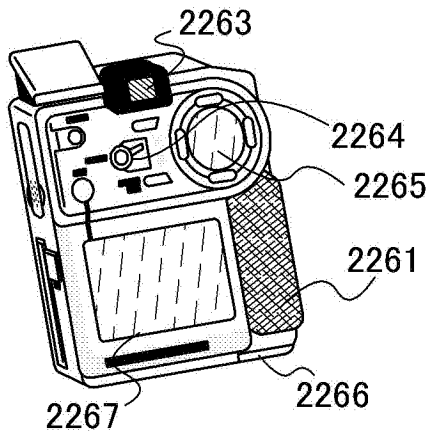


图 13E

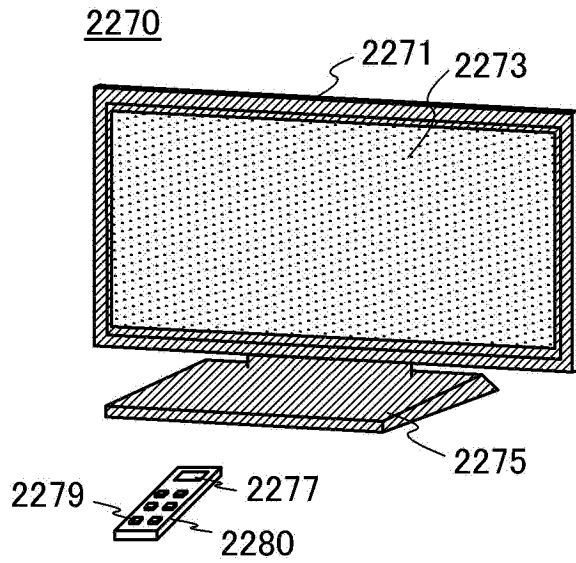


图 13F