

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-147483

(P2012-147483A)

(43) 公開日 平成24年8月2日(2012.8.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO4L 27/36 (2006.01)	HO4L 27/00 F	5K004
HO4J 13/00 (2011.01)	HO4J 13/00 100	

審査請求 有 請求項の数 17 O L (全 34 頁)

(21) 出願番号	特願2012-89047 (P2012-89047)	(71) 出願人	000004237 日本電気株式会社
(22) 出願日	平成24年4月10日 (2012.4.10)		東京都港区芝五丁目7番1号
(62) 分割の表示	特願2007-537573 (P2007-537573) の分割	(74) 代理人	110000604 特許業務法人 共立
原出願日	平成18年9月13日 (2006.9.13)	(72) 発明者	大賀 敬之 東京都港区芝五丁目7番1号 日本電気株式会社内
(31) 優先権主張番号	特願2005-281893 (P2005-281893)	Fターム(参考)	5K004 AA05 AA08 FF01 JF04
(32) 優先日	平成17年9月28日 (2005.9.28)		
(33) 優先権主張国	日本国(JP)		

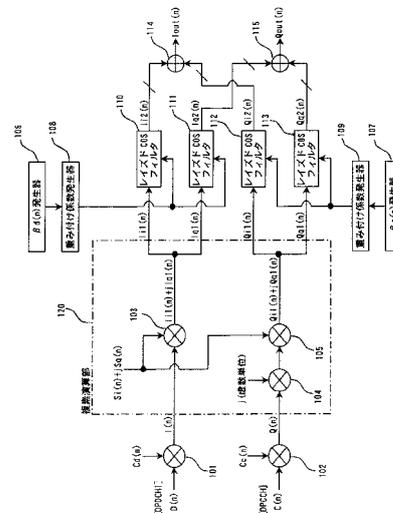
(54) 【発明の名称】 変調器、フィルタ、フィルタのゲイン制御方法、および符号変調方法

(57) 【要約】

【課題】 小型で、低コスト、低消費電力でかつ発熱量の少ない変調器を提供すること。

【解決手段】 小型で、低コスト、低消費電力であり、発熱量の少ない、かつ、低スプリアスの変調器である。この変調器は、入力した送信データ $D(n)$ 、 $C(n)$ を符号変調して出力する乗算器(101、102)と、複素演算部(120)と、ゲイン制御信号を生成するデータチャネルゲインファクタ信号発生器(106)と、制御チャネルゲインファクタ信号発生器(107)と、複素演算部(120)の出力を入力してレイズドコサインフィルタ(110~113)のゲイン制御を行う重み付け係数設定信号発生器(108、109)とを具備する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

送信データを入力し符号変調して出力する符号変調部と、
 ゲイン制御信号を生成するゲイン制御信号生成部と、
 前記符号変調部の出力を入力し、帯域制限して出力するフィルタ部とを備え、
 さらに、前記フィルタ部は、
 過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力する
 時系列データ生成部と、
 前記ゲイン制御信号生成部の出力を入力し、その値に従って、複数の重み付け係数を前
 記時系列データ生成部が出力した前記時系列データの複数の信号それぞれの前記シフト処
 理に対応付けて設定する係数設定部と、
 前記係数設定部により設定された前記複数の重み付け係数によりゲイン制御するゲイン
 制御部と
 を備えたことを特徴とする変調器。

10

【請求項 2】

第 1 の送信データを入力し符号変調して第 1 の符号変調出力を出力する第 1 の符号変調
 部と、
 第 2 の送信データを入力し符号変調して第 2 の符号変調出力を出力する第 2 の符号変調
 部と、
 第 1 のゲイン制御信号を生成する第 1 のゲイン制御信号生成部と、
 第 2 のゲイン制御信号を生成する第 2 のゲイン制御信号生成部と、
 前記第 1 の符号変調出力を入力し、帯域制限して出力する第 1 のフィルタ部と、
 前記第 2 の符号変調出力を入力し、帯域制限して出力する第 2 のフィルタ部と、
 前記第 1 および第 2 のフィルタ部の出力を入力し、合成して出力する加算部とを備え、
 さらに、前記第 1 のフィルタ部は、
 過去の入力信号を含む複数の信号からなる第 1 の時系列データをシフト処理しながら出
 力する第 1 の時系列データ生成部と、
 前記第 1 のゲイン制御信号生成部の出力を入力し、その値に従って、複数の第 1 の重み
 付け係数を前記第 1 の時系列データ生成部が出力した前記第 1 の時系列データの複数の信
 号それぞれの前記第 1 のシフト処理に対応付けて設定する第 1 の係数設定部と、
 前記第 1 の係数設定部により設定された前記複数の第 1 の重み付け係数によりゲイン制
 御する第 1 のゲイン制御部とを備え、
 前記第 2 のフィルタ部は、
 過去の入力信号を含む複数の信号からなる第 2 の時系列データをシフト処理しながら出
 力する第 2 の時系列データ生成部と、
 前記第 2 のゲイン制御信号生成部の出力を入力し、その値に従って、複数の第 2 の重み
 付け係数を前記第 2 の時系列データ生成部が出力した前記第 2 の時系列データの複数の信
 号それぞれの前記第 2 のシフト処理に対応付けて設定する第 2 の係数設定部と、
 前記第 2 の係数設定部により設定された前記複数の第 2 の重み付け係数によりゲイン制
 御する第 2 のゲイン制御部と
 を備えたことを特徴とする変調器。

20

30

40

【請求項 3】

請求項 2 に記載の変調器において、
 前記第 1 のフィルタ部および前記第 2 のフィルタ部は、符号化により多重化された複数の
 のチャンネル毎にそれぞれ設けられることを特徴とする変調器。

【請求項 4】

請求項 1 に記載の変調器において、前記フィルタ部は、FIR フィルタであることを特
 徴とする変調器。

【請求項 5】

請求項 1 に記載の変調器において、前記フィルタ部は、

50

入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、

前記ゲイン制御信号生成部の出力を入力して複数の重み付け係数をそれぞれ格納するとともに出力する複数のレジスタ部と、

前記シフトレジスタ部から出力される前記時系列データの前記複数の信号、および前記複数のレジスタ部から出力される前記複数の重み付け係数のそれぞれを同期して入力し、乗算して出力する複数の乗算器と、

前記複数の乗算器の出力を加算する加算器と
を有することを特徴とする変調器。

【請求項 6】

10

請求項 1 に記載の変調器において、前記フィルタ部は、

入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、

前記ゲイン制御信号生成部の出力を入力し、シフト処理を行い、過去のゲイン制御信号を含む複数の信号からなる時系列データとして出力するシフトレジスタと、

前記シフトレジスタから出力される前記複数の信号に複数の所定の係数をそれぞれ乗算して複数の重み付け係数として出力する複数の第 1 乗算器と、

前記シフトレジスタ部から出力される前記複数の信号および前記第 1 乗算器から出力される前記複数の重み付け係数をそれぞれ同期して入力し、乗算して出力する複数の第 2 乗算器と、

20

前記複数の第 2 乗算器の出力を加算する加算器と
を有することを特徴とする変調器。

【請求項 7】

請求項 1 に記載の変調器において、前記フィルタ部の入力信号は、1 ビットデータであることを特徴とする変調器。

【請求項 8】

入力信号を帯域制限して出力するフィルタであって、

過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力する時系列データ生成部と、

ゲイン制御信号に応じて、複数の重み付け係数を前記時系列データ生成部が出力した前記時系列データの複数の信号それぞれの前記シフト処理に対応付けて設定する係数設定部と、

30

前記係数設定部により設定された前記複数の重み付け係数によりゲイン制御するゲイン制御部と

を備えたことを特徴とするフィルタ。

【請求項 9】

請求項 8 に記載のフィルタにおいて、前記フィルタは、FIR フィルタであることを特徴とするフィルタ。

【請求項 10】

請求項 8 に記載のフィルタにおいて、

40

入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、

前記ゲイン制御信号に応じて複数の重み付け係数をそれぞれ格納するとともに出力する複数のレジスタ部と、

前記シフトレジスタ部から出力される前記時系列データの前記複数の信号、および前記複数のレジスタ部から出力される前記複数の重み付け係数のそれぞれを同期して入力し、乗算して出力する複数の乗算器と、

前記複数の乗算器の出力を加算する加算器と
をさらに含むことを特徴とするフィルタ。

【請求項 11】

50

請求項 8 に記載のフィルタにおいて、

入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、

前記ゲイン制御信号を入力し、シフト処理を行い、過去のゲイン制御信号を含む複数の信号からなる時系列データとして出力するシフトレジスタと、

前記シフトレジスタから出力される前記複数の信号に複数の所定の係数をそれぞれ乗算して複数の重み付け係数として出力する複数の第 1 乗算器と、

前記シフトレジスタ部から出力される前記複数の信号および前記第 1 乗算器から出力される前記複数の重み付け係数をそれぞれ同期して入力し、乗算して出力する複数の第 2 乗算器と、

前記複数の第 2 乗算器の出力を加算する加算器と、
をさらに含むことを特徴とするフィルタ。

【請求項 1 2】

請求項 8 に記載のフィルタにおいて、前記フィルタの入力信号は、
1 ビットデータであることを特徴とするフィルタ。

【請求項 1 3】

入力信号を帯域制限して出力するフィルタのゲイン制御方法であって、

過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力するステップと、

ゲイン制御信号に応じて、複数の重み付け係数を前記時系列データを出力するステップで出力された前記時系列データの複数の信号それぞれの前記シフト処理に対応付けて設定するステップと、

設定された前記複数の重み付け係数によりゲインを制御するステップと

を含むことを特徴とするフィルタのゲイン制御方法。

【請求項 1 4】

請求項 1 3 に記載のフィルタのゲイン制御方法において、前記フィルタは、F I R フィルタであることを特徴とするフィルタのゲイン制御方法。

【請求項 1 5】

請求項 1 3 に記載のフィルタのゲイン制御方法において、前記フィルタの前記入力信号は、1 ビットデータであることを特徴とするフィルタのゲイン制御方法。

【請求項 1 6】

送信データを入力し符号変調して出力するステップと、

ゲイン制御信号を生成するステップと、

前記符号変調するステップの出力を入力して帯域制限して出力するステップとを備え、
さらに、前記帯域制限するステップは、

過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力するステップと、

前記ゲイン制御信号を生成するステップの出力を入力し、その値に従って、複数の重み付け係数を、前記時系列データを出力するステップが出力した前記時系列データの複数の信号それぞれの前記シフト処理に対応付けて設定するステップと、

前記係数を設定するステップにより設定された前記複数の重み付け係数によりゲイン制御するステップと

を備えたことを特徴とする符号変調方法。

【請求項 1 7】

請求項 1 6 に記載の符号変調方法において、前記入力信号は、1 ビットデータであることを特徴とする符号変調方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、変調器、フィルタ、フィルタのゲイン制御方法、および符号変調方法に関し

10

20

30

40

50

、特に、無線通信などに使用され、符号化により多重化されたチャネル毎に振幅レベルが設定可能なデジタル変調器、その変調器に含まれるフィルタ、フィルタのゲイン制御方法、および符号変調方法に関する。

【背景技術】

【0002】

W - C D M A (Wideband Code Division Multiple Access) 方式を使用する通信システムでは、移動局から基地局への上り回線での通信時に、変調方式として H P S K (Hybrid Phase Shift Keying) 変調器が使用される。

【0003】

図7にH P S K変調器の構成の一例を示す。これは移動体通信システムの標準規格である3 G P P (3rd Generation Partnership Project) のTechnical Specification 3GPP T S 25.213に記載されている。

10

【0004】

図7において、送信すべき複数の信号チャネルのデータはDPDCH1~6、DPCCH、HS-DPCCHで示される。これらは各々1ビット時系列データである。変調器は、複数の信号チャネル毎に、複数の乗算器901~908および複数の乗算器910~917がそれぞれ設けられている。データDPDCH1~6、DPCCH、HS-DPCCHはチャネル多重のため、乗算器901~908にて各々1ビット時系列データであるチャネル識別のためのチャネライゼーションコードCd1~6、Cc、Chsが乗算される。次に、チャネル毎のレベル設定のため乗算器910~917にて各々ゲインファクタ d1~6、 c、 hsが乗算される。d1~6、 c、 hsは複数ビット幅を持つ時系列データである。したがって乗算器910~917の出力も複数ビット幅を持つ時系列データとなる。

20

【0005】

図7の例の場合、乗算器910~917の出力は同相チャネルと直交チャネルにグループ分けされ、各々実数として乗算器910~913の出力は同相チャネル加算器919に、乗算器914~917の出力は直交チャネル加算器920にそれぞれ入力され加算される。実数出力である同相チャネル加算器919の出力I、直交チャネル加算器920の出力Qは複素演算部930に入力される。複素演算部930は、複素乗算器921、複素乗算器922、および複素加算器923を含む。

【0006】

複素演算部930で直交チャネル加算器920の出力Qには複素乗算器922にて虚数単位jが乗算されたのち、複素加算器923にて同相チャネル加算器919の出力Iと加算され、以降、複素信号(I + j Q)として扱われる。複素信号(I + j Q)には複素乗算器921にて移動局固有である移動局識別のためのスクランブルコード(S i + j S q)が乗算され、複素信号(I' + j Q')が生成される。スクランブルコード(S i + j S q)は実部がS iで虚部の係数がS qである複素数であり、S iとS qは各々1ビット時系列データである。実部I'と虚部の係数Q'は分離され、各々実数として複素演算部930より出力される。複素信号(I' + j Q')は各々レイズドコサインフィルタ(以後、図中、「レイズドC O Sフィルタ」と示す)924、925にて、帯域制限並びにロールオフ特性を与えるためのフィルタリングがなされた後、出力であるI outおよびQ outが生成される。

30

40

【0007】

次に、図8にレイズドコサインフィルタの例を示す。レイズドコサインフィルタには一般的にF I Rフィルタが使用される。

【0008】

レイズドコサインフィルタは、一般的に矩形波形である入力信号に対しルートロールオフ特性を付与することにより、受信復調信号に符号間干渉を生じること無しに、送信周波数帯域を制限するだけでなく、受信機側のフィルタとともに整合フィルタを構成するものである。

【0009】

50

以後、図中で $X(n)$ のような表記をした場合、 $X(n)$ はデータ列 X の n 番目のデータである。 n (整数)は時系列を示し、 n が大きいほど時間的に後のデータであることを意味する。特にW-CDMA方式では、チップレート周波数 3.84MHz を基準にその整数倍周波数でオーバーサンプリング動作を行っており、 n はその離散時刻に対応する。

【0010】

図8に示すように、レイズドコサインフィルタは、シフトレジスタ801と、複数の乗算器802~805と、複数の重み付け係数生成器(図中、「T0」、「T1」、・・・、「 T_{m-2} 」、「 T_{m-1} 」と示す)806~809と、加算器810と、を含む。

【0011】

入力データ $X(n)$ は m ビット(m は整数)のシフトレジスタ801に入力される。この時シフトレジスタ801は $X(n)$ 、 $X(n-1)$ 、・・・、 $X(n-m+2)$ 、 $X(n-m+1)$ を同時に出力する。 $X(n)$ 、 $X(n-1)$ 、・・・、 $X(n-m+2)$ 、 $X(n-m+1)$ は、それぞれ乗算器802~805に入力され、乗算器802~805にて各々重み付け係数 $T(0)$ 、 $T(1)$ 、・・・、 $T(m-2)$ 、 $T(m-1)$ と乗算された後、加算器810で加算され、出力される。重み付け係数 $T(0)$ 、 $T(1)$ 、・・・、 $T(m-2)$ 、 $T(m-1)$ は各々重み付け係数生成器806~809にて生成される。

10

【0012】

次に、図8および図9を用いてHPSK変調器の時系列動作を説明する。ここでは簡略化のため、図7で示した同相チャンネルグループはDPDCH1チャンネルのみ、直交チャンネルグループはDPCCHチャンネルのみの場合を示す。

【0013】

DPDCH1チャンネルデータ $D(n)$ は、乗算器701によりチャネライゼーションコード $Cd(n)$ と乗算され、さらに乗算器703によりゲインファクタ $d(n)$ と乗算され、複素演算部710の同相入力データ $I(n)$ となる。この $I(n)$ は下記の(1)式により示される。

20

【0014】

$$I(n) = D(n) \cdot Cd(n) \cdot d(n) \quad \dots (1)$$

DPCCHチャンネルデータ $C(n)$ は、乗算器702によりチャネライゼーションコード $Cc(n)$ と乗算され、さらに乗算器704によりゲインファクタ $c(n)$ と乗算され、複素演算部710の直交入力データ $Q(n)$ となる。この $Q(n)$ は下記の(2)式により示される。

【0015】

$$Q(n) = C(n) \cdot Cc(n) \cdot c(n) \quad \dots (2)$$

30

複素演算部710は同相入力データ $I(n)$ 、直交入力データ $Q(n)$ を取り込むと、まず乗算器706で直交入力データ $Q(n)$ に虚数単位 j を乗算したのち、加算器707で同相入力データ $I(n)$ に加算し、複素データ $(I(n) + jQ(n))$ を生成する。複素データ $(I(n) + jQ(n))$ は乗算器705にて複素データであるスクランブルコード $(Si(n) + jSq(n))$ を複素乗算され、複素データ $(I'(n) + jQ'(n))$ が生成される。この複素データ $(I'(n) + jQ'(n))$ は下記の(3)式により示される。

【0016】

$$\begin{aligned} I'(n) + jQ'(n) &= \{I(n) + jQ(n)\} \cdot \{Si(n) + jSq(n)\} \\ &= \{I(n) \cdot Si(n) - Q(n) \cdot Sq(n)\} + j\{I(n) \cdot Sq(n) + Q(n) \cdot Si(n)\} \quad \dots (3) \end{aligned}$$

40

複素演算部710は複素データ $(I'(n) + jQ'(n))$ の実部 $I'(n)$ と虚部係数 $Q'(n)$ を実数データとして、各々レイズドコサインフィルタ708、709に出力する。実部と虚部は独立しているため、(3)式が常に成り立つためには、(4)式および(5)式となる。

【0017】

$$I'(n) = I(n) \cdot Si(n) - Q(n) \cdot Sq(n) \quad \dots (4)$$

$$Q'(n) = I(n) \cdot Sq(n) + Q(n) \cdot Si(n) \quad \dots (5)$$

(4)式および(5)式にそれぞれ(1)式および(2)式を代入し、整理すると、(6)式および(7)式がそれぞれ得られる。

【0018】

$$I'(n) = \{D(n) \cdot Cd(n) \cdot Si(n)\} \cdot d(n) - \{C(n) \cdot Cc(n) \cdot Sq(n)\} \cdot c(n) \quad \dots (6)$$

$$Q'(n) = \{D(n) \cdot Cd(n) \cdot Sq(n)\} \cdot d(n) + \{C(n) \cdot Cc(n) \cdot Si(n)\} \cdot c(n) \quad \dots (7)$$

50

レイズドコサインフィルタ708、709が図8に示したタップ数 m 、重み付け係数 T_0, T_1, \dots, T_{m-1} のFIRフィルタで構成されている場合、それらの出力 $lout(n), Qout(n)$ は次の(8)式および(9)式でそれぞれ表される。

【0019】

$$lout(n) = T_0 \cdot I'(n) + T_1 \cdot I'(n-1) + \dots + T_{m-2} \cdot I'(n-m+2) + T_{m-1} \cdot I'(n-m+1) \quad \dots (8)$$

$$Qout(n) = T_0 \cdot Q'(n) + T_1 \cdot Q'(n-1) + \dots + T_{m-2} \cdot Q'(n-m+2) + T_{m-1} \cdot Q'(n-m+1) \quad \dots (9)$$

$I'(n), Q'(n)$ はゲインファクタが積の因子として含まれていることから複数ビットデータである。また重み付け係数 $T_k (k=0, 1, \dots, m-1)$ も複数ビットデータである。したがって、(8)式および(9)式によると各々のレイズドコサインフィルタでの演算において、多ビット同士の乗算がタップ数回だけ発生する。

【0020】

(8)式および(9)式に(6)式および(7)式をそれぞれ代入し整理すると、下記の(10)式および(11)式が得られる。

【0021】

$$lout(n) = T_0 \cdot \{ d(n) \cdot D(n) \cdot Cd(n) \cdot Si(n) - c(n) \cdot C(n) \cdot Cc(n) \cdot Sq(n) \} + T_1 \cdot \{ d(n-1) \cdot D(n-1) \cdot Cd(n-1) \cdot Si(n-1) - c(n-1) \cdot C(n-1) \cdot Cc(n-1) \cdot Sq(n-1) \} + \dots + T_{m-2} \cdot \{ d(n-m+2) \cdot D(n-m+2) \cdot Cd(n-m+2) \cdot Si(n-m+2) - c(n-m+2) \cdot C(n-m+2) \cdot Cc(n-m+2) \cdot Sq(n-m+2) \} + T_{m-1} \cdot \{ d(n-m+1) \cdot D(n-m+1) \cdot Cd(n-m+1) \cdot Si(n-m+1) - c(n-m+1) \cdot C(n-m+1) \cdot Cc(n-m+1) \cdot Sq(n-m+1) \} \quad \dots (10)$$

$$Qout(n) = T_0 \cdot \{ d(n) \cdot D(n) \cdot Cd(n) \cdot Sq(n) + c(n) \cdot C(n) \cdot Cc(n) \cdot Si(n) \} + T_1 \cdot \{ d(n-1) \cdot D(n-1) \cdot Cd(n-1) \cdot Sq(n-1) + c(n-1) \cdot C(n-1) \cdot Cc(n-1) \cdot Si(n-1) \} + \dots + T_{m-2} \cdot \{ d(n-m+2) \cdot D(n-m+2) \cdot Cd(n-m+2) \cdot Sq(n-m+2) + c(n-m+2) \cdot C(n-m+2) \cdot Cc(n-m+2) \cdot Si(n-m+2) \} + T_{m-1} \cdot \{ d(n-m+1) \cdot D(n-m+1) \cdot Cd(n-m+1) \cdot Sq(n-m+1) + c(n-m+1) \cdot C(n-m+1) \cdot Cc(n-m+1) \cdot Si(n-m+1) \} \quad \dots (11)$$

この結果、上述のレイズドコサインフィルタにおいて、複数ビット値同士の乗算が単位時間当たり、FIRフィルタのタップ数とクロック周波数(チップレート周波数とオーバーサンプリング倍率の積)の積のさらに2倍($lout, Qout$ それぞれ)発生し、膨大な演算量となる。

【0022】

そのため、演算回路規模が増大し、小型化が困難になり、コストが高くなるという問題が発生する。また、その回路を動作させるための消費電力が増大し、発熱量が増大するという問題も発生する。また信号品質向上のため演算精度を高めようとする、さらに演算量が増えるため、更なる演算回路規模や消費電力の増大が生じ、信号品質向上が困難であるという問題が発生する。

【0023】

この問題を解消するため、従来の変調器として、たとえば特許文献1および特許文献2に記載されたものがある。特許文献1および特許文献2においては、演算順序を工夫することにより演算量を削減する技術が開示されている。

【0024】

演算に入力されるデータにおいて複数ビット長であるのは、ゲインファクタおよび重み付け係数である。それ以外の入力データは1ビットデータであり乗算器に排他的論理和回路を使用できるので、演算回路規模も小さく、よって消費電力も小さい。そこで特許文献1および特許文献2では、複数ビット乗算演算を演算順序の終わりの方へ寄せることにより、上記問題を改善している。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0025】

【特許文献1】特開2001-339365号公報

【特許文献2】特開2001-156679号公報

【発明の概要】

【発明が解決しようとする課題】

【0026】

しかしながら、上記2つの特許文献に記載の従来の変調器は、以下の点において、改善の余地を有している。

10

【0027】

特許文献2記載の技術では、ゲインファクタ乗算処理をレイズドコサインフィルタよりも後段に配置したため、ゲインファクタ変更時に発生するステップ状のレベル変化がレイズドコサインフィルタによりフィルタリングされず信号スペクトルが広がり、隣接チャンネルにスプリアスが発生するという問題がある。

【0028】

この問題を防止するため、特許文献1ではゲインファクタ生成方法を工夫している。すなわち、特許文献1においても、レイズドコサインフィルタ演算よりも後の演算でゲインファクタの乗算を行うが、ゲインファクタはエンベロープ発生器によりランプ状に変化させて供給されるように構成されているので、スプリアス発生は改善される。

20

【0029】

しかし、そのためにデジタルフィルタ回路を含むエンベロープ発生器を備える必要があり、回路規模は増大する。また、ゲインファクタ変更時のエンベロープ挙動はレイズドコサインフィルタによりフィルタリングされたものでなく、あくまでもエンベロープ特性をステップ状からランプ状に変更し近似処理を行ったに過ぎない。したがって、スプリアス問題は根本的に解決されておらず、依然として残っている。

【0030】

以上をまとめると、上記2つの特許文献にそれぞれ記載の従来の変調器は、以下の点において、改善の余地を有している。

【0031】

第一に、演算量が膨大となるため、それを実行する演算回路の規模が増大するため、小型化が困難である。

30

【0032】

第二に、演算量が膨大となるため、それを実行する演算回路の規模が増大するため、コストが高くなる。

【0033】

第三に、演算量が膨大となるため、それを実行する演算回路の規模が増大するため、消費電力が増大する。

【0034】

第四に、演算量が膨大となるため、それを実行する演算回路の規模が増大し、それに伴い消費電力が増大するため、発熱量が増大する。

40

【0035】

第五に、演算精度を高めるためには演算量をさらに増やす必要があり、その結果上記第一から第四の問題が発生するため、演算精度を高めて信号品質を向上することが困難である。

【0036】

第六に、演算量削減のためゲインファクタ乗算処理をレイズドコサインフィルタよりも後段に配置すると、ゲインファクタ変更時に発生するステップ状のレベル変化がレイズドコサインフィルタによりフィルタリングされず、信号スペクトルが隣接チャンネルまで広がってしまうため、ゲインファクタ変更時に隣接チャンネルにスプリアスが発生する。

50

【 0 0 3 7 】

第七に、上記第六の問題点であるスプリアス発生を改善するためにエンベロープ発生器を備えた場合、演算量が増加し、それを実行する演算回路の規模が増大するため、小型化が困難である。

【 0 0 3 8 】

第八に、上記第六の問題点であるスプリアス発生を改善するためにエンベロープ発生器を備えた場合、演算量が増加し、それを実行する演算回路の規模が増大するため、コストが高くなる。

【 0 0 3 9 】

第九に、上記第六の問題点であるスプリアス発生を改善するためにエンベロープ発生器を備えた場合、演算量が増加し、それを実行する演算回路の規模が増大するため、消費電力が増大する。

10

【 0 0 4 0 】

第十に、上記第六の問題点であるスプリアス発生を改善するためにエンベロープ発生器を備えた場合、演算量が増加するため、それを実行する演算回路の規模が増大し、それに伴い消費電力が増大するため、発熱量が増大する。

【 0 0 4 1 】

第十一の問題点は、上記第六の問題点であるスプリアス発生を改善するためにエンベロープ発生器を備えても、ゲインファクタ変更時のエンベロープ挙動はレイズドコサインフィルタによりフィルタリングされたものでなく、あくまでもエンベロープ特性をステップ状からランプ状に変更するという近似的処理に過ぎないため、残留スプリアスが存在する。

20

【 0 0 4 2 】

本発明は、上記事情に鑑みてなされたものであり、小型で、低コスト、低消費電力でかつ発熱量の少ない変調器を提供することにある。また、本発明は、演算精度を高めることによる信号品質向上が容易な変調器を提供することができる。

【 0 0 4 3 】

さらに、本発明は低スプリアスの変調器を提供することができる。

【 課題を解決するための手段 】

【 0 0 4 4 】

30

本発明によれば、送信データを入力し符号変調して出力する符号変調部と、ゲイン制御信号を生成するゲイン制御信号生成部と、符号変調部の出力を入力し、帯域制限して出力するフィルタ部とを備え、さらに、フィルタ部は、過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力する時系列データ生成部と、ゲイン制御信号生成部の出力を入力し、その値に従って、複数の重み付け係数を時系列データ生成部が出力した時系列データの複数の信号それぞれのシフト処理に対応付けて設定する係数設定部と、

係数設定部により設定された複数の重み付け係数によりゲイン制御するゲイン制御部とを備えたことを特徴とする変調器が提供される。

40

【 0 0 4 5 】

ここで、ゲイン制御信号とは、W - C D M A方式においては、たとえば、符号チャネル間のレベル比を示すゲインファクタ信号である。

【 0 0 4 6 】

この発明によれば、フィルタのゲイン制御をゲイン制御信号に応じて動的に制御することで、フィルタよりも前段でゲイン制御を行うのと同等の演算結果が得られるとともに、前段でゲイン制御を行う場合には複数ビット時系列データであるフィルタ入力信号を1ビット時系列データとすることが可能となり、演算量を削減できる。その結果、回路の小型化が容易で、コスト、消費電力、発熱量を低減できる。さらに、演算量が減った分だけ演

50

算精度向上のための回路規模拡大が容易となり、故に信号品質の向上が容易となる。また、ゲインファクタ変更時にスプリアスが生じることはなく、信号品質が向上する。そして、スプリアス抑圧手段が不要となることから、小型化が容易となり、コスト、消費電力、発熱量を低減できる。

【 0 0 4 7 】

本発明によれば、第 1 の送信データを入力し符号変調して第 1 の符号変調出力を出力する第 1 の符号変調部と、

第 2 の送信データを入力し符号変調して第 2 の符号変調出力を出力する第 2 の符号変調部と、

第 1 のゲイン制御信号を生成する第 1 のゲイン制御信号生成部と、

第 2 のゲイン制御信号を生成する第 2 のゲイン制御信号生成部と、

第 1 の符号変調出力を入力し、帯域制限して出力する第 1 のフィルタ部と、

第 2 の符号変調出力を入力し、帯域制限して出力する第 2 のフィルタ部と、

第 1 および第 2 のフィルタ部の出力を入力し、合成して出力する加算部とを備え、

さらに、第 1 のフィルタ部は、

過去の入力信号を含む複数の信号からなる第 1 の時系列データをシフト処理しながら出力する第 1 の時系列データ生成部と、

第 1 のゲイン制御信号生成部の出力を入力し、その値に従って、複数の第 1 の重み付け係数を第 1 の時系列データ生成部が出力した第 1 の時系列データの複数の信号それぞれの第 1 のシフト処理に対応付けて設定する第 1 の係数設定部と、

第 1 の係数設定部により設定された複数の第 1 の重み付け係数によりゲイン制御する第 1 のゲイン制御部とを備え、

第 2 のフィルタ部は、

過去の入力信号を含む複数の信号からなる第 2 の時系列データをシフト処理しながら出力する第 2 の時系列データ生成部と、

第 2 のゲイン制御信号生成部の出力を入力し、その値に従って、複数の第 2 の重み付け係数を第 2 の時系列データ生成部が出力した第 2 の時系列データの複数の信号それぞれの第 2 のシフト処理に対応付けて設定する第 2 の係数設定部と、

第 2 の係数設定部により設定された複数の第 2 の重み付け係数によりゲイン制御する第 2 のゲイン制御部と

を備えたことを特徴とする変調器が提供される。

【 0 0 4 8 】

上記変調器において、第 1 のフィルタ部および第 2 のフィルタ部は、符号化により多重化される複数のチャンネル毎にそれぞれ設けられることができる。

【 0 0 4 9 】

上記変調器において、フィルタ部は、過去の入力信号を含む複数の信号からなる時系列データを出力する時系列データ生成部と、ゲイン制御信号生成部の出力を入力し、その値に従って、複数の重み付け係数を時系列データ生成部が出力した時系列データの複数の信号それぞれに対応付けて設定する設定部と、を含むことができる。

【 0 0 5 0 】

上記変調器において、フィルタ部は、FIR フィルタとすることができる。

【 0 0 5 1 】

上記変調器において、フィルタ部は、入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、ゲイン制御信号生成部の出力を入力して複数の重み付け係数をそれぞれ格納するとともに出力する複数のレジスタ部と、シフトレジスタ部から出力される時系列データの複数の信号、および複数のレジスタ部から出力される複数の重み付け係数のそれぞれを同期して入力し、乗算して出力する複数の乗算器と、複数の乗算器の出力を加算する加算器と、を有することができる。

【 0 0 5 2 】

10

20

30

40

50

上記変調器において、フィルタ部は、入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、ゲイン制御信号生成部の出力を入力し、シフト処理を行い、過去のゲイン制御信号を含む複数の信号からなる時系列データとして出力するシフトレジスタと、シフトレジスタから出力される複数の信号に複数の所定の係数をそれぞれ乗算して複数の重み付け係数として出力する複数の第1乗算器と、シフトレジスタ部から出力される複数の信号および第1乗算器から出力される複数の重み付け係数のそれぞれを同期して入力し、乗算して出力する複数の第2乗算器と、複数の第2乗算器の出力を加算する加算器と、を有することができる。

【0053】

上記変調器において、フィルタ部の入力信号は、1ビットデータとすることができる。

10

【0054】

従来の変調器において、フィルタの前段でゲイン制御を行う場合には、その入力信号は複数ビット時系列データとなるが、本発明の変調器においては、ゲイン制御信号に応じてダイナミックにフィルタの重み付け係数を制御することで、フィルタへの入力信号を1ビット時系列データとすることができる。これにより演算量を削減できる。

【0055】

本発明によれば、入力信号を帯域制限して出力するフィルタであって、

過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力する時系列データ生成部と、

ゲイン制御信号に応じて、複数の重み付け係数を時系列データ生成部が出力した時系列データの複数の信号それぞれのシフト処理に対応付けて設定する係数設定部と、

20

係数設定部により設定された複数の重み付け係数によりゲイン制御するゲイン制御部とを備えたことを特徴とするフィルタが提供される。

【0056】

この発明によれば、ゲイン制御信号に応じて、ダイナミックに重み付け係数を変更してフィルタの理想的なゲイン制御が可能となる。このフィルタを用いれば、上述の本発明の変調器が実現可能となる。

【0057】

上記フィルタは、FIRフィルタとすることができる。

【0058】

30

上記フィルタは、入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、ゲイン制御信号に応じて複数の重み付け係数をそれぞれ格納するとともに出力する複数のレジスタ部と、シフトレジスタ部から出力される時系列データの複数の信号、および複数のレジスタ部から出力される複数の重み付け係数のそれぞれを同期して入力し、乗算して出力する複数の乗算器と、複数の乗算器の出力を加算する加算器とをさらに含むことができる。

【0059】

上記フィルタは、入力信号にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データとして出力するシフトレジスタ部と、ゲイン制御信号を入力し、シフト処理を行い、過去のゲイン制御信号を含む複数の信号からなる時系列データとして出力するシフトレジスタと、シフトレジスタから出力される複数の信号に複数の所定の係数をそれぞれ乗算して複数の重み付け係数として出力する複数の第1乗算器と、シフトレジスタ部から出力される複数の信号および第1乗算器から出力される複数の重み付け係数をそれぞれ同期して入力し、乗算して出力する複数の第2乗算器と、複数の第2乗算器の出力を加算する加算器とをさらに含むことができる。

40

【0060】

上記フィルタの入力信号は、1ビットデータとすることができる。

【0061】

本発明によれば、入力信号を帯域制限して出力するフィルタのゲイン制御方法であって

50

過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力するステップと、

ゲイン制御信号に応じて、複数の重み付け係数を時系列データを出力するステップで出力された時系列データの複数の信号それぞれのシフト処理に対応付けて設定するステップと、

設定された複数の重み付け係数によりゲインを制御するステップとを含むことを特徴とするフィルタのゲイン制御方法が提供される。

【0062】

上記フィルタのゲイン制御方法において、フィルタは、FIRフィルタとすることができる。

【0063】

上記フィルタのゲイン制御方法において、フィルタの入力信号は、1ビットデータとすることができる。

【0064】

本発明によれば、送信データを入力し符号変調して出力するステップと、ゲイン制御信号を生成するステップと、符号変調するステップの出力を入力して帯域制限して出力するステップとを備え、さらに、帯域制限するステップは、過去の入力信号を含む複数の信号からなる時系列データをシフト処理しながら出力するステップと、

ゲイン制御信号を生成するステップの出力を入力し、その値に従って、複数の重み付け係数を、時系列データを出力するステップが出力した時系列データの複数の信号それぞれのシフト処理に対応付けて設定するステップと、

係数を設定するステップにより設定された複数の重み付け係数によりゲイン制御するステップとを備えたことを特徴とする符号変調方法が提供される。

【0065】

上記符号変調方法において、入力信号は、1ビットデータとすることができる。

【0066】

なお、以上に述べた構成要素の任意の組合せや、本発明の表現を方法、装置、システム、記録媒体、コンピュータプログラムなどの間で変換したものもまた、本発明の態様として有効である。

【発明の効果】

【0067】

本発明によれば、小型で、低コスト、低消費電力でかつ発熱量の少ない変調器が提供される。また本発明によれば、演算精度を高めることによる信号品質向上が容易な変調器が提供される。さらに本発明によれば、低スプリアスの変調器が提供される。

【図面の簡単な説明】

【0068】

【図1】本発明の第一の実施例に係る変調器の構成を示すブロック図である。

【図2】本発明の第一の実施例に係るFIRフィルタの構成を示すブロック図である。

【図3】本発明の第二の実施例に係るFIRフィルタの構成を示すブロック図である。

【図4】本発明の第三の実施例に係るFIRフィルタの構成を示すブロック図である。

【図5】本発明の第四の実施例に係るFIRフィルタの構成を示すブロック図である。

【図6】本発明の第五の実施例に係る変調器の構成を示すブロック図である。

【図7】W-CDMA方式における3GPPで規定されている変調器の構成の一例を示す図である。

【図8】図7の変調器に用いられるレイズドコサインフィルタの構成の一例を示す図である。

【図9】W-CDMA方式における3GPPで規定されている変調器の動作説明図である

10

20

30

40

50

。

【発明を実施するための形態】

【0069】

以下、本発明の幾つかの好ましい実施例について、添付の図面を参照して説明する。なお、全ての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。
第一の実施例：

図1は、本発明の第一の実施例に係る変調器の構成を示す図である。本実施例の変調器は、送信データを入力し符号変調して出力する符号変調部（乗算器101、102、複素演算部120）と、ゲイン制御信号を生成するゲイン制御信号生成部（データチャンネルゲインファクタ信号発生器106、制御チャンネルゲインファクタ信号発生器107）と、符号変調部の出力を入力し、帯域制限して出力するフィルタ部（レイズドコサインフィルタ110～113）と、ゲイン制御信号生成部の出力を入力し、フィルタ部のゲイン制御を行うゲイン制御部（重み付け係数設定信号発生器108、109）と、を備える。

10

【0070】

本発明の変調器は、符号チャンネル毎にレイズドコサインフィルタを設け、帯域制限フィルタのゲインを制御することにより各符号チャンネルのゲインを制御することを特徴とする。

。

【0071】

すなわち、第一の実施例の変調器は、図1に示すように、第1の送信データ（DPDCH1チャンネルデータ $D(n)$ ）を入力し符号変調して第1の符号変調出力を出力する第1の符号変調部（乗算器101および複素乗算器103）と、第2の送信データ（DPCCHチャンネルデータ $C(n)$ ）を入力し符号変調して第2の符号変調出力を出力する第2の符号変調部（乗算器102、複素乗算器104、複素乗算器105）と、第1のゲイン制御信号を生成する第1のゲイン制御信号生成部（データチャンネルゲインファクタ信号発生器106）と、第2のゲイン制御信号を生成する第2のゲイン制御信号生成部（制御チャンネルゲインファクタ信号発生器107）と、第1の符号変調出力を入力し、帯域制限して出力する第1のフィルタ部（レイズドコサインフィルタ110、111）と、第2の符号変調出力を入力し、帯域制限して出力する第2のフィルタ部（レイズドコサインフィルタ112、113）と、第1および第2のフィルタ部の出力を入力し、合成して出力する加算部（加算器114、115）と、第1のゲイン制御信号生成部の出力を入力し、第1のフィルタ部のゲイン制御を行う第1のゲイン制御部（重み付け係数設定信号発生器108）と、第2のゲイン制御信号生成部の出力を入力し、第2のフィルタ部のゲイン制御を行う第2のゲイン制御部（重み付け係数設定信号発生器109）と、を備える。

20

30

【0072】

また、変調器の各構成要素は、任意のコンピュータのCPU、メモリ、メモリにロードされた本図の構成要素を実現するプログラム、そのプログラムを格納するハードディスクなどの記憶ユニット、ネットワーク接続用インタフェースを中心にハードウェアとソフトウェアの任意の組合せによっても実現される。そして、その実現方法、装置にはいろいろな変形例があることは、当業者には理解されるところである。以下説明する各図は、ハードウェア単位の構成ではなく、機能単位のブロックを示している。

40

【0073】

具体的には、第一の実施例の変調器は、乗算器101、102、複素演算部120、データチャンネルゲインファクタ信号発生器（図中、「 $d(n)$ 発生器」と示す）106、制御チャンネルゲインファクタ信号発生器（図中、「 $c(n)$ 発生器」と示す）107、重み付け係数設定信号発生器108、109、レイズドコサインフィルタ（図中、「レイズドCOSフィルタ」と示す）110～113、加算器114、115を備えている。

【0074】

以下の全ての実施例において、特に明記無き場合、構成要素は共通のクロック信号に同期したタイミングで動作する。また時系列データ D の時刻 n における値を $D(n)$ と表記する。ここで時刻 n は、クロック信号の個々のパルスに対応付けられた離散時刻である。

50

【 0 0 7 5 】

斜線を付加された信号線路は、複数ビット時系列データを伝送する信号線路であることを示す。

【 0 0 7 6 】

また、1ビット値は - 1 または 1 の 2 値をとる。

【 0 0 7 7 】

乗算器 1 0 1 および乗算器 1 0 2 は、複数の入力信号に対し個々の信号が識別できるような信号チャネル符号化を行うチャネル符号変調手段を構成する。

【 0 0 7 8 】

乗算器 1 0 1 は、1ビット時系列データであるデータチャネルDPDCH1のデータ $D(n)$ と、データチャネルチャネライゼーションコード発生器（図示しない）の出力で1ビット時系列データであるデータチャネルのチャネライゼーションコード $Cd(n)$ を入力し、1ビット時系列データ $I(n)$ を出力する。

10

【 0 0 7 9 】

乗算器 1 0 2 は、1ビット時系列データである制御チャネルDPCCHのデータ $C(n)$ と、制御チャネルチャネライゼーションコード発生器（図示しない）の出力で1ビット時系列データである制御チャネルのチャネライゼーションコード $Cc(n)$ を入力し、1ビット時系列データ $Q(n)$ を生成する。

【 0 0 8 0 】

また、複素演算部 1 2 0 は、各信号チャネルに対し共通のスクランブルコードを重畳するとともに同相チャネル、直交チャネルに分割するためのスクランブル符号変調手段を構成する。

20

【 0 0 8 1 】

複素演算部 1 2 0 は、複素乗算器 1 0 3、1 0 4、1 0 5 およびスクランブルコード（ $S_i(n) + jS_q(n)$ ）を生成するスクランブルコード生成器（図示しない）を含む。ここで $S_i(n)$ 、 $S_q(n)$ は1ビット時系列データであり、 j は虚数単位を示す。したがって、（ $S_i(n) + jS_q(n)$ ）は実部 $S_i(n)$ 、虚部の係数 $S_q(n)$ の複素数を示す。

【 0 0 8 2 】

複素乗算器 1 0 3 は、乗算器 1 0 1 の出力 $I(n)$ とスクランブルコード $S_i(n) + jS_q(n)$ とを入力し複素乗算して、 $I_{i1}(n) + jI_{q1}(n)$ を出力する。これは実部 $I_{i1}(n)$ 、虚部の係数 $I_{q1}(n)$ の複素数値で、 $I_{i1}(n)$ 、 $I_{q1}(n)$ は1ビット時系列データある。

30

【 0 0 8 3 】

複素乗算器 1 0 4 は、乗算器 1 0 2 の出力 $Q(n)$ を入力し、虚数単位 j を乗算して複素数値 $jQ(n)$ を出力する。複素乗算器 1 0 5 は、複素乗算器 1 0 4 の出力 $jQ(n)$ とスクランブルコード（ $S_i(n) + jS_q(n)$ ）とを入力し複素乗算して、（ $Q_{i1}(n) + jQ_{q1}(n)$ ）を出力する。これは実部 $Q_{i1}(n)$ 、虚部の係数 $Q_{q1}(n)$ の複素数値で、 $Q_{i1}(n)$ 、 $Q_{q1}(n)$ は1ビット時系列データある。

【 0 0 8 4 】

複素演算部 1 2 0 は、複素乗算器 1 0 3 の出力である（ $I_{i1}(n) + jI_{q1}(n)$ ）の係数 $I_{i1}(n)$ 、 $I_{q1}(n)$ および、複素乗算器 1 0 5 の出力である（ $Q_{i1}(n) + jQ_{q1}(n)$ ）の係数 $Q_{i1}(n)$ 、 $Q_{q1}(n)$ をそれぞれ実数値1ビット時系列データとして出力する。

40

【 0 0 8 5 】

なお、チャネル符号変調手段とスクランブル符号変調手段をまとめて、符号変調手段とする。

【 0 0 8 6 】

データチャネルゲインファクタ信号発生器 1 0 6 は、データチャネルゲインファクタ信号 $d(n)$ を生成し、重み付け係数設定信号発生器 1 0 8 へ出力する。 $d(n)$ は複数ビット時系列データである。

【 0 0 8 7 】

重み付け係数設定信号発生器 1 0 8 は、データチャネルゲインファクタ信号発生器 1 0

50

6 の出力であるデータチャンネルゲインファクタ信号 $d(n)$ を入力し、データチャンネル重み付け係数設定信号をレイズドコサインフィルタ 110、111 へ出力する。データチャンネル重み付け係数設定信号は、複数ビット時系列データである。

【0088】

制御チャンネルゲインファクタ信号発生器 107 は、制御チャンネルゲインファクタ信号 $c(n)$ を生成し、重み付け係数設定信号発生器 109 へ出力する。 $c(n)$ は複数ビット時系列データである。

【0089】

重み付け係数設定信号発生器 109 は、制御チャンネルゲインファクタ信号発生器 107 の出力である制御チャンネルゲインファクタ信号 $c(n)$ を入力し、制御チャンネル重み付け係数設定信号をレイズドコサインフィルタ 112、113 へ出力する。制御チャンネル重み付け係数設定信号は、複数ビット時系列データである。

10

【0090】

重み付け係数設定信号発生器 108 および 109 は、フィルタ手段のゲインを制御するための制御信号を生成するゲイン制御信号生成手段を構成する。

【0091】

レイズドコサインフィルタ 110、111、112、113 は、符号変調手段によって生成された信号毎の同相および直交チャンネル毎に帯域制限を行い、かつゲイン制御を行うフィルタ手段を構成する。

【0092】

レイズドコサインフィルタ 110 は、複素演算部 120 の出力 $li1(n)$ と重み付け係数設定信号発生器 108 出力のデータチャンネル重み付け係数設定信号を入力し、複数ビット時系列データである $li2(n)$ を出力する。

20

【0093】

レイズドコサインフィルタ 111 は、複素演算部 120 の出力 $lq1(n)$ と重み付け係数設定信号発生器 108 出力のデータチャンネル重み付け係数設定信号を入力し、複数ビット時系列データである $lq2(n)$ を出力する。

【0094】

レイズドコサインフィルタ 112 は、複素演算部 120 の出力 $Qi1(n)$ と重み付け係数設定信号発生器 109 出力の制御チャンネル重み付け係数設定信号を入力し、複数ビット時系列データである $Qi2(n)$ を出力する。

30

【0095】

レイズドコサインフィルタ 113 は、複素演算部 120 の出力 $Qq1(n)$ と重み付け係数設定信号発生器 109 出力の制御チャンネル重み付け係数設定信号を入力し、複数ビット時系列データである $Qq2(n)$ を出力する。

【0096】

加算器 114 は、レイズドコサインフィルタ 110 の出力である $li2(n)$ とレイズドコサインフィルタ 112 の出力である $Qi2(n)$ を入力し、複数ビット時系列データである変調器同相成分出力 $lout(n)$ を出力する。

【0097】

加算器 115 は、レイズドコサインフィルタ 111 の出力である $lq2(n)$ とレイズドコサインフィルタ 113 の出力である $Qq2(n)$ を入力し、複数ビット時系列データである変調器直交成分出力 $Qout(n)$ を出力する。

40

【0098】

加算器 114、115 は、フィルタ手段であるレイズドコサインフィルタ 110 ~ 113 の出力を同相、直交チャンネル毎に合成する加算手段を構成する。

【0099】

図 2 は、図 1 に示したレイズドコサインフィルタ 110 ~ 113 の構成の一例を示すブロック図である。第二の実施例のレイズドコサインフィルタは、符号化変調された信号を帯域制限して出力するフィルタであって、過去の入力信号を含む複数の信号からなる時系

50

列データを出力する時系列データ生成部（シフトレジスタ201）と、ゲイン制御信号に応じて、複数の重み付け係数を時系列データ生成部が出力した時系列データの複数の信号それぞれに対応付けて設定する係数設定部（レジスタ206、207、208、209）と、係数設定部により設定された複数の重み付け係数によりゲイン制御するゲイン制御部（乗算器202、203、204、205）と、を備える。

【0100】

第二の実施例において、レイズドコサインフィルタはFIRフィルタを用い、その重み付け係数を動的に制御することにより、レイズドコサインフィルタのゲインを制御することを特徴とする。

【0101】

ここで、FIRフィルタでは各重み付け係数間の比率を固定したまま全係数を同一一定数倍（例えば 倍）した場合、その周波数特性は全体のゲインが一様に 倍されるだけで任意の2周波数間の相対的なゲイン差は変化しない。逆に、各重み付け係数間の比率を変更すると、相対的なゲイン差を変更することができ、これによって所要のカットオフ特性や減衰量を得られる場合がある。

【0102】

一般に、W-CDMA方式の携帯端末から基地局に向かっての上り回線においては、符号間干渉を発生させることなしに帯域制限を行うため、ロールオフ特性を持ったフィルタが挿入されている。これは基本的に送信側および受信側に対等に分割挿入され、それ故にルートロールオフフィルタと呼ばれる。本発明の各実施例では、携帯端末送信側のルートロールオフフィルタがFIRフィルタで構成されたレイズドコサインフィルタとして実装されている。ロールオフ特性はロールオフファクタと呼ばれる係数で表され、W-CDMAにおいては3GPP規格にて0.22と規定されている。

【0103】

また、W-CDMA方式の携帯端末送信系においては、原則的にはレイズドコサインフィルタのみでルートロールオフ特性を得る設計になっているが、実際にはレイズドコサインフィルタ以外の回路（以後、「その他回路」と呼ぶ）の周波数特性も重畳される。したがって、その他回路の周波数特性を補正するようにレイズドコサインフィルタを調整し、送信系全体でルートロールオフ特性を満たすことができれば、送信信号の品質を向上させることができる。

【0104】

その他回路の特性は個々の携帯端末毎にばらつくので、レイズドコサインフィルタを構成するFIRフィルタの各重み付け係数間の比率は、それらばらつきを吸収できるよう任意の値に変更できることが望ましい。

【0105】

また、複数の信号形式を同一の送信装置でカバーする場合がある。たとえばCDMAにおいても3GPPで規定されるW-CDMAに対して3GPP2で規定される狭帯域CDMA方式があり、これらの送信信号を同一の送信系で生成する場合、レイズドコサインフィルタのカットオフ周波数やロールオフ特性はシステム要求に応じた設定にする必要がある。

【0106】

このように複数の信号形式を同一の送信装置でカバーできるようにするためにも、レイズドコサインフィルタを構成するFIRフィルタの各重み付け係数間の比率は、任意の値に変更できることが望ましい。

【0107】

第一の実施例のレイズドコサインフィルタは、入力信号 $X(n)$ にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データ（ $X(n)$, $X(n-1)$, ..., $X(n-m+2)$, $X(n-m+1)$ ）として出力するシフトレジスタ部（シフトレジスタ201）と、ゲイン制御信号に応じて複数の重み付け係数（ $Z_0(n)$, $Z_1(n)$, ..., $Z_{m-2}(n)$, $Z_{m-1}(n)$ ）をそれぞれ格納するとともに出力する複数のレジスタ部（レジスタ206、207、208、209）と、シ

10

20

30

40

50

フトレジスタ部から出力される時系列データの複数の信号および複数のレジスタ部から出力される複数の重み付け係数をそれぞれ同期して入力し、乗算して出力する複数の乗算器 202、203、204、205 と、複数の乗算器の出力を加算する加算器 210 と、を含む。

【0108】

シフトレジスタ 201 は、入力信号にシフト処理を行い、現在および過去の入力信号を取り出すものであり、入力信号 $X(n)$ を入力し、 m 個の出力、即ち $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ を出力する。 $X(n)$ は入力信号と同じ値、 $X(n-1)$ は 1 クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m-2)$ クロック前、 $X(n-m+1)$ は $(m-1)$ クロック前の入力信号である。これらは全て 1 ビット時系列データである。なお、図 2 では、4 つのレジスタ 206、207、208、209 および 4 つの乗算器 202、203、204、205 のみが図示されているが、レジスタおよび乗算器は、シフトレジスタ 201 の m 個の出力に対応して m 組設けられる。

10

【0109】

複数のレジスタ 206、207、208、209 は、各々重み付け係数設定信号、ここでは、図 1 の重み付け係数設定信号発生器 108、109 から出力された信号により重み付け係数を入力し、記憶し、各々乗算器 202、203、204、205 へ出力する。図 2 では、レジスタ 206、207、208、209 には各々重み付け係数 $Z0(n)$ 、 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ が記憶され、またそれらから出力されている。なお、重み付け係数 $Z0(n)$ 、 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ は、複数ビット時系列データであり、シフトレジスタ 201 から出力される複数の信号 $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ にそれぞれ同期している。

20

【0110】

なお、図 1 の重み付け係数設定信号発生器 108 および重み付け係数設定信号発生器 109 から入力される重み付け係数設定信号は、複数ビット時系列データである重み付け係数 $Z0(n)$ 、 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ と、これらの重み付け係数を各々レジスタ 206 ~ 209 に書き込むためのレジスタ指定信号および同期制御信号とが含まれ、シフトレジスタ 201 から出力される複数の信号 $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ に $Z0(n)$ 、 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ をそれぞれ対応付けることができる。

【0111】

複数の乗算器 202、203、204、205 は、複数のレジスタ 206、207、208、209 の出力である重み付け係数 $Z0(n)$ 、 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ をそれぞれ入力し、シフトレジスタ 201 の複数の出力 $X(n)$ 、 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ とそれぞれ乗算し、各々複数ビット時系列データである乗算結果を加算器 210 に出力する。

30

【0112】

加算器 210 は、乗算器 202、203、204、205 の出力を入力して加算し、複数ビット時系列データであるフィルタ出力 $Y(n)$ を出力する。

【0113】

以上、詳細に第一の実施例の構成を述べたが、図 1 の乗算器 101、102、複素乗算器 103、104、105、加算器 114、115、図 2 のシフトレジスタ 201、乗算器 202、203、204、205、加算器 210 は、当業者にとってよく知られており、また本発明とは直接関係しないので、その詳細な構成の説明は省略する。

40

【0114】

このように構成された第一の実施例における変調器の動作について、図 1 に関連して以下に説明する。

【0115】

図 1 において、1 ビット時系列データであるデータチャネル DPDCH1 のデータ $D(n)$ は乗算器 101 に入力され、1 ビット時系列データであるデータチャネルのチャネライゼーションコード $Cd(n)$ と乗算されて、1 ビット時系列データ $I(n)$ に変換される。 $I(n)$ は、下記の(12)式で示される。

50

【 0 1 1 6 】

$$I(n) = D(n) \times Cd(n) \quad \dots (12)$$

また、1ビット時系列データである制御チャネルDPCCHのデータC(n)は乗算器102に
入力され、1ビット時系列データである制御チャネルのチャネライゼーションコードCc(n)
)と乗算されて、1ビット時系列データQ(n)に変換される。Q(n)は、下記の(13)式で示さ
れる。

【 0 1 1 7 】

$$Q(n) = C(n) \times Cc(n) \quad \dots (13)$$

そして、1ビット時系列データI(n)およびQ(n)は、複素演算部120に入力される。

【 0 1 1 8 】

複素演算部120にて、1ビット時系列データI(n)は、複素乗算器103に入力され、
スクランブルコード生成器(不図示)の生成するスクランブルコード(Si(n) + jSq(n))
と乗算され、(Ii1(n) + jIq1(n))が出力される。ここでjは虚数単位を示し、(Si(n) + j
Sq(n))は実部Si(n)、虚部の係数Sq(n)の複素数を示す。Si(n)、Sq(n)も1ビット時系列
データである。(Ii1(n) + jIq1(n))、Ii1(n)およびIq1(n)は、それぞれ下記の(14)式、(1
5)式および(16)式により示される。

【 0 1 1 9 】

$$Ii1(n) + jIq1(n) = I(n) \times \{Si(n) + jSq(n)\} \quad \dots (14)$$

$$\begin{aligned} Ii1(n) &= I(n) \times Si(n) \\ &= D(n) \times Cd(n) \times Si(n) \quad \dots (15) \end{aligned}$$

$$\begin{aligned} Iq1(n) &= Q(n) \times Sq(n) \\ &= D(n) \times Cd(n) \times Sq(n) \quad \dots (16) \end{aligned}$$

一方、1ビット時系列データQ(n)は複素演算部120にて、I(n)に対する直交成分入力
として扱われる。そこでここでは、Q(n)入力時に虚数単位jを乗算し、それ以降I(n)に対
する直交成分として演算できるようにしている。具体的には、Q(n)は複素乗算器104に
入力され、虚数単位jが乗算されて出力される。

【 0 1 2 0 】

複素乗算器104の出力jQ(n)は、複素乗算器105に入力され、スクランブルコード
生成器(不図示)の生成するスクランブルコード(Si(n) + jSq(n))と乗算され、(Qi1(n)
) + jQq1(n))が出力される。(Qi1(n) + jQq1(n))、Qi1(n)およびQq1(n)は、それぞれ下
記の(17)式、(18)式および(19)式で示される。

【 0 1 2 1 】

$$Qi1(n) + jQq1(n) = jQ(n) \times \{Si(n) + jSq(n)\} \quad \dots (17)$$

$$\begin{aligned} Qi1(n) &= -Q(n) \times Sq(n) \\ &= -C(n) \times Cc(n) \times Sq(n) \quad \dots (18) \end{aligned}$$

$$\begin{aligned} Qq1(n) &= Q(n) \times Si(n) \\ &= C(n) \times Cc(n) \times Si(n) \quad \dots (19) \end{aligned}$$

複素演算部120は、複素乗算器104および複素乗算器105の複素数出力の係数Ii
1(n)、Iq1(n)およびQi1(n)、Qq1(n)をそれぞれ実数値として分離する機能を有しており、
それぞれ1ビット時系列データとして出力する。

【 0 1 2 2 】

データチャネルゲインファクタ信号発生器106は、データチャネルゲインファクタ信
号 d(n)を生成する。

【 0 1 2 3 】

データチャネルゲインファクタ信号 d(n)は、複数ビット時系列データであり、変調器
出力におけるデータチャネルDPDCH1のレベルを設定するための、データチャネルDPDCH1に
関する変調器ゲインを設定する。

【 0 1 2 4 】

データチャネルゲインファクタ信号 d(n)は、重み付け係数設定信号発生器108に入
力され、複数ビット時系列データであるデータチャネル重み付け係数設定信号に変換され

10

20

30

40

50

る。

【0125】

データチャンネル重み付け係数設定信号は、レイズドコサインフィルタ110、111へ入力される。

【0126】

1ビット時系列データである複素演算部120の出力 $li1(n)$ と、複数ビット時系列データであるデータチャンネル重み付け係数設定信号は、レイズドコサインフィルタ110に入力され、複数ビット時系列データである $li2(n)$ が出力される。

【0127】

1ビット時系列データである複素演算部120の出力 $lq1(n)$ と、複数ビット時系列データであるデータチャンネル重み付け係数設定信号は、レイズドコサインフィルタ111に入力され、複数ビット時系列データである $lq2(n)$ が出力される。

10

【0128】

制御チャンネルゲインファクタ信号発生器107は、制御チャンネルゲインファクタ信号 $c(n)$ を生成する。

【0129】

制御チャンネルゲインファクタ信号 $c(n)$ は、複数ビット時系列データであり、変調器出力における制御チャンネルDPCCHのレベルを設定するための、制御チャンネルDPCCHに関する変調器ゲインを設定する。

【0130】

制御チャンネルゲインファクタ信号 $c(n)$ は、重み付け係数設定信号発生器109に入力され、複数ビット時系列データである制御チャンネル重み付け係数設定信号に変換される。

20

【0131】

制御チャンネル重み付け係数設定信号は、レイズドコサインフィルタ112、113へ入力される。

【0132】

1ビット時系列データである複素演算部120の出力 $Qi1(n)$ と、複数ビット時系列データである制御チャンネル重み付け係数設定信号は、レイズドコサインフィルタ112に入力され、複数ビット時系列データである $Qi2(n)$ が出力される。

【0133】

1ビット時系列データである複素演算部120の出力 $Qq1(n)$ と、複数ビット時系列データである制御チャンネル重み付け係数設定信号は、レイズドコサインフィルタ113に入力され、複数ビット時系列データである $Qq2(n)$ が出力される。

30

【0134】

レイズドコサインフィルタ110の出力である $li2(n)$ と、レイズドコサインフィルタ112の出力である $Qi2(n)$ は、加算器114に入力され、加算されて、複数ビット時系列データである変調器同相成分出力 $lout(n)$ として出力される。 $lout(n)$ は、下記の(20)式により示される。

【0135】

$$lout(n) = li2(n) + Qi2(n) \quad \dots (20)$$

40

レイズドコサインフィルタ111の出力である $lq2(n)$ と、レイズドコサインフィルタ113の出力である $Qq2(n)$ は、加算器115に入力され、加算されて、複数ビット時系列データである変調器直交成分出力 $Qout(n)$ として出力される。 $Qout(n)$ は、下記の(21)式により示される。

【0136】

$$Qout(n) = lq2(n) + Qq2(n) \quad \dots (21)$$

次に、図2を参照して、第一の実施例のレイズドコサインフィルタの動作について説明する。上述したように、第一の実施例のレイズドコサインフィルタは、FIRフィルタで構成されている。

【0137】

50

以下、時刻 n における状態で説明するが、それ以外の時刻でも同様である。

【 0 1 3 8 】

1 ビット時系列データである入力信号 $X(n)$ が $(m - 1)$ 段のシフトレジスタ 2 0 1 に入力されると、その出力には、 m 個の 1 ビット時系列データ出力 $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ が出力される。ここで $X(n)$ は入力信号と同じ値、 $X(n-1)$ は 1 クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m - 2)$ クロック前、 $X(n-m+1)$ は $(m - 1)$ クロック前の入力信号である。

【 0 1 3 9 】

出力 $X(n)$ は乗算器 2 0 2、 $X(n-1)$ は乗算器 2 0 3、 $X(n-m+2)$ は乗算器 2 0 4、 $X(n-m+1)$ は乗算器 2 0 5 に入力される。

10

【 0 1 4 0 】

一方、重み付け係数設定信号により、レジスタ 2 0 6、2 0 7、2 0 8、2 0 9 には各々複数ビットデータである重み付け係数 $Z_0(n)$ 、 $Z_1(n)$ 、 $Z_{m-2}(n)$ 、 $Z_{m-1}(n)$ が記憶され、またそれら重み付け係数は各々乗算器 2 0 2、2 0 3、2 0 4、2 0 5 へ出力されている。ここで重み付け係数 $Z_k(n)$ は下記の (22) 式で与えられる。以下、 $k = 0, 1, \dots, m-2, m-1$ とする。

【 0 1 4 1 】

$$Z_k(n) = T_k \cdot \quad (n-k) \quad \dots (22)$$

T_k は、FIR フィルタの静的なフィルタ基本特性を決定する静的重み付け係数であり、複数ビットデータで時刻によって変化しない。

20

【 0 1 4 2 】

$(n-k)$ は、時刻 $(n - k)$ におけるゲインファクタで、複数ビットデータである。

【 0 1 4 3 】

以上から、重み付け係数 $Z_k(n)$ が時刻 n に依存して変化する値であることは明らかである。

【 0 1 4 4 】

シフトレジスタ 2 0 1 の出力 $X(n)$ 、 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ と、レジスタ 2 0 6、2 0 7、2 0 8、2 0 9 の出力である重み付け係数 $Z_0(n)$ 、 $Z_1(n)$ 、 $Z_{m-2}(n)$ 、 $Z_{m-1}(n)$ は、乗算器 2 0 2、2 0 3、2 0 4、2 0 5 に入力され、各々乗算される。乗算器 2 0 2、2 0 3、2 0 4、2 0 5 の出力は、各々複数ビットデータである。これらは全て加算器 2 1 0 に入力され、加算され、フィルタ出力 $Y(n)$ として出力される。フィルタ出力 $Y(n)$ は、複数ビットデータである。フィルタ出力 $Y(n)$ は、下記の (23) 式で示される。

30

【 0 1 4 5 】

$$\begin{aligned} Y(n) &= Z_0(n) \cdot X(n) + Z_1(n) \cdot X(n-1) + \dots + Z_{m-2}(n) \cdot X(n-m+2) + Z_{m-1}(n) \cdot X(n-m+1) \\ &= T_0 \cdot \quad (n) \cdot X(n) + T_1 \cdot \quad (n-1) \cdot X(n-1) + \dots + T_{m-2} \cdot \quad (n-m+2) \cdot X(n-m+2) \\ &\quad + T_{m-1} \cdot \quad (n-m+1) \cdot X(n-m+1) \quad \dots (23) \end{aligned}$$

この FIR フィルタを図 1 の変調器のレイズドコサインフィルタとして用いた場合、 $(n-k)$ は、データチャネルゲインファクタ信号発生器 1 0 6 にて生成されるデータチャネルゲインファクタ信号 $d(n)$ や、制御チャネルゲインファクタ信号発生器 1 0 7 にて生成される制御チャネルゲインファクタ信号 $c(n)$ が相当する。これらは各々重み付け係数設定信号発生器 1 0 8、1 0 9 にて静的重み付け係数 T_k と乗算されて、重み付け係数 $Z_k(n)$ に変換され、重み付け係数設定信号としてレイズドコサインフィルタ 1 1 0、1 1 1、1 1 2、1 1 3 に入力される。

40

【 0 1 4 6 】

またレイズドコサインフィルタ 1 1 0、1 1 1、1 1 2、1 1 3 の入力 $X(n)$ には各々順に $I_{i1}(n)$ 、 $I_{q1}(n)$ 、 $Q_{i1}(n)$ 、 $Q_{q1}(n)$ が対応し、出力 $Y(n)$ には各々順に $I_{i2}(n)$ 、 $I_{q2}(n)$ 、 $Q_{i2}(n)$ 、 $Q_{q2}(n)$ が対応する。

【 0 1 4 7 】

レイズドコサインフィルタ 1 1 0 の出力である $I_{i2}(n)$ と、レイズドコサインフィルタ 1 1 2 の出力である $Q_{i2}(n)$ は、加算器 1 1 4 に入力され、加算されて、複数ビット時系列デ

50

ータである変調器同相成分出力 $l_{out}(n)$ として出力される。上記(20)式の $l_{out}(n)$ を、上記の(23)式を用いて整理すると、下記(24)式が得られる。

【 0 1 4 8 】

$$\begin{aligned}
 l_{out}(n) &= l_{i2}(n) + Q_{i2}(n) \\
 &= T_0 \cdot d(n) \cdot l_{i1}(n) + T_1 \cdot d(n-1) \cdot l_{i1}(n-1) + \dots \\
 &\quad + T_{m-2} \cdot d(n-m+2) \cdot l_{i1}(n-m+2) + T_{m-1} \cdot d(n-m+1) \cdot l_{i1}(n-m+1) \\
 &\quad + T_0 \cdot c(n) \cdot Q_{i1}(n) + T_1 \cdot c(n-1) \cdot Q_{i1}(n-1) + \dots \\
 &\quad + T_{m-2} \cdot c(n-m+2) \cdot Q_{i1}(n-m+2) + T_{m-1} \cdot c(n-m+1) \cdot Q_{i1}(n-m+1) \\
 &= T_0 \cdot \{ d(n) \cdot l_{i1}(n) + c(n) \cdot Q_{i1}(n) \} \\
 &\quad + T_1 \cdot \{ d(n-1) \cdot l_{i1}(n-1) + c(n-1) \cdot Q_{i1}(n-1) \} + \dots \\
 &\quad + T_{m-2} \cdot \{ d(n-m+2) \cdot l_{i1}(n-m+2) + c(n-m+2) \cdot Q_{i1}(n-m+2) \} \\
 &\quad + T_{m-1} \cdot \{ d(n-m+1) \cdot l_{i1}(n-m+1) + c(n-m+1) \cdot Q_{i1}(n-m+1) \} \\
 &\quad \dots \quad (24)
 \end{aligned}$$

また、レイズドコサインフィルタ 1 1 1 の出力である $l_{q2}(n)$ と、レイズドコサインフィルタ 1 1 3 の出力である $Q_{q2}(n)$ は、加算器 1 1 5 に入力され、加算されて、複数ビット時系列データである変調器直交成分出力 $Q_{out}(n)$ として出力される。上記(21)式の $Q_{out}(n)$ を、上記の(23)式を用いて整理すると、下記(25)式が得られる。

【 0 1 4 9 】

$$\begin{aligned}
 Q_{out}(n) &= l_{q2}(n) + Q_{q2}(n) \\
 &= T_0 \cdot d(n) \cdot l_{q1}(n) + T_1 \cdot d(n-1) \cdot l_{q1}(n-1) + \dots \\
 &\quad + T_{m-2} \cdot d(n-m+2) \cdot l_{q1}(n-m+2) + T_{m-1} \cdot d(n-m+1) \cdot l_{q1}(n-m+1) \\
 &\quad + T_0 \cdot c(n) \cdot Q_{q1}(n) + T_1 \cdot c(n-1) \cdot Q_{q1}(n-1) + \dots \\
 &\quad + T_{m-2} \cdot c(n-m+2) \cdot Q_{q1}(n-m+2) + T_{m-1} \cdot c(n-m+1) \cdot Q_{q1}(n-m+1) \\
 &= T_0 \cdot \{ d(n) \cdot l_{q1}(n) + c(n) \cdot Q_{q1}(n) \} \\
 &\quad + T_1 \cdot \{ d(n-1) \cdot l_{q1}(n-1) + c(n-1) \cdot Q_{q1}(n-1) \} + \dots \\
 &\quad + T_{m-2} \cdot \{ d(n-m+2) \cdot l_{q1}(n-m+2) + c(n-m+2) \cdot Q_{q1}(n-m+2) \} \\
 &\quad + T_{m-1} \cdot \{ d(n-m+1) \cdot l_{q1}(n-m+1) + c(n-m+1) \cdot Q_{q1}(n-m+1) \} \dots \quad (25)
 \end{aligned}$$

上記の(24)式および(25)式に(15)式、(16)式、(18)式、(19)式を代入し整理すると、下記の(26)式および(27)式がそれぞれ得られる。

【 0 1 5 0 】

$$\begin{aligned}
 l_{out}(n) &= T_0 \cdot \{ d(n) \cdot D(n) \cdot C_d(n) \cdot S_i(n) - c(n) \cdot C(n) \cdot C_c(n) \cdot S_q(n) \} \\
 &\quad + T_1 \cdot \{ d(n-1) \cdot D(n-1) \cdot C_d(n-1) \cdot S_i(n-1) \\
 &\quad \quad - c(n-1) \cdot C(n-1) \cdot C_c(n-1) \cdot S_q(n-1) \} + \dots \\
 &\quad + T_{m-2} \cdot \{ d(n-m+2) \cdot D(n-m+2) \cdot C_d(n-m+2) \cdot S_i(n-m+2) \\
 &\quad \quad - c(n-m+2) \cdot C(n-m+2) \cdot C_c(n-m+2) \cdot S_q(n-m+2) \} \\
 &\quad + T_{m-1} \cdot \{ d(n-m+1) \cdot D(n-m+1) \cdot C_d(n-m+1) \cdot S_i(n-m+1) \\
 &\quad \quad - c(n-m+1) \cdot C(n-m+1) \cdot C_c(n-m+1) \cdot S_q(n-m+1) \} \dots \quad (26)
 \end{aligned}$$

$$\begin{aligned}
 Q_{out}(n) &= T_0 \cdot \{ d(n) \cdot D(n) \cdot C_d(n) \cdot S_q(n) + c(n) \cdot C(n) \cdot C_c(n) \cdot S_i(n) \} \\
 &\quad + T_1 \cdot \{ d(n-1) \cdot D(n-1) \cdot C_d(n-1) \cdot S_q(n-1) \\
 &\quad \quad + c(n-1) \cdot C(n-1) \cdot C_c(n-1) \cdot S_i(n-1) \} + \dots \\
 &\quad + T_{m-2} \cdot \{ d(n-m+2) \cdot D(n-m+2) \cdot C_d(n-m+2) \cdot S_q(n-m+2) \\
 &\quad \quad + c(n-m+2) \cdot C(n-m+2) \cdot C_c(n-m+2) \cdot S_i(n-m+2) \} \\
 &\quad + T_{m-1} \cdot \{ d(n-m+1) \cdot D(n-m+1) \cdot C_d(n-m+1) \cdot S_q(n-m+1) \\
 &\quad \quad + c(n-m+1) \cdot C(n-m+1) \cdot C_c(n-m+1) \cdot S_i(n-m+1) \} \dots \quad (27)
 \end{aligned}$$

上記(26)式および(27)式は、3 G P P で規定されている変調器出力をレイズドコサインフィルタで帯域制限した出力である上記(10)式および(11)式とそれぞれ同じ出力が得られることが分かる。

【 0 1 5 1 】

以上説明したように、第一の実施例によれば、レイズドコサインフィルタを構成する F I R フィルタの重み付け係数を、データチャネルゲインファクタ信号 $d(n)$ および制御チ

10

20

30

40

50

チャンネルゲインファクタ信号 $c(n)$ に応じて制御可能としたため、FIRフィルタの入力信号が1ビットデータとなり、演算量が削減できる。

【0152】

その結果、回路の小型化が容易で、コスト、消費電力、発熱量を低減できるという効果が得られる。さらに演算量が減った分だけ演算精度向上のための回路規模拡大が容易となり、故に信号品質の向上が容易となるという効果が生じる。

【0153】

さらには、第一の実施例によれば、データチャンネルゲインファクタ信号および制御チャンネルゲインファクタ信号に応じて、レイズドコサインフィルタを構成するFIRフィルタの重み付け係数が動的に制御されるので、(26)式および(27)式からも分かるように、レイズドコサインフィルタよりも前段でゲイン制御を行うのと同等の演算結果が得られる。

10

【0154】

その結果、ゲインファクタ変更時に特許文献1および特許文献2で発生するようなスプリアスが生じることはなく、信号品質が向上する。さらに、スプリアス抑圧手段が不要となることから、小型化が容易となり、コスト、消費電力、発熱量を低減できるという効果も生じる。

【0155】

なお、レイズドコサインフィルタの数が、第一の実施例では4個と図7の構成例の2個に対し増加するが、重み付け係数が同じ場合、第一の実施例では入力1ビットであるのに対し、3GPPで規定されている変調器を基にした構成例では10ビット以上となり、演算量が削減できるのは明らかである。これは特許文献1および特許文献2にも示されている。

20

【0156】

また、重み付け係数生成時に、データチャンネルまたは制御チャンネルのゲインファクタと静的重み付け係数の複数ビット値同士の乗算を行うことを示したが、これはゲインファクタ変更時のみに発生する。一方、W-CDMA方式において、ゲインファクタ変更は少なくとも256チップ以上の間隔で発生するため、レイズドコサインフィルタでの乗算頻度と比較して小さく、これによって上記演算量削減の効果が損なわれることはない。

【0157】

なお、W-CDMA方式において、ゲインファクタ信号()は符号チャンネル間のレベル比(振幅相当)を示す。携帯端末送信系において、高周波送信電力は とは別に指定される。 は高周波送信電力中の各符号チャンネル電力内訳も示す。

30

【0158】

たとえば、 が1の符号チャンネルAと2の符号チャンネルBが重畳された高周波送信電力50mWの送信信号において、符号チャンネルAの電力成分は10mW、符号チャンネルBの電力成分は40mWとなる。一方、 が0.1の符号チャンネルAと0.2の符号チャンネルBが重畳された高周波送信電力50mWの送信信号においても、符号チャンネルAの電力成分は10mW、符号チャンネルBの電力成分は40mWである。変調器出力においては、前者の場合の出力電力は後者の100倍であるが、後段の送信増幅器にてゲインが補償されている。

40

【0159】

W-CDMA方式においては、携帯端末送信信号は基地局により受信され、符号チャンネル毎に信号品質が監視されている。その監視結果を基に、基地局は携帯端末にチャンネル毎の受信品質情報を返す。この受信品質情報を参考情報として携帯端末は各送信符号チャンネル毎の電力値を決定する。また基地局は全送信電力値についても制御信号を携帯端末に送付している。

【0160】

また携帯端末自身、送信符号チャンネルの発生・消滅や拡散率変更など、自らも送信信号条件を時々刻々変化させている。

【0161】

50

携帯端末は、自らの送信信号条件に基地局からの指示情報を加味しつつ を決定し、変調器に指示を与えることができる。

第二の実施例：

図3は、本発明の第二の実施例に係るレイズドコサインフィルタの構成を示すブロック図である。第二の実施例のレイズドコサインフィルタは、第一の実施例と同様に、その基本的構成は前述した通りであるが、FIRフィルタの重み付け係数の設定手段が相違する。

【0162】

第二の実施例のレイズドコサインフィルタは、入力信号 $X(n)$ にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データ ($X(n), X(n-1), \dots, X(n-m+2), X(n-m+1)$) として出力するシフトレジスタ部 (シフトレジスタ301) と、ゲイン制御信号 ($G(n)$) を入力し、シフト処理を行い、過去のゲイン制御信号を含む複数の信号からなる時系列データ ($G(n), G(n-1), \dots, G(n-m+2), G(n-m+1)$) として出力するシフトレジスタ302 と、シフトレジスタ302から出力される複数の信号に複数の所定の係数 ($T_0, T_1, \dots, T_{m-2}, T_{m-1}$) をそれぞれ乗算して複数の重み付け係数 ($Z_0(n), Z_1(n), \dots, Z_{m-2}(n), Z_{m-1}(n)$) として出力する複数の第1乗算器 (乗算器307、308、309、310) と、シフトレジスタ部から出力される複数の信号および第1乗算器から出力される複数の重み付け係数をそれぞれ同期して入力し、乗算して出力する複数の第2乗算器 (乗算器303、304、305、306) と、複数の第2乗算器の出力を加算する加算器311とを含む。

10

20

【0163】

シフトレジスタ301は、入力信号 $X(n)$ を入力し、 m 個の出力、即ち $X(n), X(n-1), \dots, X(n-m+2), X(n-m+1)$ を出力する。 $X(n)$ は入力信号と同じ値、 $X(n-1)$ は1クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m-2)$ クロック前、 $X(n-m+1)$ は $(m-1)$ クロック前の入力信号である。これらは全て1ビット時系列データである。シフトレジスタ301は、入力信号にシフト処理を行い現在および過去の入力信号を取り出すシフトレジスタ手段を構成する。

【0164】

なお、図3では、乗算器303、304、305、306が乗算器307、308、309、310と対になって4組のみ図示されているが、シフトレジスタ301の m 個の出力に対応して m 組の乗算器対が設けられる。

30

【0165】

シフトレジスタ302は、重み付け係数設定信号 ($G(n)$) を入力し、 m 個の出力、即ち ($G(n), G(n-1), \dots, G(n-m+2), G(n-m+1)$) を出力する。 $G(n)$ は入力信号と同じ値、 $G(n-1)$ は1クロック前の入力信号、以降同様に続き、 $G(n-m+2)$ は $(m-2)$ クロック前、 $G(n-m+1)$ は $(m-1)$ クロック前の入力信号である。これらは全て複数ビット時系列データである。シフトレジスタ302は、入力信号にシフト処理を行い現在および過去の入力信号を取り出すシフトレジスタ手段を構成する。また、FIRフィルタの静的なフィルタ基本特性を決定する静的重み付け係数 $T_0, T_1, \dots, T_{m-2}, T_{m-1}$ が内蔵されている。これらは、複数ビットデータである。

40

【0166】

乗算器307は、シフトレジスタ302の複数ビット時系列データ出力 ($X(n)$) と、内蔵されている静的重み付け係数 T_0 を入力し、複数ビット時系列データである重み付け係数 $Z_0(n)$ を乗算器303に出力する。同様に、乗算器308、309、310は各々、シフトレジスタ302の複数ビット時系列データ出力 ($X(n-1), X(n-m+2), X(n-m+1)$) と、内蔵されている静的重み付け係数 T_1, T_{m-2}, T_{m-1} を入力し、複数ビット時系列データである重み付け係数 $Z_1(n), Z_{m-2}(n), Z_{m-1}(n)$ を、乗算器304、305、306に出力する。

【0167】

シフトレジスタ302、乗算器307~310は、FIRフィルタの重み付け係数をゲイン制御信号である重み付け係数設定信号にしたがって生成する重み付け係数生成手段を

50

構成する。

【0168】

乗算器303は、シフトレジスタ301の出力 $X(n)$ と乗算器307の出力 $Z0(n)$ を入力し、乗算し、複数ビット時系列データである乗算結果を出力する。同様に、乗算器304、305、306は各々、シフトレジスタ301の出力 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ と乗算器308、309、310の出力の重み付け係数 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ を入力し、複数ビット時系列データである乗算結果を出力する。

【0169】

加算器311は、乗算器303、304、305、306を含む同機能を担当する全ての乗算器出力を入力し、加算し、複数ビット時系列データであるフィルタ出力 $Y(n)$ を出力する。

10

【0170】

このように構成されたFIRフィルタの動作について以下に図3を用いて説明する。

【0171】

1ビット時系列データである入力信号 $X(n)$ が $(m-1)$ 段のシフトレジスタ301に入力されると、その出力には、 m 個の1ビット時系列データ出力 $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ が出力される。ここで $X(n)$ は入力信号と同じ値、 $X(n-1)$ は1クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m-2)$ クロック前、 $X(n-m+1)$ は $(m-1)$ クロック前の入力信号である。

【0172】

複数ビット時系列データである重み付け係数設定信号 (n) が $(m-1)$ 段のシフトレジスタ302に入力されると、その出力には、 m 個の複数ビット時系列データ出力 (n) 、 $(n-1)$ 、 \dots 、 $(n-m+2)$ 、 $(n-m+1)$ が出力される。ここで (n) は入力信号と同じ値、 $(n-1)$ は1クロック前の入力信号、以降同様に続き、 $(n-m+2)$ は $(m-2)$ クロック前、 $(n-m+1)$ は $(m-1)$ クロック前の入力信号である。

20

【0173】

シフトレジスタ301の出力 $X(n)$ 、 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ は、各々乗算器303、304、305、306に入力される。

【0174】

シフトレジスタ302の出力 (n) は、乗算器307に入力され、静的重み付け係数 $T0$ と乗算され、重み付け係数 $Z0(n)$ として乗算器303へ出力される。同様に、シフトレジスタ302の出力 $(n-1)$ 、 $(n-m+2)$ 、 $(n-m+1)$ は各々、乗算器308、309、310に入力され、静的重み付け係数 $T1$ 、 $Tm-2$ 、 $Tm-1$ と乗算され、重み付け係数 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ として乗算器304、305、306へ出力される。ここで重み付け係数 $Zk(n)$ は下記の(28)式で与えられる。以下、 $k=0,1,\dots,m-2,m-1$ とする。

30

【0175】

$$Zk(n) = Tk \cdot (n-k) \quad \dots (28)$$

乗算器307、308、309、310は、入力値が変化した場合のみ乗算演算を行うようにすることで、演算量を削減することができる。特に、W-CDMA方式において、ゲインファクタ変更は少なくとも256チップ以上の間隔で発生するため、チップレート周波数にオーバーサンプリング倍率を掛けた周波数で動作するレイズドコサインフィルタの乗算演算量と比較して、十分無視できる演算量に抑えることができる。

40

【0176】

重み付け係数 $Z0(n)$ は、乗算器303に入力され、シフトレジスタ301の出力 $X(n)$ と乗算されて、乗算結果 $Z0(n) \cdot X(n)$ が加算器311に入力される。同様に、重み付け係数 $Z1(n)$ 、 $Zm-2(n)$ 、 $Zm-1(n)$ は各々、乗算器304、305、306に入力され、シフトレジスタ301の出力 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ と乗算されて、乗算結果 $Z1(n) \cdot X(n-1)$ 、 $Zm-2(n) \cdot X(n-m+2)$ 、 $Zm-1(n) \cdot X(n-m+1)$ が加算器311に入力される。

【0177】

これらは加算器311で加算され、フィルタ出力 $Y(n)$ が生成される。フィルタ出力 $Y(n)$

50

は下記の(29)式で表される。

【0178】

$$\begin{aligned} Y(n) &= Z0(n) \cdot X(n) + Z1(n) \cdot X(n-1) + \dots + Zm-2(n) \cdot X(n-m+2) + Zm-1(n) \cdot X(n-m+1) \\ &= T0 \cdot (n) \cdot X(n) + T1 \cdot (n-1) \cdot X(n-1) + \dots + Tm-2 \cdot (n-m+2) \cdot X(n-m+2) \\ &\quad + Tm-1 \cdot (n-m+1) \cdot X(n-m+1) \dots (29) \end{aligned}$$

これは、図2で示されたFIRフィルタのフィルタ出力を示す(23)式と同じである。したがって、図3で示されたFIRフィルタは、図2のFIRフィルタと同じ機能を有していることが分かる。

【0179】

第二の実施例のFIRフィルタを図1の変調器に用いた場合、重み付け係数設定信号(n)は、データチャンネルゲインファクタ信号発生器106にて生成されるデータチャンネルゲインファクタ信号d(n)や、制御チャンネルゲインファクタ信号発生器107にて生成される制御チャンネルゲインファクタ信号c(n)そのものであり、重み付け係数設定信号発生器108、109は、これらの値を出力しさえすればよい。したがって、第二の実施例のFIRフィルタを用いると、重み付け係数設定信号発生器108、109において、図2の上記第二の実施例のFIRフィルタを用いた場合必要となる、静的重み付け係数との乗算処理および個々のレジスタに異なる重み付け係数を設定する処理が不要となり、更なる小型化、低コスト化、低消費電力化、低発熱化が可能となる。

【0180】

このように、第二の実施例によれば、FIRフィルタに静的重み付け係数を内蔵し、データチャンネルゲインファクタ信号や制御チャンネルゲインファクタ信号を入力すれば、FIRフィルタ内で自動的に重み付け係数を生成する機能を有しているため、重み付け係数設定信号発生器における静的重み付け係数との乗算処理および個々のレジスタに異なる重み付け係数を設定する処理が不要となり、さらに小型化、低コスト化、低消費電力化、低発熱化が可能となる、という効果が得られる。

第三の実施例：

図4は、本発明の第三の実施例に係るレイズドコサインフィルタの構成を示すブロック図である。第三の実施例のレイズドコサインフィルタは、第一実施例と同様に、その基本的構成は前述した通りであるが、FIRフィルタの重み付け係数の設定手段が相違する。

【0181】

第三の実施例のレイズドコサインフィルタは、入力信号X(n)にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データ(X(n), X(n-1), ..., X(n-m+2), X(n-m+1))として出力するシフトレジスタ部(シフトレジスタ401)と、ゲイン制御信号に応じた第1および第2の重み付け係数を入力し格納するとともに、シフトレジスタ部から出力される複数の信号の値にしたがって、第1または第2の重み付け係数をそれぞれ切り替えて出力する複数のレジスタ部(レジスタ402、403、404、405)と、複数のレジスタ部の出力を加算する加算器406と、を含む。

【0182】

シフトレジスタ401は、入力信号X(n)を入力し、m個の出力、即ちX(n)、X(n-1)、...、X(n-m+2)、X(n-m+1)を出力する。X(n)は入力信号と同じ値、X(n-1)は1クロック前の入力信号、以降同様に続き、X(n-m+2)は(m-2)クロック前、X(n-m+1)は(m-1)クロック前の入力信号である。これらは全て1ビット時系列データである。シフトレジスタ401は、入力信号にシフト処理を行い現在および過去の入力信号を取り出すシフトレジスタ手段を構成する。

【0183】

なお、図4では、4つのレジスタ402、403、404、405のみが図示されているが、シフトレジスタ401のm個の出力に対応してm個のレジスタが設けられる。

【0184】

レジスタ402は、重み付け係数設定信号である、アドレス信号とデータ信号、およびシフトレジスタ401の出力X(n)を入力し、その記憶データを加算器406に出力する。

同様に、レジスタ403、404、405は各々、重み付け係数設定信号である、アドレス信号とデータ信号、およびシフトレジスタ401の出力 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ を入力し、それらの記憶データを加算器406に出力する。レジスタ402、403、404、405の記憶データは複数ビットデータである。レジスタ402、403、404、405は、FIRフィルタの重み付け係数をゲイン制御信号である重み付け係数設定信号にしたがって格納するとともにシフトレジスタ手段からの入力信号により出力を切り替えるレジスタ手段を構成する。

【0185】

加算器406は、レジスタ402、403、404、405を含む全てのレジスタ出力を入力し、加算し、複数ビット時系列データであるフィルタ出力 $Y(n)$ を出力する。

10

【0186】

このように構成されたFIRフィルタの動作について、以下に説明する。

【0187】

1ビット時系列データである入力信号 $X(n)$ が $(m-1)$ 段のシフトレジスタ401に入力されると、その出力には、 m 個の1ビット時系列データ出力 $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ が出力される。ここで $X(n)$ は入力信号と同じ値、 $X(n-1)$ は1クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m-2)$ クロック前、 $X(n-m+1)$ は $(m-1)$ クロック前の入力信号である。

【0188】

重み付け係数設定信号はアドレス信号とデータ信号から構成され、アドレス信号で指定されたレジスタに、データ信号を介して重み付け係数情報が格納される。

20

【0189】

時刻 n において、レジスタ402には、重み付け係数設定信号により $T0 \cdot (n)$ および $-T0 \cdot (n)$ の2値が格納されている。この時レジスタ402にはさらに $X(n)$ が入力されている。ここで $X(n)$ は1ビット時系列データであり、1または-1の値をとる。レジスタ402は、 $X(n)$ が1の時は $T0 \cdot (n)$ 、 $X(n)$ が-1の時は $-T0 \cdot (n)$ を出力するよう、出力切り替え機能を有している。この結果、レジスタ402の出力は、 $T0 \cdot (n) \cdot X(n)$ が出力されていることと等価となる。同様に、レジスタ403、404、405には各々、重み付け係数設定信号により $\pm T1 \cdot (n-1)$ 、 $\pm Tm-2 \cdot (n-m+2)$ 、 $\pm Tm-1 \cdot (n-m+1)$ が格納されている。そして各々、 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ の値にしたがって、 $T1 \cdot (n-1) \cdot X(n-1)$ 、 $Tm-2 \cdot (n-m+2) \cdot X(n-m+2)$ 、 $Tm-1 \cdot (n-m+1) \cdot X(n-m+1)$ に等しい値を出力する。

30

【0190】

レジスタ402、403、404、405の出力は、加算器406に入力され、加算され、フィルタ出力 $Y(n)$ が生成される。フィルタ出力 $Y(n)$ は下記の(30)式で表される。

【0191】

$$Y(n) = T0 \cdot (n) \cdot X(n) + T1 \cdot (n-1) \cdot X(n-1) + \dots + Tm-2 \cdot (n-m+2) \cdot X(n-m+2) + Tm-1 \cdot (n-m+1) \cdot X(n-m+1) \dots (30)$$

上記の(30)式は、図2で示されたFIRフィルタのフィルタ出力を示す(23)式と同じである。したがって、図4で示されたFIRフィルタは、図2、図3のFIRフィルタと同じ機能を有していることが分かる。

40

【0192】

第三の実施例のFIRフィルタを図1の変調器に用いた場合、重み付け係数設定信号発生器108、109は、アドレス信号とデータ信号から構成される重み付け係数設定信号を生成し、上記の値を各レジスタに設定する機能を有している。

【0193】

第三の実施例におけるFIRフィルタの特徴は、乗算器を用いていないことである。信号に対し重み係数を掛ける乗算器は、入力情報を常に監視しながら制御しない限り、常に動作していなければならない。一方、第三の実施例のFIRフィルタでは、レジスタ値が変更されない限り、レジスタ読み出しが行われるに過ぎない。この結果、消費電力が削減

50

でき、それに伴い発熱量も削減することができる。

【0194】

また類似の実施例として、各レジスタに複数の出力データ対を格納する方法もある。

【0195】

先に述べた例では、各レジスタに正負一对の数値が格納されていた。これを予想される全ての数値対を格納するようにし、重み付け係数設定信号のデータ信号により、出力すべき一組の数値対を指定することによって、重み付け係数設定信号データ量を削減し、図1の重み付け係数設定信号発生器108、109の負担を軽減することができる。

【0196】

たとえば、レジスタに格納されるべき数値が10ビット一对で20ビットであると仮定する。予想される数値対が16通りであるとする、これらは4ビットのデータ信号で指定することができ、20ビットのデータ信号で数値を伝送することに比べ、情報量を20%に抑えることができる。

10

【0197】

この場合、重み付け係数設定信号発生器108、109は、重み付け係数設定信号のデータ信号にて、数値対の指定情報を出力する。

【0198】

このように、第三の実施例によれば、FIRフィルタの入力信号に対し重み付け係数を乗算する過程において、乗算器に代えてレジスタを導入し、入力信号に応じてレジスタを切り替える構成としたことにより、低消費電力化、低発熱化が可能となる、という効果が得られる。

20

第四の実施例：

図5は、本発明の第四の実施例に係るレイズドコサインフィルタの構成を示すブロック図である。第四の実施例のレイズドコサインフィルタは、第一の実施例と同様に、その基本的構成は前述した通りであるが、FIRフィルタの重み付け係数の設定手段が相違する。

【0199】

第四の実施例のレイズドコサインフィルタは、入力信号 $X(n)$ にシフト処理を行い、過去の入力信号を含む複数の信号からなる時系列データ($X(n), X(n-1), \dots, X(n-m+2), X(n-m+1)$)として出力するシフトレジスタ部(シフトレジスタ501)と、ゲイン制御信号(n)を入力し、シフト処理を行い、過去のゲイン制御信号を含む複数の信号からなる時系列データ($(n), (n-1), \dots, (n-m+2), (n-m+1)$)として出力するシフトレジスタ502と、シフトレジスタ502から出力される複数の信号に複数の所定の第1および第2の係数($\pm T_0, \pm T_1, \dots, \pm T_{m-2}, \pm T_{m-1}$)をそれぞれ乗算して複数の第1および第2の重み付け係数を出力する複数の乗算器(乗算器507、508、509、510)と、複数の乗算器から出力された複数の第1および第2の重み付け係数を入力し格納するとともに、シフトレジスタ部から出力される複数の信号の値にしたがって、第1または第2の重み付け係数をそれぞれ切り替えて出力する複数のレジスタ部(レジスタ503、504、505、506)と、複数のレジスタ部の出力を加算する加算器511と、を含む。

30

【0200】

シフトレジスタ501は、入力信号 $X(n)$ を入力し、 m 個の出力、即ち $X(n), X(n-1), \dots, X(n-m+2), X(n-m+1)$ を出力する。 $X(n)$ は入力信号と同じ値、 $X(n-1)$ は1クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m-2)$ クロック前、 $X(n-m+1)$ は $(m-1)$ クロック前の入力信号である。これらは全て1ビット時系列データである。シフトレジスタ501は、入力信号にシフト処理を行い現在および過去の入力信号を取り出すシフトレジスタ手段を構成する。

40

【0201】

なお、図5では、レジスタ503、504、505、506と乗算器507、508、509、510が4組のみ図示されているが、シフトレジスタ501の m 個の出力に対応して m 組のレジスタと乗算器が設けられる。

50

【0202】

シフトレジスタ502は、重み付け係数設定信号 (n) を入力し、 m 個の出力、即ち (n) 、 $(n-1)$ 、 \dots 、 $(n-m+2)$ 、 $(n-m+1)$ を出力する。 (n) は入力信号と同じ値、 $(n-1)$ は1クロック前の入力信号、以降同様に続き、 $(n-m+2)$ は $(m-2)$ クロック前、 $(n-m+1)$ は $(m-1)$ クロック前の入力信号である。これらは全て複数ビット時系列データである。シフトレジスタ502は、入力信号にシフト処理を行い現在および過去の入力信号を取り出すシフトレジスタ手段を構成する。

【0203】

FIRフィルタの静的なフィルタ基本特性を決定する正負一対となる m 対の静的重み付け係数 $\pm T_0$ 、 $\pm T_1$ 、 \dots 、 $\pm T_{m-2}$ 、 $\pm T_{m-1}$ が内蔵されている。これらは、複数ビットデータである。

10

【0204】

乗算器507は、シフトレジスタ502の複数ビット時系列データ出力 (n) と、内蔵されている正負一対の静的重み付け係数 $\pm T_0$ を入力し、複数ビット時系列データである正負一対の重み付け係数 $\pm Z_0(n)$ をレジスタ503に出力する。同様に、乗算器508、509、510は各々、シフトレジスタ502の複数ビット時系列データ出力 $(n-1)$ 、 $(n-m+2)$ 、 $(n-m+1)$ と、内蔵されている静的重み付け係数 $\pm T_1$ 、 $\pm T_{m-2}$ 、 $\pm T_{m-1}$ を入力し、複数ビット時系列データである正負一対の重み付け係数 $\pm Z_1(n)$ 、 $\pm Z_{m-2}(n)$ 、 $\pm Z_{m-1}(n)$ を、レジスタ504、505、506に出力する。

【0205】

シフトレジスタ502および乗算器507～510は、FIRフィルタの重み付け係数をゲイン制御信号である重み付け係数設定信号にしたがって生成する重み付け係数生成手段を構成する。

20

【0206】

レジスタ503は、乗算器507の出力 $\pm Z_0(n)$ を入力し、記憶している。またシフトレジスタ501の出力 $X(n)$ を入力し、それに応じて記憶している2値 $\pm Z_0(n)$ のうち一方を出力する。同様に、レジスタ504、505、506は各々、乗算器508、509、510の出力の重み付け係数 $\pm Z_1(n)$ 、 $\pm Z_{m-2}(n)$ 、 $\pm Z_{m-1}(n)$ を入力し、記憶している。また各々、シフトレジスタ501の出力 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ を入力し、それに応じて記憶している2値 $\pm Z_1(n)$ 、 $\pm Z_{m-2}(n)$ 、 $\pm Z_{m-1}(n)$ のうち一方を出力する。レジスタ503～506は、FIRフィルタの重み付け係数を格納するとともにシフトレジスタ手段からの入力信号により出力を切り替えるレジスタ手段を構成する。

30

【0207】

加算器511は、レジスタ503、504、505、506を含む同機能を担当する全てのレジスタ出力を入力し、加算し、複数ビット時系列データであるフィルタ出力 $Y(n)$ を出力する。

【0208】

このように構成されたFIRフィルタの動作について、以下に説明する。

【0209】

1ビット時系列データである入力信号 $X(n)$ が $(m-1)$ 段のシフトレジスタ501に入力されると、その出力には、 m 個の1ビット時系列データ出力 $X(n)$ 、 $X(n-1)$ 、 \dots 、 $X(n-m+2)$ 、 $X(n-m+1)$ が出力される。ここで $X(n)$ は入力信号と同じ値、 $X(n-1)$ は1クロック前の入力信号、以降同様に続き、 $X(n-m+2)$ は $(m-2)$ クロック前、 $X(n-m+1)$ は $(m-1)$ クロック前の入力信号である。

40

【0210】

複数ビット時系列データである重み付け係数設定信号 (n) が $(m-1)$ 段のシフトレジスタ502に入力されると、その出力には、 m 個の複数ビット時系列データ出力 (n) 、 $(n-1)$ 、 \dots 、 $(n-m+2)$ 、 $(n-m+1)$ が出力される。ここで (n) は入力信号と同じ値、 $(n-1)$ は1クロック前の入力信号、以降同様に続き、 $(n-m+2)$ は $(m-2)$ クロック前、 $(n-m+1)$ は $(m-1)$ クロック前の入力信号である。

50

【 0 2 1 1 】

シフトレジスタ 5 0 1 の出力 $X(n)$ 、 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ は、各々レジスタ 5 0 3、5 0 4、5 0 5、5 0 6 に入力される。

【 0 2 1 2 】

シフトレジスタ 5 0 2 の出力 (n) は、乗算器 5 0 7 に入力され、正負一對の静的重み付け係数 $\pm T_0$ と乗算され、重み付け係数 $\pm Z_0(n)$ としてレジスタ 5 0 3 へ出力される。同様に、シフトレジスタ 5 0 2 の出力 $(n-1)$ 、 $(n-m+2)$ 、 $(n-m+1)$ は各々、乗算器 5 0 8、5 0 9、5 1 0 に入力され、正負一對の静的重み付け係数 $\pm T_1$ 、 $\pm T_{m-2}$ 、 $\pm T_{m-1}$ と乗算され、重み付け係数 $\pm Z_1(n)$ 、 $\pm Z_{m-2}(n)$ 、 $\pm Z_{m-1}(n)$ としてレジスタ 5 0 4、5 0 5、5 0 6 へ出力される。ここで重み付け係数 $Z_k(n)$ は下記の (31) 式で与えられる。以下、 $k=0, 1, \dots, m-2, m-1$ とする。

【 0 2 1 3 】

$$Z_k(n) = T_k \cdot \dots \cdot (n-k) \dots \dots (31)$$

乗算器 5 0 7、5 0 8、5 0 9、5 1 0 は、入力値が変化した場合のみ乗算演算を行うようにすることで、演算量を削減することができる。特に、W - C D M A 方式において、ゲインファクタ変更は少なくとも 2 5 6 チップ以上の間隔で発生するため、チップレート周波数にオーバーサンプリング倍率を掛けた周波数で動作するレイズドコサインフィルタの演算量と比較して、十分無視できる演算量に抑えることができる。レジスタ 5 0 3 ~ 5 0 6 への出力 (レジスタ記憶値変更) は、乗算演算実行時のみ行う。

【 0 2 1 4 】

時刻 n において、レジスタ 5 0 3 は、乗算器 5 0 7 から重み付け係数 $\pm Z_0(n)$ の 2 値を入力し、格納している。この時レジスタ 5 0 3 にはさらに $X(n)$ が入力されている。ここで $X(n)$ は 1 ビット時系列データであり、1 または - 1 の値をとる。レジスタ 5 0 3 は、 $X(n)$ が 1 の時は $Z_0(n)$ 、 $X(n)$ が - 1 の時は $-Z_0(n)$ を出力するように、出力切り替え機能を有している。この結果、レジスタ 5 0 3 の出力は、 $Z_0(n) \cdot X(n)$ が出力されていることと等価となる。

【 0 2 1 5 】

同様に、レジスタ 5 0 4、5 0 5、5 0 6 は各々、乗算器 5 0 8、5 0 9、5 1 0 から重み付け係数 $\pm Z_1(n)$ 、 $\pm Z_{m-2}(n)$ 、 $\pm Z_{m-1}(n)$ を入力し、格納している。そして各々、 $X(n-1)$ 、 $X(n-m+2)$ 、 $X(n-m+1)$ の値にしたがって、 $Z_1(n) \cdot X(n-1)$ 、 $Z_{m-2}(n) \cdot X(n-m+2)$ 、 $Z_{m-1}(n) \cdot X(n-m+1)$ に等しい値を出力する。

【 0 2 1 6 】

レジスタ 5 0 3、5 0 4、5 0 5、5 0 6 の出力は、加算器 5 1 1 に入力され、加算され、フィルタ出力 $Y(n)$ が生成される。フィルタ出力 $Y(n)$ は下記の (32) 式で表される。

【 0 2 1 7 】

$$\begin{aligned} Y(n) &= Z_0(n) \cdot X(n) + Z_1(n) \cdot X(n-1) + \dots + Z_{m-2}(n) \cdot X(n-m+2) + Z_{m-1}(n) \cdot X(n-m+1) \\ &= T_0 \cdot (n) \cdot X(n) + T_1 \cdot (n-1) \cdot X(n-1) + \dots + T_{m-2} \cdot (n-m+2) \cdot X(n-m+2) \\ &\quad + T_{m-1} \cdot (n-m+1) \cdot X(n-m+1) \dots \dots (32) \end{aligned}$$

上記 (32) 式は、図 2 で示された F I R フィルタのフィルタ出力を示す (23) 式と同じである。したがって、図 5 で示された F I R フィルタは、図 2 乃至図 4 の F I R フィルタと同じ機能を有していることが分かる。

【 0 2 1 8 】

第四の実施例の F I R フィルタを図 1 の変調器に用いた場合、重み付け係数設定信号 (n) は、データチャネルゲインファクタ信号発生器 1 0 6 にて生成されるデータチャネルゲインファクタ信号 $d(n)$ や、制御チャネルゲインファクタ信号発生器 1 0 7 にて生成される制御チャネルゲインファクタ信号 $c(n)$ そのものであり、重み付け係数設定信号発生器 1 0 8、1 0 9 は、これらの値を出力しさえすればよい。したがって、第四の実施例における F I R フィルタを用いると、重み付け係数設定信号発生器 1 0 8、1 0 9 において、図 2 に示した第一の実施例における F I R フィルタを用いた場合に必要となる次の処理が不要となる。すなわち、静的重み付け係数との乗算処理および個々のレジスタに異なる

10

20

30

40

50

重み付け係数を設定する処理が不要となる。これにより、更なる小型化、低コスト化、低消費電力化、低発熱化が可能となる。

【0219】

また、第四の実施例におけるFIRフィルタの更なる特徴は、入力信号に重み付け係数を乗算する過程において、乗算器を用いていないことである。信号に対し重み係数を掛ける乗算器は、入力情報を常に監視しながら制御しない限り、常に動作していただなければならない。一方、第四の実施例のFIRフィルタでは、レジスタ値が変更されない限り、レジスタ読み出しが行われるに過ぎない。この結果、消費電力が削減でき、それに伴い発熱量も削減することができる。

【0220】

このように、第四の実施例によれば、FIRフィルタに静的重み付け係数を内蔵し、データチャンネルゲインファクタ信号や制御チャンネルゲインファクタ信号を入力すれば、FIRフィルタ内で自動的に重み付け係数を生成する機能を有しているので、重み付け係数設定信号発生器における静的重み付け係数との乗算処理および個々のレジスタに異なる重み付け係数を設定する処理が不要となり、さらに小型化、低コスト化、低消費電力化、低発熱化が可能となる、という効果が得られる。

【0221】

さらに、FIRフィルタの入力信号に対し重み付け係数を乗算する過程において、乗算器に代えてレジスタを導入し、入力信号に応じてレジスタを切り替える構成としたことにより、低消費電力化、低発熱化が可能となる、という効果が得られる。

第五の実施例：

図6は、本発明の第五の実施例に係る変調器の構成を示すブロック図である。第五の実施例の変調器は、3チャンネル以上の入力、(図6ではそのうちの4チャンネル分が示されている)を持つ点で、前述までの各実施例とは相違する。

【0222】

第一の実施例とは、第一の実施例においてチャンネル毎に存在する構成要素、つまりチャネルライゼーションコードを乗算する乗算器、スクランブルコードを乗算する複素乗算器、チャンネルゲインファクタ発生器、重み付け係数設定信号発生器、同相成分用レイズドコサインフィルタ、直交成分用レイズドコサインフィルタの組が追加チャンネル数分増加し、それらの出力が加算器627、628で加算されるという点で相違している。

【0223】

すなわち、送信データDPDCH1に対応する構成としては、乗算器601と、複素乗算器605と、データチャンネルゲインファクタ信号発生器(図中、「 $d(n)$ 発生器」と示す)611と、重み付け係数設定信号発生器615と、レイズドコサインフィルタ(図中、全て「レイズドCOSフィルタ」と示す)619と、レイズドコサインフィルタ620と、が設けられている。

【0224】

送信データHS-DPCCHに対応する構成としては、乗算器602と、複素乗算器606と、制御チャンネルゲインファクタ信号発生器(図中、「 $hs(n)$ 発生器」と示す)612と、重み付け係数設定信号発生器616と、レイズドコサインフィルタ621と、レイズドコサインフィルタ622と、が設けられている。

【0225】

送信データDPDCH2に対応する構成としては、乗算器603と、複素乗算器607と、複素乗算器608と、データチャンネルゲインファクタ信号発生器(図中、「 $d_2(n)$ 発生器」と示す)613と、重み付け係数設定信号発生器617と、レイズドコサインフィルタ623と、レイズドコサインフィルタ624と、が設けられている。

【0226】

送信データDPCCHに対応する構成としては、乗算器604と、複素乗算器609と、複素乗算器610と、制御チャンネルゲインファクタ信号発生器(図中、「 $c(n)$ 発生器」と示す)614と、重み付け係数設定信号発生器618と、レイズドコサインフィルタ

10

20

30

40

50

625と、レイズドコサインフィルタ626と、が設けられている。

【0227】

これらの構成要素については第一の実施例と同一なので、詳細説明は省略する。

【0228】

加算器627は、レイズドコサインフィルタ619、レイズドコサインフィルタ621、レイズドコサインフィルタ623、レイズドコサインフィルタ625の出力を加算し、同相成分出力Iout(n)を出力する。加算器628は、レイズドコサインフィルタ620、レイズドコサインフィルタ622、レイズドコサインフィルタ624、レイズドコサインフィルタ626の出力を加算し、直交成分出力Qout(n)を出力する。

【0229】

以上、図面を参照して本発明の幾つかの好ましい実施例について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【0230】

たとえば、前述までの各実施例では、W-CDMA方式を使用する通信システムで、上り回線で使用する変調器に適用したレイズドコサインフィルタを例として説明したが、これに限定されるものではなく、たとえば、W-CDMA方式の下り回線で使用するQPSK (QuadraturePhase Shift Keying) や16値QAM (Quadrature Amplitude Modulation) を用いた変調器や、その他一般的なCDMA通信方式なども含むことができる。

【産業上の利用可能性】

【0231】

本発明は、移動局から基地局への上り回線での通信時に利用されるHPSK変調器の改良であり、小型で、低コスト、低消費電力であり、発熱量の少ない、かつ、低スプリアスの変調器、その変調器に含まれるフィルタ、フィルタのゲイン制御方法、および符号変調方法を提供するので、W-CDMA方式を使用する通信システムにおいて優れた効果をもたらすことができる。

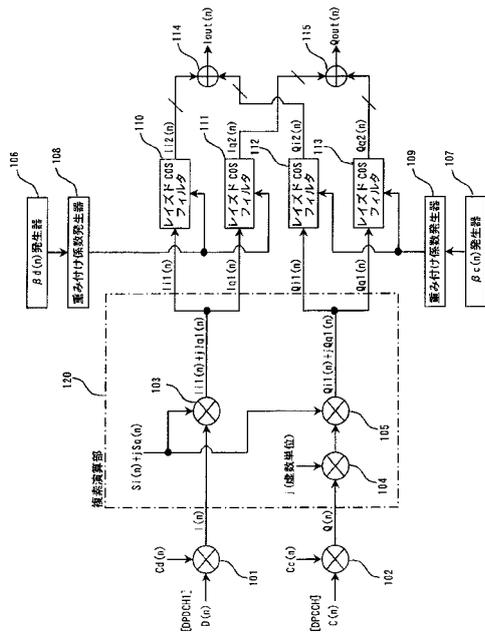
【符号の説明】

【0232】

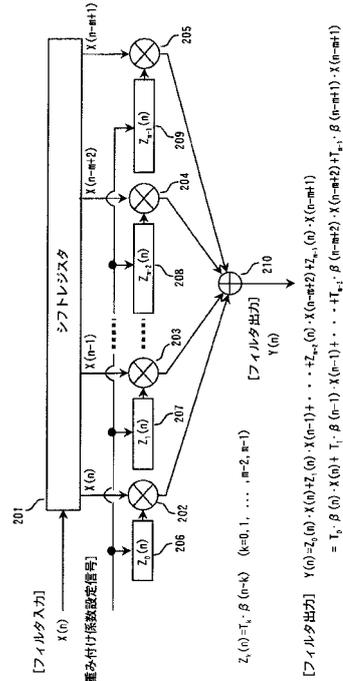
101、102	乗算器	
103～105	複素乗算器	
106	データチャネルゲインファクタ信号発生器	30
107	制御チャネルゲインファクタ信号発生器	
108、109	重み付け係数設定信号発生器	
110～113	レイズドコサインフィルタ	
114、115	加算器	
120	複素演算部	
201	シフトレジスタ	
202～205	乗算器	
206～209	レジスタ	
210	加算器	
301	シフトレジスタ	40
302	シフトレジスタ	
303～306	乗算器	
307～310	乗算器	
311	加算器	
401	シフトレジスタ	
402～405	レジスタ	
406	加算器	
501	シフトレジスタ	
502	シフトレジスタ	
503～506	レジスタ	50

- 5 0 7 ~ 5 1 0 乗算器
- 5 1 1 加算器
- 6 0 1 ~ 6 0 4 乗算器
- 6 0 5 ~ 6 1 0 複素乗算器
- 6 1 1、6 1 3 データチャネルゲインファクタ信号発生器
- 6 1 2、6 1 4 制御チャネルゲインファクタ信号発生器
- 6 1 5 ~ 6 1 8 重み付け係数設定信号発生器
- 6 1 9 ~ 6 2 6 レイズドコサインフィルタ
- 6 2 7、6 2 8 加算器

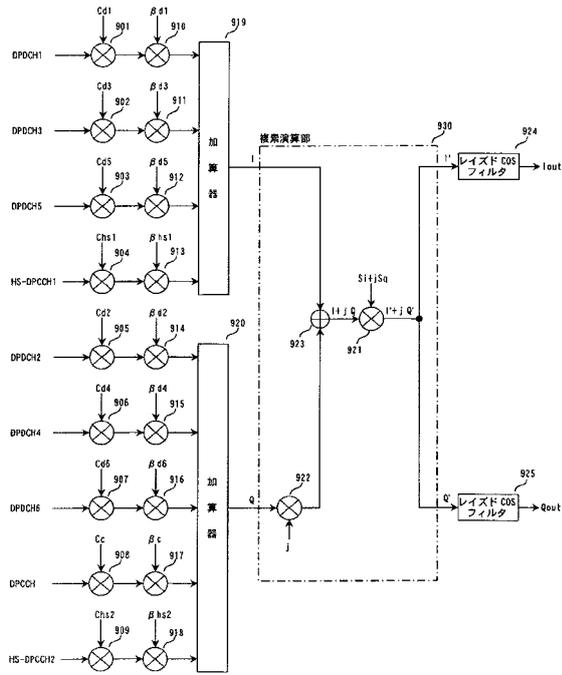
【 図 1 】



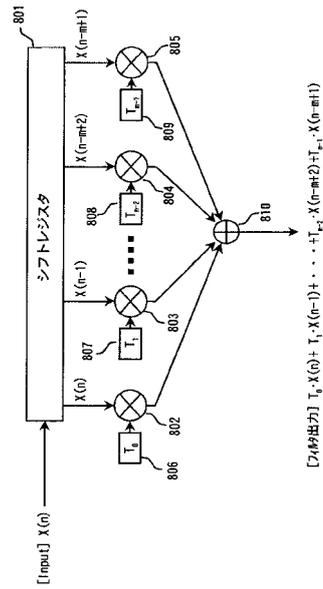
【 図 2 】



【図 7】



【図 8】



【図 9】

