

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 27/04	(45) 공고일자 2001년03월02일	(11) 등록번호 10-0283028
(21) 출원번호 10-1998-0009519	(24) 등록일자 2000년12월04일	(65) 공개번호 특1999-0075358
(22) 출원일자 1998년03월19일	(43) 공개일자 1999년10월15일	

(73) 특허권자	삼성전자주식회사	윤종용
(72) 발명자	장순규	경기도 수원시 팔달구 매탄3동 416
(74) 대리인	임창현	서울특별시 서초구 서초1동 아남아파트 1동 804호

심사관 : 정해근

(54) 디램 셀 캐패시터의 제조 방법

요약

본 발명은 스토리지 노드의 쓰러짐을 방지하는 DRAM 셀 캐패시터의 제조 방법에 관한 것으로, 셀 트랜지스터를 포함하여 반도체 기판 상에 절연층이 형성된다. 절연층이 식각 되어 스토리지 노드 콘택홀이 형성된다. 콘택홀이 제 1 도전층으로 채워져서 스토리지 노드 콘택 플러그가 형성된다. 절연층의 일부 두께가 식각 되어 돌출된 형태의 콘택 플러그가 형성된다. 돌출된 형태의 콘택 플러그를 포함하여 절연층 상에 제 2 도전층이 형성된다. 제 2 도전층을 패터닝 하여 돌출된 형태의 콘택 플러그와 전기적으로 접촉되는 스토리지 노드가 형성된다. 이때, 제 1 도전층은 제 2 도전층의 식각률과 같거나 그 보다 낮은 식각률을 갖는다. 이와 같은 반도체 장치의 제조 방법에 의해서, 돌출 형태의 스토리지 노드 콘택 플러그를 형성한 후 스토리지 노드를 형성함으로써, 스토리지 노드 형성을 위한 과식각 공정시 스토리지 노드 콘택홀의 입구에 발생하는 언더 컷을 방지할 수 있고, 따라서 언더 컷 부위에 가해지는 스트레스 및 후속 세정 공정 등에 의해 스토리지 노드가 쓰러지는 것을 방지할 수 있다.

대표도

도5b

명세서

도면의 간단한 설명

- 도 1은 종래의 DRAM의 스토리지 노드의 구조를 보여주는 단면도;
- 도 2는 본 발명의 실시예에 따른 스토리지 노드 콘택 플러그 형성 후의 DRAM의 평면도;
- 도 3a는 도 2의 A-A' 라인을 따라 절개된 DRAM의 단면도;
- 도 3b는 도 2의 B-B' 라인을 따라 절개된 DRAM의 단면도;
- 도 4는 본 발명의 실시예에 따른 스토리지 노드 형성 후의 DRAM의 평면도;
- 도 5a는 도 4의 A-A' 라인을 따라 절개된 DRAM의 단면도;
- 도 5b는 도 4의 B-B' 라인을 따라 절개된 DRAM의 단면도.

* 도면의 주요 부분에 대한 부호의 설명

- | | |
|---------------------------------|------------------------|
| 2, 100 : 반도체 기판 | 4, 102 : 소자격리막, 비활성영역 |
| 6 - 11, 103 - 108 : 게이트 전극 | 12, 18, 114, 118 : 산화막 |
| 14 - 16, 112a - 112f : 도전막 패드 | 20, 117 : 실리콘 질화막 |
| 24a, 24b, 124a - 124f : 스토리지 노드 | 101a - 101c : 활성 영역 |
| 109 : 제 1 절연층 | 116a, 116b : 비트 라인 |
| 120 : 제 2 절연층 | |
| 122a - 122d : 스토리지 노드 콘택 플러그 | |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 DRAM 셀 캐패시터(cell capacitor)의 제조 방법에 관한 것으로, 좀 더 구체적으로는 스토리지 노드(storage node) 형성을 위한 과식각(overetch) 공정시 발생하는 언더컷(undercut)에 의한 스토리지 노드의 쓰러짐(fall down)을 방지하는 DRAM 셀 캐패시터의 제조 방법에 관한 것이다.

DRAM이 고집적화 됨에 따라, 셀 캐패시터의 스토리지 노드의 캐패시턴스를 증가시키기 위해 고유전체 박막 제조 기술 및 스토리지 노드의 구조 변형 등의 방법들이 시도되고 있다. 그러나, 이러한 방법들은 여러 가지 기술적 제약을 갖게 된다.

따라서, 가장 손쉽게 구현할 수 있는 방법으로서, 스토리지 노드의 높이를 증가시켜서 원하는 캐패시턴스를 얻는 방법이 사용되고 있다.

도 1은 종래의 DRAM의 스토리지 노드의 구조를 보여주는 단면도이다.

도 1을 참조하면, 종래의 스토리지 노드의 구조는, 활성 영역과 비활성 영역을 정의하여 반도체 기판(2) 내에 소자격리막(4)이 형성되어 있다. 상기 반도체 기판(2) 상에 복수 개의 게이트 전극(6 - 11)이 형성되어 있다. 상기 게이트 전극들(6 - 11)을 덮도록 산화막(12)이 형성되어 있다. 상기 게이트 전극들(6 - 11) 사이의 산화막(12)을 뚫고 상기 활성 영역의 반도체 기판(2)과 전기적으로 접속되도록 도전막 패드들(14 - 16)이 형성되어 있다. 상기 도전막 패드들(14 - 16)을 포함하여 상기 산화막(12) 상에 다른 산화막(18) 및 실리콘 질화막(20)이 차례로 형성되어 있다. 상기 실리콘 질화막(20) 및 그 하부의 산화막(18)을 식각 하여 형성된 스토리지 노드 콘택홀(22a, 22b)을 채워서 상기 도전막 패드들(14 - 16)과 각각 전기적으로 접속되도록 스토리지 노드들(24a, 24b)이 형성되어 있다.

그러나, 상술한 바와 같은 구조를 갖는 종래 스토리지 노드의 제조 방법에 있어서, 스토리지 노드 형성을 위한 과식각(overetch) 공정시 도 1에 도시된 바와 같이, 스토리지 노드(24a, 24b)가 오정렬(mis-align)된 경우, 상기 콘택홀(22a, 22b)의 입구에 참조 번호 25로 나타낸 바와 같이, 언더컷(undercut)이 발생된다.

이에 따라, 상기 언더컷 부위에 가해지는 스트레스(stress) 및 후속 세정 공정 등으로 인해 스토리지 노드(24a, 24b)가 쓰러지는(fall down) 문제점이 발생된다.

또한, 셀 캐패시턴스를 증가시키기 위해 상기 스토리지 노드(24a, 24b)의 표면에 HSG(HemiSpherical Grain)를 성장시키는 경우, 상기 언더컷 부위에도 HSG가 성장됨에 따라 콘택 페일(contact fail) 등의 문제점이 발생된다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 스토리지 노드를 형성하기 위한 과식각 공정시 언더컷을 방지할 수 있고, 따라서 스토리지 노드의 쓰러짐을 방지할 수 있는 DRAM 셀 캐패시터의 제조 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명에 의하면, DRAM 셀 캐패시터의 제조 방법은, 게이트 전극들이 형성된 반도체 기판 상에 상기 게이트 전극들을 포함하여 절연층을 형성하는 단계와; 상기 절연층을 식각 하여 상기 게이트 전극들 사이의 반도체 기판이 노출되도록 스토리지 노드 콘택홀을 형성하는 단계와; 상기 스토리지 노드 콘택홀을 제 1 도전층으로 채워서 스토리지 노드 콘택 플러그를 형성하는 단계와; 상기 절연층의 일부 두께를 식각 하여 상기 콘택 플러그의 일부를 노출시켜서 돌출된(protrusive) 형태의 콘택 플러그를 형성하는 단계와; 상기 돌출된 형태의 콘택 플러그를 포함하여 절연층 상에 제 2 도전층을 형성하는 단계와; 상기 제 2 도전층을 패터닝 하여 상기 돌출된 형태의 콘택 플러그와 전기적으로 접속되는 스토리지 노드를 형성하는 단계를 포함한다.

상술한 목적을 달성하기 위한 본 발명에 의하면, 게이트 전극들이 형성된 반도체 기판 상에 상기 게이트 전극들을 포함하여 제 1 절연층을 형성하는 단계와; 상기 제 1 절연층을 뚫고 상기 게이트 전극들 사이의 반도체 기판과 전기적으로 접속되도록 도전막 패드를 형성하는 단계와; 상기 도전막 패드를 포함하여 제 1 절연층 상에 제 2 절연층을 형성하는 단계와; 상기 제 2 절연층을 식각 하여 상기 도전막 패드의 상부 표면의 일부가 노출되도록 스토리지 노드 콘택홀을 형성하는 단계와; 상기 스토리지 노드 콘택홀을 제 1 도전층으로 채워서 스토리지 노드 콘택 플러그를 형성하는 단계와; 상기 제 2 절연층의 일부 두께를 식각 하여 돌출된(protrusive) 형태의 콘택 플러그를 형성하는 단계와; 상기 돌출된 형태의 콘택 플러그를 포함하여 절연층 상에 제 2 도전층을 형성하는 단계와; 상기 제 2 도전층을 패터닝 하여 상기 돌출된 형태의 콘택 플러그와 전기적으로 접속되는 스토리지 노드를 형성하는 단계를 포함한다.

이 방법의 바람직한 실시예에 있어서, 상기 제 2 절연층은, 산화막과 산화막 사이에 실리콘 질화막이 형성된 다층막이고, 이 실리콘 질화막은 상기 제 2 절연층 식각시 식각 정지층으로 사용된다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 도전층은 상기 제 2 도전층과 동일한 식각률 및 상기 제 2 도전층의 식각률 보다 낮은 식각률 중 어느 하나를 갖는다.

이 방법의 바람직한 실시예에 있어서, 상기 제 1 도전층은, 폴리실리콘, 텅스텐(W), 그리고 TiN 중 어느 하나이고, 상기 제 2 도전층은 폴리실리콘이다.

이 방법의 바람직한 실시예에 있어서, 상기 돌출된 형태의 콘택 플러그는, 상기 스토리지 노드 콘택 플러

그 상의 제 2 도전층의 두께 마진을 증가시킨다.

도 5b를 참조하면, 본 발명의 실시예에 따른 신규한 DRAM 셀 캐패시터의 제조 방법은, 돌출 형태의 스토리지 노드 콘택 플러그를 형성한 후 스토리지 노드를 형성함으로써, 스토리지 노드 형성을 위한 과식각 공정시 스토리지 노드 콘택홀의 입구에 발생하는 언더컷을 방지할 수 있고, 따라서 언더컷 부위에 가해지는 스트레스 및 후속 세정 공정 등에 의해 스토리지 노드가 쓰러지는 것을 방지할 수 있다.

이하, 도 2 내지 도 5를 참조하여 본 발명의 실시예를 상세히 설명한다.

도 2는 본 발명의 실시예에 따른 스토리지 노드 콘택 플러그(122a - 122d) 형성 후의 DRAM의 평면도이다.

도 2를 참조하면, 본 발명의 실시예에 따른 스토리지 노드 콘택 플러그(122a - 122d) 형성 후의 DRAM은, 비활성 영역(102) 내의 복수 개의 활성 영역(101a - 101c)과, 복수 개의 게이트 라인(103 - 108)을 포함한다.

상기 DRAM은, 복수 개의 도전막 패드(112a - 112f)와, 복수 개의 스토리지 노드 콘택 플러그(122a - 122d)와, 비트 라인들(116a, 116b)을 포함한다.

도 3a는 도 2의 A-A' 라인을 따라 절개된 DRAM의 단면도이고, 도 3b는 도 2의 B-B' 라인을 따라 절개된 DRAM의 단면도이다.

도 3a에 있어서, DRAM 셀 캐패시터의 제조 방법은 먼저, 반도체 기판(100) 상에 활성 영역(101c)과 비활성 영역을 정의하여 반도체 기판(100) 내에 소자격리막(102)이 형성된다. 상기 반도체 기판(100) 상에 복수 개의 게이트 전극(103 - 108)이 형성된다. 상기 활성 영역(101c)의 게이트 전극(105, 106)의 양측 반도체 기판(100) 내에 소오스/드레인 영역(도면에 미도시)이 형성되어 셀 트랜지스터들이 형성된다. 상기 셀 트랜지스터들을 포함하여 반도체 기판(100) 상에 평탄한 상부 표면을 갖는 제 1 절연층(109)이 형성된다. 상기 제 1 절연층(109)을 식각 하여 게이트 전극(105, 106) 양측의 상기 소오스/드레인 영역이 노출되도록 스토리지 노드 패드 콘택홀(110d, 110f) 및 비트 라인 패드 콘택홀(110e)이 각각 형성된다.

상기 콘택홀들(110d - 110f)이 폴리실리콘막 등의 도전막으로 채워져서 각각 스토리지 노드 패드(112d, 112f) 및 비트 라인 패드(112e)가 형성된다. 상기 패드들(112d - 112f)을 포함하여 상기 제 1 절연층(109) 상에 제 2 절연층(120)이 형성된다. 상기 제 2 절연층(120)은 예를 들어, 산화막(114)과 산화막(118) 사이에 산화막과 식각 선택비를 갖는 절연막(117)이 삽입된 다층막이다. 이때, 상기 산화막과 식각 선택비를 갖는 절연막(117)은 예를 들어, 실리콘 질화막(SiN)(117) 이다.

한편, 도 3b에 도시된 바와 같이, 상기 제 2 절연층(120) 내에 좀 더 구체적으로, 상기 실리콘 질화막(117) 하부의 산화막(114) 내에 비트 라인들(116a, 116b)이 형성된다.

상기 스토리지 노드 패드(112d, 112f)의 상부 표면의 일부가 노출되도록 제 2 절연층(120)을 식각 되어 스토리지 노드 콘택홀(121d, 121f)이 형성된다. 상기 스토리지 노드 콘택홀(121d, 121f)이 제 1 도전층으로 채워져서 스토리지 노드 콘택 플러그(122c, 122d)가 형성된다.

상기 제 1 도전층은 후속 공정의 스토리지 노드를 형성하기 위한 제 2 도전층의 식각을 이하의 식각률을 갖는 물질로 형성된다. 즉, 상기 제 1 도전층은 제 2 도전층의 식각률과 같거나 그 보다는 낮은 식각률을 갖는 물질로 형성된다. 상기 제 1 도전층은 예를 들어, 폴리실리콘 또는 텅스텐(W) 또는 티타늄 질화막(TiN) 등이다.

도 4는 본 발명의 실시예에 따른 스토리지 노드 형성 후의 DRAM의 평면도이다.

도 4를 참조하면, 스토리지 노드 형성 후의 DRAM은, 상기 스토리지 노드 콘택 플러그(122a - 122d)와 오버랩 되도록 형성된 스토리지 노드(124a - 124f)를 포함한다.

도 5a는 도 4의 A-A' 라인을 따라 절개된 DRAM의 단면도이고, 도 5b는 도 4의 B-B' 라인을 따라 절개된 DRAM의 단면도이다.

도 5a에 있어서, 상기 스토리지 노드 콘택 플러그(122c, 122d)가 형성된 후, 상기 제 2 절연층(120)의 일부 두께가 전면 식각 되어 돌출된(protrusive) 형태의 콘택 플러그가 형성된다. 상기 제 2 절연층(120)의 식각은 습식 식각 방법 또는 건식 식각 방법으로 수행된다. 이때, 상기 제 2 절연층(120) 내의 실리콘 질화막(117)이 식각 정지층(etch stopping layer)으로 사용되고 이로써, 상기 실리콘 질화막(117) 하부의 산화막(114)이 보호된다. 상기 돌출된 콘택 플러그의 높이는 500Å - 1,500Å의 범위를 갖는다. 이를 위해, 상기 실리콘 질화막(117) 상의 산화막(118)이 500Å - 1,500Å 두께 범위내로 형성된다. 상기 돌출된 형태의 콘택 플러그를 포함하여 실리콘 질화막(117) 상에 제 2 도전층이 형성된다. 상기 제 2 도전층은 8,000Å - 10,000Å의 두께 범위 내로 형성된다. 상기 돌출된 형태의 콘택 플러그에 의해, 상기 스토리지 노드 콘택 플러그(122a - 122d) 상의 제 2 도전층의 두께 마진이 있게 된다. 상기 제 2 도전층은 예를 들어, 폴리실리콘층이다. 상기 제 2 도전층이 스토리지 노드 형성을 위한 마스크를 사용하여 패터닝 되어, 스토리지 노드(124e, 124f)가 형성된다. 여기서, 스토리지 노드(124e, 124f)가 오정렬된 경우를 보여주고 있다.

이때, 상기 돌출된 형태의 콘택 플러그에 의한 제 2 도전층의 두께 마진은, 스토리지 노드(124e, 124f) 형성시 과식각 마진을 증가시킨다. 따라서, 스토리지 노드(124e, 124f)가 오정렬 된 경우에도 상기 실리콘 질화막(117)과 더불어 스토리지 노드 콘택 플러그(122c, 122d) 내부까지의 식각을 방지하게 된다.

특히, 도 5b에 도시된 바와 같이, 스토리지 노드 콘택 플러그(122b, 122c) 양측의 제 2 절연층과 오버랩 마진이 상대적으로 부족한 단면의 경우, 상기 돌출된 형태의 콘택 플러그에 의한 과식각 마진의 증가로 인해 스토리지 노드 형성 공정이 안정화된다.

한편, 상기 돌출된 형태의 콘택 플러그의 상부 표면 또는 돌출된 표면 전체에 TiSi 등과 같은 실리사이드막(도면에 미도시)을 더 형성하여 후속 스토리지 노드 형성시 과식각 마진을 증가시킬 수도 있다.

발명의 효과

본 발명은 돌출 형태의 스토리지 노드 콘택 플러그를 형성한 후 스토리지 노드를 형성함으로써, 스토리지 노드 형성을 위한 과식각 공정시 스토리지 노드 콘택홀의 입구에 발생하는 언더컷을 방지할 수 있고, 따라서 언더 컷 부위에 가해지는 스트레스 및 후속 세정 공정 등에 의해 스토리지 노드가 쓰러지는 것을 방지할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

게이트 전극들이 형성된 반도체 기판 상에 상기 게이트 전극들을 포함하여 절연층을 형성하는 단계와;
 상기 절연층을 식각 하여 상기 게이트 전극들 사이의 반도체 기판이 노출되도록 스토리지 노드 콘택홀을 형성하는 단계와;
 상기 스토리지 노드 콘택홀을 제 1 도전층으로 채워서 스토리지 노드 콘택 플러그를 형성하는 단계와;
 상기 절연층의 일부 두께를 식각 하여 상기 콘택 플러그의 일부를 노출시켜서 돌출된(protrusive) 형태의 콘택 플러그를 형성하는 단계와;
 상기 돌출된 형태의 콘택 플러그를 포함하여 절연층 상에 제 2 도전층을 형성하는 단계와;
 상기 제 2 도전층을 패터닝 하여 상기 돌출된 형태의 콘택 플러그와 전기적으로 접속되는 스토리지 노드를 형성하는 단계를 포함하는 DRAM 셀 캐패시터의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 제 1 도전층은, 상기 제 2 도전층과 동일한 식각률 및 상기 제 2 도전층의 식각률 보다 낮은 식각률 중 어느 하나를 갖는 DRAM 셀 캐패시터의 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 제 1 도전층은, 폴리실리콘, 텅스텐(W), 그리고 TiN 중 어느 하나이고, 상기 제 2 도전층은 폴리실리콘인 DRAM 셀 캐패시터의 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 돌출된 형태의 콘택 플러그는, 상기 스토리지 노드 콘택 플러그 상의 제 2 도전층의 두께 마진을 증가시키는 DRAM 셀 캐패시터의 제조 방법.

청구항 5

게이트 전극들이 형성된 반도체 기판 상에 상기 게이트 전극들을 포함하여 제 1 절연층을 형성하는 단계와;
 상기 제 1 절연층을 뚫고 상기 게이트 전극들 사이의 반도체 기판과 전기적으로 접속되도록 도전막 패드를 형성하는 단계와;
 상기 도전막 패드를 포함하여 제 1 절연층 상에 제 2 절연층을 형성하는 단계와;
 상기 제 2 절연층을 식각 하여 상기 도전막 패드의 상부 표면의 일부가 노출되도록 스토리지 노드 콘택홀을 형성하는 단계와;
 상기 스토리지 노드 콘택홀을 제 1 도전층으로 채워서 스토리지 노드 콘택 플러그를 형성하는 단계와;
 상기 제 2 절연층의 일부 두께를 식각 하여 돌출된(protrusive) 형태의 콘택 플러그를 형성하는 단계와;
 상기 돌출된 형태의 콘택 플러그를 포함하여 절연층 상에 제 2 도전층을 형성하는 단계와;
 상기 제 2 도전층을 패터닝 하여 상기 돌출된 형태의 콘택 플러그와 전기적으로 접속되는 스토리지 노드를 형성하는 단계를 포함하는 DRAM 셀 캐패시터의 제조 방법.

청구항 6

제 5 항에 있어서,
 상기 제 2 절연층은, 산화막과 산화막 사이에 실리콘 질화막이 형성된 다층막이고, 이 실리콘 질화막은 상기 제 2 절연층 식각시 식각 정지층으로 사용되는 DRAM 셀 캐패시터의 제조 방법.

청구항 7

제 5 항에 있어서,
 상기 제 1 도전층은, 제 2 도전층과 동일한 식각률 및 상기 제 2 도전층의 식각률 보다 낮은 식각률 중 어느 하나를 갖는 DRAM 셀 캐패시터의 제조 방법.

청구항 8

제 5 항에 있어서,

상기 제 1 도전층은, 폴리실리콘, 텅스텐(W), 그리고 TiN 중 어느 하나이고, 상기 제 2 도전층은 폴리실리콘인 DRAM 셀 캐패시터의 제조 방법.

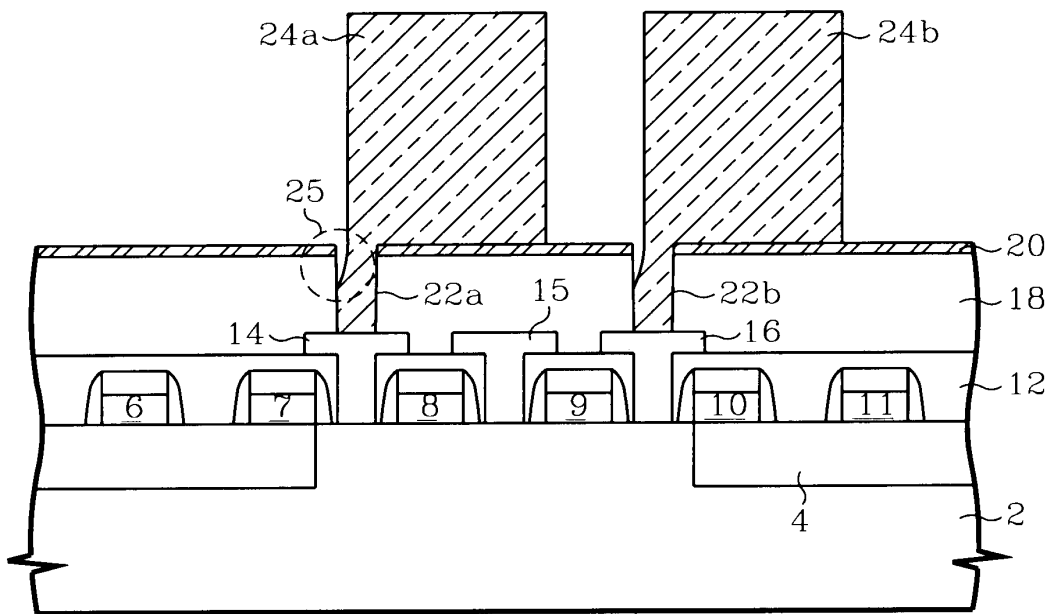
청구항 9

제 5 항에 있어서,

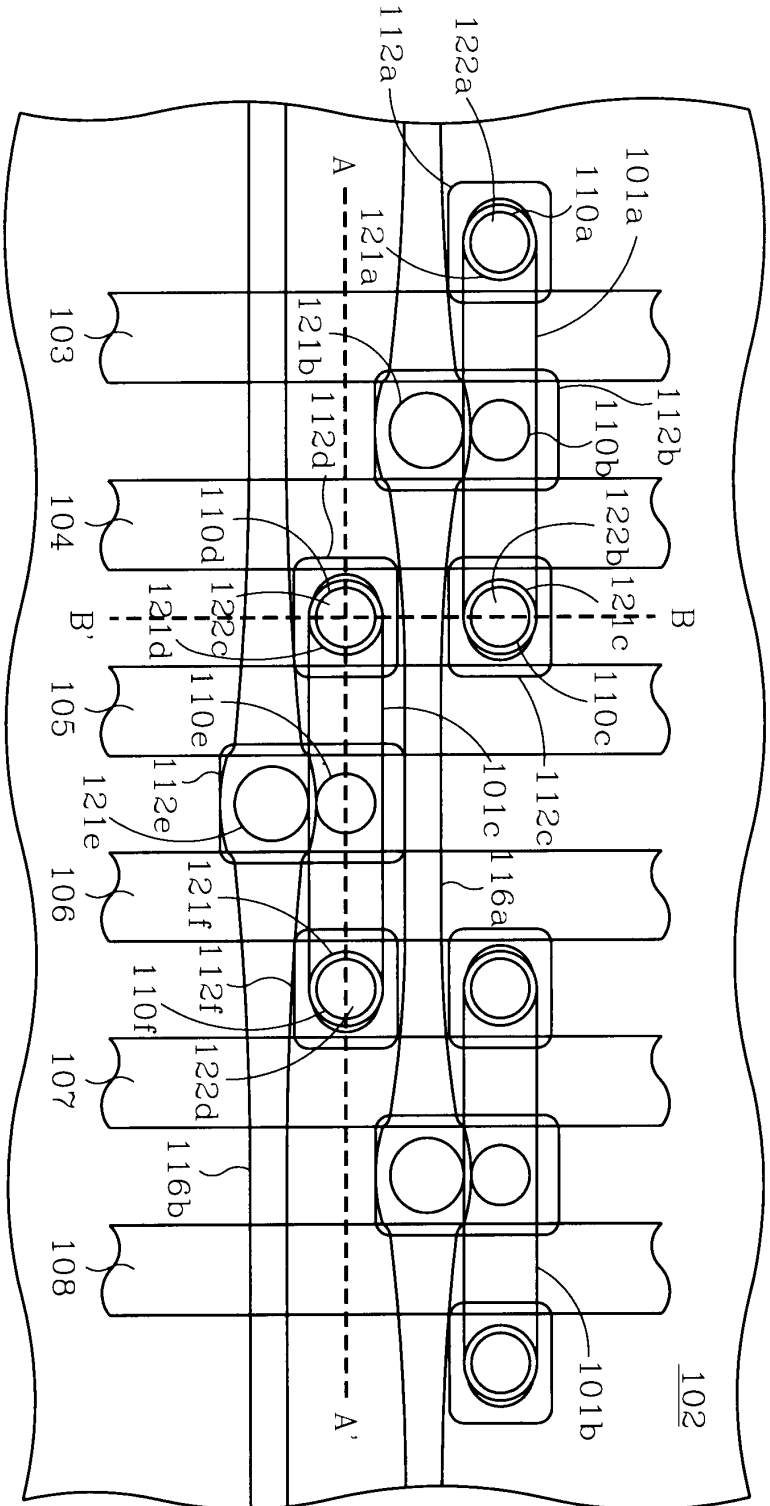
상기 돌출된 형태의 콘택 플러그는, 상기 스토리지 노드 콘택 플러그 상의 제 2 도전층의 두께 마진을 증가시키는 DRAM 셀 캐패시터의 제조 방법.

도면**도면1**

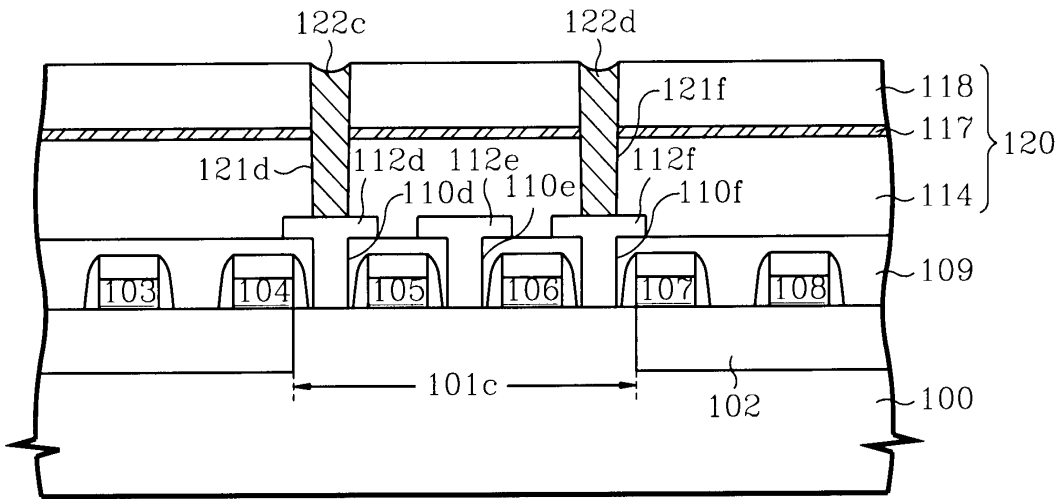
(종래 기술)



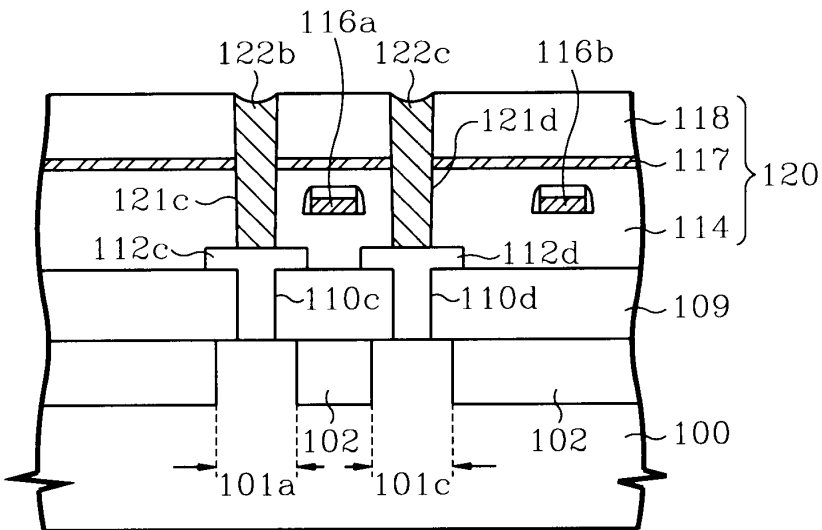
도면2



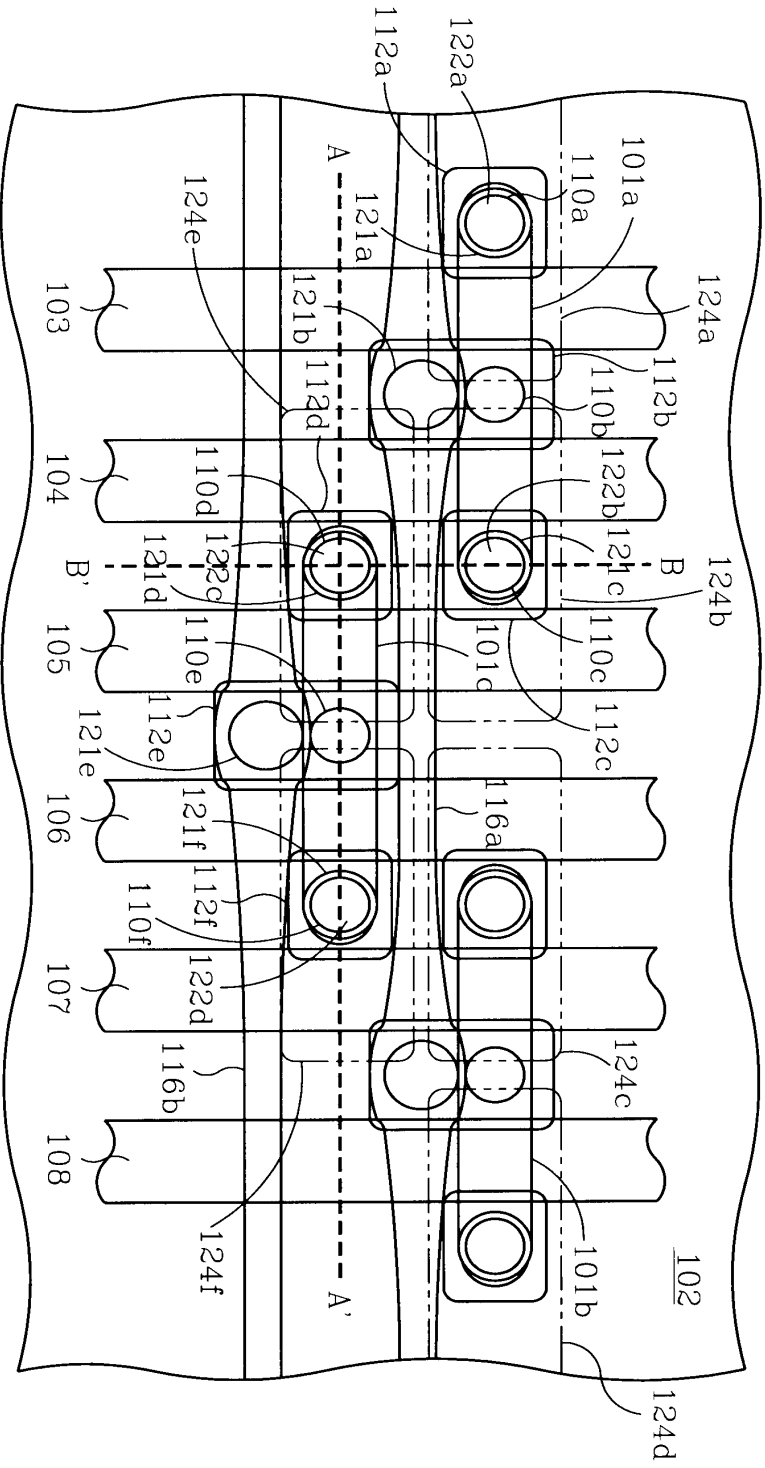
도면3a



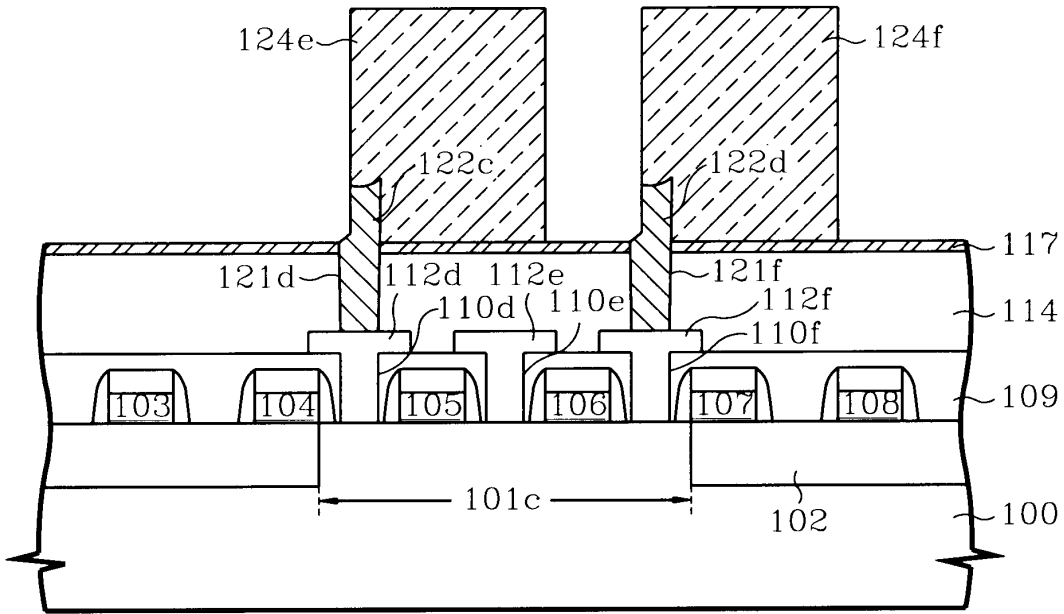
도면3b



도면4



도면5a



도면5b

