

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-532907
(P2009-532907A)

(43) 公表日 平成21年9月10日(2009.9.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 X	5 F 0 8 3
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 9 5	5 F 1 4 0
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 4 6 1	
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 7 1 A	

審査請求 未請求 予備審査請求 未請求 (全 22 頁)

(21) 出願番号 特願2009-504280 (P2009-504280)
 (86) (22) 出願日 平成19年4月3日(2007.4.3)
 (85) 翻訳文提出日 平成20年11月28日(2008.11.28)
 (86) 国際出願番号 PCT/US2007/008400
 (87) 国際公開番号 W02007/114927
 (87) 国際公開日 平成19年10月11日(2007.10.11)
 (31) 優先権主張番号 11/397,527
 (32) 優先日 平成18年4月4日(2006.4.4)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/397,430
 (32) 優先日 平成18年4月4日(2006.4.4)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/397,358
 (32) 優先日 平成18年4月4日(2006.4.4)
 (33) 優先権主張国 米国 (US)

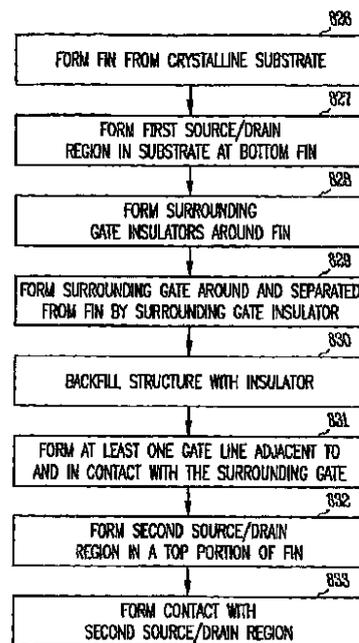
(71) 出願人 595168543
 マイクロン テクノロジー, インク.
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100106851
 弁理士 野村 泰久
 (74) 代理人 100074099
 弁理士 大菅 義之
 (72) 発明者 フォーブス, レオナルド
 アメリカ合衆国, オレゴン州 97330
 -9113, コーバリス, ノースウエスト
 マウンテン ヴュー ドライブ 734
 0

最終頁に続く

(54) 【発明の名称】 エッチングで作成したナノFinトランジスタ

(57) 【要約】

本主題の態様のひとつは、トランジスタの形成方法に関する。或る実施形態では、結晶質基板上にFinをつくる。第一のソース/ドレイン領域を、基板のそのFinの下方につくる。サラウンディングゲート絶縁体をFinの周りにつくる。サラウンディングゲートをFinの周りにそのサラウンディングゲートサラウンディングゲートサラウンディングゲートサラウンディングゲート絶縁体を間に挟んでつくる。第二のソース/ドレイン領域を、Finの頂部につくる。種々の実施形態群では、基板を蔽う層に孔をエッチングして穿ち、孔内に側壁スペーサーをつくり、側壁スペーサーからFinパターンをつくり、そして結晶質基板をエッチングして、Finパターンに対応するマスクを使ってFinを基板から作成する。他の態様についても本明細書に開示してある。



【特許請求の範囲】**【請求項 1】**

結晶質基板からFinを形成するステップと、
第一のソース/ドレイン領域を、前記結晶質基板内の前記Finの下方に形成するステップと、
サラウンディングゲート絶縁体を、前記Finの周りに形成するステップと、
サラウンディングゲートを、前記Finの周りに前記サラウンディングゲート絶縁体を間に挟んで形成するステップと、
第二のソース/ドレイン領域を、前記Finの頂部に形成するステップと
を含む、トランジスタの形成方法。

10

【請求項 2】

前記Finの第一の方向についての断面厚さが、最小フィーチャ長に対応し、また、前記Finの前記第一の方向に直交する第二の方向についての断面厚さが、前記最小フィーチャ長未満であることを特徴とする、請求項1記載の方法。

【請求項 3】

結晶質基板からFinを形成するステップが、
結晶質珪素基板からFinを形成するステップ
を含む、請求項1記載の方法。

20

【請求項 4】

結晶質基板からFinを形成するステップが、
前記結晶質基板をエッチングして前記Finを形成するステップ
を含む、請求項1記載の方法。

【請求項 5】

第一のソース/ドレイン領域を前記結晶質基板内の前記Finの下方に形成するステップが、
前記基板に隣接する溝の中にドーパントを注入し、前記ドーパントを前記Finの下部に拡散させるステップ
を含む、請求項1記載の方法。

30

【請求項 6】

拡散させるステップが、
前記ドーパントを、前記Finの底部へと拡散させるステップ
を含む、請求項5記載の方法。

【請求項 7】

サラウンディングゲート絶縁体を形成するステップが、
酸化珪素を形成するステップ
を含む、請求項1記載の方法。

【請求項 8】

サラウンディングゲートを形成するステップが、
ポリシリコンゲートを形成するステップ
を含む、請求項1記載の方法。

40

【請求項 9】

前記サラウンディングゲートの高さが前記Finの高さ未満になるように、前記サラウンディングゲートを凹ませるステップ
をさらに含む、請求項1記載の方法。

【請求項 10】

ゲート接点を、前記サラウンディングゲートに隣接して接続するように形成するステップ
をさらに含む、請求項1記載の方法。

【請求項 11】

50

ひとつ以上のゲート線を、前記サラウンディングゲートに隣接して接続するように形成するステップ

をさらに含む、請求項1記載の方法。

【請求項12】

ひとつ以上のゲート線を前記サラウンディングゲートに隣接して接続するように形成するステップが、

第一のゲート線を前記サラウンディングゲートの第一の側に隣接して接続するように形成し、第二のゲート線を前記サラウンディングゲートの第二の側に隣接して接続するように形成し、ここで前記第一の側と前記第二の側が、前記Finの対向する側部にそれぞれ位置しているステップ

を含む、請求項11記載の方法。

【請求項13】

前記Finの占有領域が、短辺と長辺を有する矩形であり、また、

ひとつ以上のゲート線を前記サラウンディングゲートに隣接して接続するように形成するステップが、

前記長辺上で前記サラウンディングゲートに接続するようにゲート線を形成するステップ

を含む

ことを特徴とする、請求項11記載の方法。

【請求項14】

前記Finの占有領域が、短辺と長辺を有する矩形であり、また、

ひとつ以上のゲート線を前記サラウンディングゲートに隣接して接続するように形成するステップが、

前記短辺上で前記サラウンディングゲートに接続するようにゲート線を形成するステップ

を含む

ことを特徴とする、請求項11記載の方法。

【請求項15】

サラウンディングゲートを形成するステップが、

ポリシリコンサラウンディングゲートを形成するステップ

を含む、請求項1記載の方法。

【請求項16】

結晶質珪素基板をエッチングしてFinを得るステップであって、ここで前記Finの第一の方向についての断面厚さが、最小フィーチャ長に対応し、また、前記Finの前記第一の方向に直交する第二の方向についての断面厚さが、前記最小フィーチャ長未満である、というステップと、

第一のソース/ドレイン領域を、前記結晶質珪素基板内の前記Finの下方に形成するステップと、

サラウンディングゲート酸化物を、前記Finの周りに形成するステップと、

ポリシリコンサラウンディングゲートを、前記Finの周りに前記サラウンディングゲート酸化物を間に挟んで形成するステップと、

第二のソース/ドレイン領域を、前記Finの頂部に形成するステップと

を含む、トランジスタの形成方法。

【請求項17】

サラウンディングゲート酸化物を形成するステップが、

前記結晶質珪素基板をエッチングして得られた珪素でできた前記Finを熱酸化するステップ

を含む、請求項16記載の方法。

【請求項18】

結晶質珪素基板をエッチングしてFinを得るステップが、

10

20

30

40

50

前記結晶質珪素基板を蔽う層に、孔をエッチングして穿つステップと、
 前記孔内に複数の側壁スペーサーを形成するステップと、
 Finパターンを、前記複数の側壁スペーサーから形成するステップと、
 前記Finパターンに対応するマスクを用いて前記結晶質珪素基板をエッチングする
 ことで、前記Finを形成するステップと
 を含む

ことを特徴とする、請求項16記載の方法。

【請求項19】

結晶質基板をエッチングしてFinを得るステップであって、ここで前記Finの第一の方向
 についての断面厚さが、最小フィーチャ長に対応し、また、前記Finの前記第一の方向に
 直交する第二の方向についての断面厚さが、前記最小フィーチャ長未満である、というス
 テップ

10

を含む、トランジスタの形成方法であって、

ここでエッチングしてFinを得るステップが、

前記結晶質基板を蔽う層に、孔をエッチングして穿つステップと、

前記孔内に複数の側壁スペーサーを形成するステップと、

Finパターンを、前記複数の側壁スペーサーから形成するステップと、

前記Finパターンに対応するマスクを用いて前記結晶質珪素基板をエッチングする

ことで、前記Finを形成するステップと、

第一のソース/ドレイン領域を、前記結晶質基板内の前記Finの下方に形成するス
 テップと、

20

サラウンディングゲート絶縁体を、前記Finの周りに形成するステップと、

サラウンディングゲートを、前記Finの周りに前記サラウンディングゲート絶縁体
 を間に挟んで形成するステップと、

第二のソース/ドレイン領域を、前記Finの頂部に形成するステップと

を含む

ことを特徴とする、方法。

【請求項20】

サラウンディングゲート酸化物を形成するステップが、

珪素である前記結晶質基板をエッチングして得られた珪素でできた前記Finを熱酸
 化するステップ

30

を含む、請求項19記載の方法。

【請求項21】

サラウンディングゲートを形成するステップが、

前記サラウンディングゲートの頂部が、前記Finの上面よりも下にくるように、前記
 サラウンディングゲートをエッチングするステップ

を含む、請求項19記載の方法。

【請求項22】

珪素ウェハ上に、窒化物層を形成するステップと、

前記窒化物層の上に、非晶質珪素層を形成するステップと、

40

前記非晶質珪素層に、ひとつ以上の孔をパターン化してエッチングして穿つス
 テップと、

前記非晶質珪素層を酸化して、前記非晶質珪素層の側壁に付けるようにして酸化物側
 壁スペーサーを得るステップと、

前記孔を非晶質珪素で埋め戻すステップと、

平坦化を施して、前記酸化物側壁を露出させるステップと、

前記酸化物側壁をパターン化してエッチングし、Finパターンを得るステップと、

前記非晶質珪素を除去するステップと、

前記窒化物層をエッチングして、窒化物のFinパターンを、前記酸化物側壁の前記Fin
 パターンの下方に残すステップと、

50

前記珪素ウェハを、前記窒化物の前記Finパターンをマスクとして使ってエッチングし、複数の珪素Finを得るステップと、

ドーパントを注入して拡散させることで、エッチングした前記複数の珪素Finの下方に、導電線を形成し、前記ドーパントによって前記複数の珪素Finのために第一のソース/ドレイン領域を与えるステップと、

サラウンディングゲート絶縁体を、前記複数の珪素Finの周りに形成するステップと

、
サラウンディングゲートを、前記複数の珪素Finの周りに前記サラウンディングゲート絶縁体を間に挟んで形成するステップと、

アレイのうちの隣接するトランジスタ同士のために、複数のゲート線を、複数の前記サラウンディングゲートに隣接して接続するように形成するステップと、

第二のソース/ドレイン領域を、前記複数の珪素Finのために形成するステップとを含む、トランジスタのアレイを形成する方法。

【請求項 23】

サラウンディングゲート絶縁体を形成するステップが、

前記結晶質珪素基板からエッチングされた前記珪素Finを、熱酸化するステップを含む、請求項22記載の方法。

【請求項 24】

サラウンディングゲートを形成するステップが、

ポリシリコンゲートを形成するステップ

を含む、請求項22記載の方法。

【請求項 25】

溝がエッチングされたことにより、断面寸法が最小フィーチャ寸法未満であるような結晶質半導体Finがつくられている、結晶質基板と、

前記結晶質基板内の前記結晶質半導体Finの底部に形成された第一のソース/ドレイン領域、および、前記結晶質半導体Finの頂部に形成された第二のソース/ドレイン領域と、

前記結晶質半導体Finの周りに形成された、ゲート絶縁体と、

前記結晶質半導体Finの周りに前記ゲート絶縁体を間に挟んで形成された、サラウンディングゲートと

を含み、ここで、

前記第一のソース/ドレイン領域および前記第二のソース/ドレイン領域が、前記結晶質半導体Fin内の前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域との間に垂直方向に走るチャンネル領域を劃定することを特徴とする、トランジスタ。

【請求項 26】

前記結晶質基板が珪素を含む、請求項25記載のトランジスタ。

【請求項 27】

前記結晶質基板が、結晶質珪素ウェハである、請求項25記載のトランジスタ。

【請求項 28】

前記サラウンディングゲート絶縁体が、酸化珪素を含む、請求項25記載のトランジスタ

【請求項 29】

前記サラウンディングゲートが、ポリシリコンを含む、請求項25記載のトランジスタ。

【請求項 30】

前記サラウンディングゲートが、金属を含む、請求項25記載のトランジスタ。

【請求項 31】

溝がエッチングされたことにより、第一の方向についての断面寸法が最小フィーチャ寸法未満であり且つ前記第一の方向に直交する第二の方向についての断面寸法が前記最小フィーチャ寸法に対応するような結晶質半導体Finがつくられている、結晶質珪素ウェハ

10

20

30

40

50

と、

前記結晶質珪素ウェハ内の前記結晶質半導体Finの底部に形成された第一のソース/ドレイン領域、および、前記結晶質半導体Finの頂部に形成された第二のソース/ドレイン領域と、

前記結晶質半導体Finの周りに形成された、ゲート絶縁体と、

前記結晶質半導体Finの周りに前記ゲート絶縁体を間に挟んで形成された、サラウンディングゲートと

を含み、ここで、

前記第一のソース/ドレイン領域および前記第二のソース/ドレイン領域が、前記結晶質半導体Fin内の前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域との間に垂直方向に走るチャンネル領域を劃定する

10

ことを特徴とする、トランジスタ。

【請求項 3 2】

前記ゲート絶縁体が、酸化珪素を含む、請求項31記載のトランジスタ。

【請求項 3 3】

酸化珪素である前記ゲート絶縁体が、熱成長性酸化珪素である、請求項32記載のトランジスタ。

【請求項 3 4】

前記サラウンディングゲートが、ポリシリコンサラウンディングゲートを含む、請求項31記載のトランジスタ。

20

【請求項 3 5】

前記サラウンディングゲートが、金属サラウンディングゲートを含む、請求項31記載のトランジスタ。

【請求項 3 6】

複数の行と複数の列をなすように配置された、トランジスタのアレイであって、ここで各トランジスタが、

第一のソース/ドレイン領域と、

前記第一のソース/ドレイン領域の上方に在る第二のソース/ドレイン領域と、

前記第一のソース/ドレイン領域と前記第二のソース/ドレイン領域との間を垂直

30

方向に走るチャンネル領域と

を含んでおり、ここで、

前記チャンネル領域が、断面厚さが最小フィーチャ寸法未満である結晶質半導体Fin内に形成されており、また、

結晶質ウェハに溝をエッチングして前記結晶質半導体Finを劃定することによって、前記結晶質半導体Finを得ており、また、

各トランジスタが、

前記結晶質半導体Finの周りに形成された、ゲート絶縁体と、

前記結晶質半導体Finの周りに前記ゲート絶縁体を間に挟んで形成された、サラウンディングゲートと

をさらに含む

40

ことを特徴とする、半導体構造体。

【請求項 3 7】

複数の前記結晶質半導体Finに沿っており前記サラウンディングゲートに接続した、少なくともひとつのゲート線

をさらに含む、請求項36記載の構造体。

【請求項 3 8】

前記結晶質半導体Finの断面が、長辺と短辺を有する矩形であり、また、

前記少なくともひとつのゲート線が、前記短辺上にて前記サラウンディングゲートと接続する

ことを特徴とする、請求項37記載の構造体。

50

【請求項 39】

前記結晶質半導体Finの断面が、長辺と短辺を有する矩形であり、また、前記少なくともひとつのゲート線が、前記短辺上にて前記サラウンディングゲートと接続することを特徴とする、請求項37記載の構造体。

【請求項 40】

前記少なくともひとつのゲート線が、複数の前記結晶質半導体Finの対向する側にそれぞれ在る、二つのゲート線を含む、請求項37記載の構造体。

【請求項 41】

第一の行と隣接する第二の行との中心間距離が、最小フィーチャ間隔(NF)から前記Fin構造体の厚さを引いたものであり、また、前記第二の行と隣接する第三の行との中心間距離が、前記最小フィーチャ間隔(NF)に前記Fin構造体の前記厚さを足したものであることを特徴とする、請求項36記載の構造体。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願へのクロスリファレンス〕

"Nanowire Transistor With Surrounding Gate" U.S.Application Serial No. 11/397,527 (2006年04月04日出願)、"Grown Nanofin Transistors" U.S.Application Serial No. 11/397,430 (2006年04月04日出願)、"DRAM With Nanofin Transistors" U.S. Application Serial No. 11/397,413 (2006年04月04日出願)、"Tunneling Transistor With Sublithographic Channel" U.S.Application Serial No. 11/397,406 (2006年04月04日出願)の優先日の利益を、ここに請求する。これらの出願はこの参照により本開示に含まれる。

【0002】

〔技術分野〕

本開示は、半導体装置に全般的に関し、特にナノFinトランジスタに関する。

【背景技術】

【0003】

半導体産業市場は、トランジスタなどの装置の大きさを縮め、基板上の素子密度を高める要請に駆られている。製品の目標としては、消費電力の低減、性能の向上、小型化などがある。図1は、装置の種々のパラメータを、係数kで拡張するおおまかな傾向と相関を示したものである。チャンネル長が0.1ミクロン(100nmもしくは1000)未満であるような、ミクロン未満のより小さな領域へと、MOSFET技術を拡張してゆこうとする飽くなき挑戦により、旧来のトランジスタ構造体では深刻な問題が発生してしまった。一例として、接合深さはチャンネル長未満である必要がある。すると、図1に示したトランジスタ100では、チャンネル長102の適切な長さが1000であることを考慮すると、接合深さ101は数百オングストロームの桁になるべきである。そうした浅い接合は、旧来の注入・拡散法ではつくることが難しい。また、チャンネルへと超高濃度のドーピングを行うと、短チャンネル効果をどうしても抑制してしまうことになる。こうした短チャンネル効果には、ドレイン誘起障壁低下、閾値電圧のroll off(ロールオフ)、および閾値下伝達などがある。閾値下伝達については、キャパシタセルの電荷保持時間を減少させてしまうなど、DRAM技術において特に問題となっている。このような超高濃度ドーピングを行うと、漏洩が増えてキャリア移動度が減少する。ゆえに、短かめのチャンネルから得ようとしていた性能向上が、高濃度ドーピングに因るキャリア移動度の低さと漏洩の大きさに打ち消されてしまうのである。

【0004】

低電圧・低出力電源で動作するCMOS回路およびシステム、特にDRAM回路では、漏洩電流が深刻な問題である。閾値電圧が低いので、十分な増速駆動(overdrive)と妥当なスイ

10

20

30

40

50

ツチング速度は実現できる。しかし図2に示したように、閾値が小さいと、閾値下漏洩電流がかなり大きくなってしまふ。

【0005】

こうした問題を狙って提案されたいくつかの設計では、超薄型基板 (ultra-thin bodies) を持つトランジスタか、もしくは、トランジスタの他の寸法が縮小したのと同様にし
て表面空間電荷領域の寸法もとったようなトランジスタか、を用いている。また、デュアルゲート式もしくはダブルゲート式のトランジスタ構造体も、トランジスタの縮小のために提案されたものである。当該産業では通常、「デュアル (dual) ゲート」とは、別々の独立した電圧で駆動可能な前面ゲートと背面ゲートを具えたトランジスタのことを指す。そして「ダブル (double) ゲート」とは、両方のゲートが同じ電位で駆動されるような構造体のことを指す。ダブルゲート装置構造体の例としてはFinFETがある。「Triゲート」構造体およびサラウンディング (surrounding) ゲート構造体も提案されている。「Triゲート」構造体では、ゲートが、チャンネルの三方の側に存在する。サラウンディングゲート構造体では、ゲートが、トランジスタチャンネルをとりかこんでいる (囲繞している)。サラウンディングゲート構造体では、トランジスタチャンネル全体に互って望ましい制御ができるが、そうした構造体を実際につくるのはこれまでは難しかった。

10

【0006】

図3には、ドレインと、ソースと、ゲート絶縁体で半導体基板から隔てられた前面ゲートおよび背面ゲートを具えた、デュアルゲート式MOSFETを示してある。さらに図3には、ドレインから発生する電界も示してある。デュアルゲート式MOSFETおよび/もしくはダブルゲート式MOSFETの持つ特性群は、旧来のバルク珪素MOSFETよりは優れたものである。これは、単一ゲートに較べれば、二つのゲートが、ドレイン電極のチャンネルのソース側端から発生する電界を能く遮蔽するからである。サラウンディングゲートは、ドレイン電極のソース側から発生する電界をもっと能く遮蔽できる。つまり、デュアルゲート式MOSFETおよび/もしくはダブルゲート式MOSFETはオフにした際のゲート電圧が低いため、閾値下漏洩電流も減少することになるので、閾値下漏洩電流についての特性が向上するのである。図4には、デュアルゲート式MOSFET、ダブルゲート式MOSFET、もしくはサラウンディングゲート式MOSFETの向上した閾値下特性を、旧来のバルク珪素MOSFETの閾値下特性と比較するかたちでおおまかに示してある。

20

【0007】

図5Aから図5Cに旧来のFinFET (フィン型電界トランジスタ) を示した。図5AにはFinFETの上面図を、図5Bには線5B-5Bに沿ったFinFETの端面図を、それぞれ示した。示したFinFET 503には、第一のソース/ドレイン領域504と、第二のソース/ドレイン領域505と、第一のソース/ドレイン領域504と第二のソース/ドレイン領域505との間に展延する珪素Fin 506と、が含まれている。この珪素Finはトランジスタボディとして機能し、第一のソース/ドレイン領域と第二のソース/ドレイン領域との間のチャンネルは水平方向に走っている。ゲート絶縁体507 (酸化珪素など) をこのFinの上に形成したその後に、Finの上にゲート508をつくる。示した旧来のFinFETが持つFinは、埋め込み式酸化物509の上に形成されることになる。図5Cには、FinFETのFinを構築するための旧来のエッチングを示してある。図5Cでは、光刻法もしくは電子線光刻法、ならびにエッチングを使って、Fin巾を定めている。つまり、当初のFin巾は最小フィーチャ寸法 (1F) になっている。その後Fin巾を酸化法もしくはエッチングを用いて縮める (矢印510参照)。

30

40

【発明の開示】

【0008】

本主題の態様群では、側壁スペーサー法を使って、超薄型ナノFinをウェハ内にエッチングし、そうやってエッチングしてつくったナノFinを使って、サラウンディングゲートを具えたナノFinトランジスタを構築する。種々の実施形態群では、珪素ナノFinを珪素基板にエッチングしてつくる。珪素ナノFinをCMOSトランジスタの基板領域として使用することで、トランジスタボディの厚さと、チャンネル長のいずれもが、リソグラフィ基準寸法

50

(lithographic dimensions) よりも小さくなるようにできる。いくつかの実施形態群では例えば、厚さが約20nmから50nmであるような超薄型ナノFinが得られる。

【0009】

本主題の或る態様は、トランジスタの形成方法に関する。或る実施形態では、Finを結晶質基板からつくる。第一のソース/ドレイン領域を、その基板内のFinの下方につくる。サラウンディングゲート絶縁体を、Finの周りにつくる。サラウンディングゲートを、Finの周りにそのサラウンディングゲート絶縁体を間に挟んでつくる。第二のソース/ドレイン領域を、Finの頂部につくる。種々の実施形態群では、基板を蔽う層に孔をエッチングして穿ち、孔内に側壁スペーサーをつくり、その側壁スペーサーからFinパターンをつくり、そしてそのFinパターンに対応したマスクを使って結晶質基板をエッチングすることで、Finを基板からつくる。

10

【0010】

或る態様はトランジスタに関する。トランジスタの実施形態には、エッチングでつくられた溝を具えることで結晶質半導体Finを形成しているような結晶質基板と、結晶質基板内のそのFinの底部に形成された第一のソース/ドレイン領域と、Finの頂部に形成された第二のソース/ドレイン領域と、を含んでおり、ここで第二のソース/ドレイン領域によって、Fin内に第一のソース/ドレイン領域と第二のソース/ドレイン領域の間を垂直方向に走るチャネル領域が定められている。このトランジスタにはまた、Finの周りに形成されたゲート絶縁体と、Finの周りにそのゲート絶縁体を間に挟んで形成されたサラウンディングゲートと、も含まれる。Finの断面寸法は、最小フィーチャ寸法 (minimum feature size) 未満となる。

20

【0011】

これらその他の態様、実施形態、効果、および特徴は、本主題についての以降の記載および参照図面から明らかとなってくるであろう。

【発明を実施するための最良の形態】

【0012】

以降の詳細な記載では、本主題を実施可能な特定の態様群および実施形態群を一例として示してある付随図面を参照している。これらの実施形態群は、当業者が本主題を実施できる程度に十分に詳細に記載してある。本主題の種々の実施形態同士が排他的である必然性はなく、或る実施形態の態様を別の実施形態の態様と組み合わせてもかまわない。他の実施形態を利用してもよく、また、構造的・論理的・電気的な変更を本主題の範囲から逸脱することなく加えることも可能である。以降の記載では、「ウェハ」 ("wafer") という語と「基板」 ("substrate") という語は同義であって、集積回路を作成可能な任意の構造体を一般に指し、集積回路製造中の種々の段階でのそうした構造体のことも指す。どちらの語にも、ドーブ半導体および非ドーブ半導体、支持半導体上もしくは絶縁材料上の半導体のエピタキシャル層、が含まれ、ひいては当該技術分野にて公知である他の構造体も包摂されている。「水平方向の」 ("horizontal") という語は本出願では、ウェハまたは基板の在来型の平面もしくは表面に対して平行な平面のことであると定義され、そのウェハもしくは基板の向きには依らない。「垂直方向の」 ("vertical") という語は、上記で定めた「水平方向」に直交する方向のことを指す。"on" (「上の」、「に付いた」)、"side" (「横の」)、"higher" (「高い」)、"lower" (「低い」)、"over" (「上の」、「被った」)、および"under" (「下の」、「下方の」)といった前置詞は、ウェハまたは基板の上面に位置する在来型の平面もしくは表面に対して定義されるものであって、そのウェハもしくは基板の向きには依らない。ゆえに以降の詳細な記載は、限定的な意味にとるべきものではない。そして本発明の範囲は、付随する請求項とその請求項が体现する均等な特徴の全範囲によってのみ定められる。

30

40

【0013】

本明細書にて開示するのは、ナノFinトランジスタ、ならびに、基板もしくはウェハをエッチングしてナノFinを得てそのナノFinを使い単結晶ナノFinトランジスタを作成するような構築法、である。以下、珪素ナノFinの実施形態を参照して議論する。当業者には

50

、本開示を読んで理解した上で、他の半導体を用いてナノFinを作成する手法がわかるであろう。本主題の態様群では、垂直チャネルを具えたナノFinトランジスタを提供し、こうしたトランジスタは、Finの底部に在る第一のソース/ドレイン領域と、Finの頂部に在る第二のソース/ドレイン領域とを有する。図6Aから図6Lには、本主題の種々の実施形態群にかかる、ナノFinトランジスタを形成する工程を描いてある。

【0014】

窒化珪素を珪素ウェハ上に堆積してから、この窒化珪素を非晶質珪素(a-silicon)の層で蔽う。図6Aには、孔612を非晶質珪素613内に劃定して、側壁スペーサー614を形成した後の、構造体611の側面図を示してある。孔612は窒化珪素層615内に展延して、窒化珪素層615は基板616(珪素ウェハなど)の上に位置している。種々の実施形態群では、非晶質珪素を酸化することで側壁スペーサーをつくる。図6Bには、非晶質珪素の厚い層616で覆った後の、構造体611の側面図を示してある。図6Cには、矢印に示したところで平坦化した後の構造体611を示してある。こうした平坦化は、非晶質珪素の上部に載った酸化物を除去できる高さまで、少なくとも行う。構造体の平坦化にあたっては、例えば化学的・機械的研磨(CMP)工程を使用できる。こうして、表面に露出した酸化物614でできた細長い矩形のパターンが残る。このパターンのことを「競技路」("racetrack")パターンとも呼ぶ。このパターンの線巾は、保護(マスクング)工程・リソグラフィ工程に依ってではなく、酸化物の厚さに依って決まってくる。種々の実施形態群では例えば、酸化物の厚さは、約20nmから50nmである。

10

【0015】

図6Dには、競技路パターンに被せたマスクを描いてあり、このマスクは酸化物の部分を選択的に蔽い、酸化物のその他の部分が露出するようにする。酸化物のこの露出した部分には斜線をかけてあり、ここが除去されることになる。エッチング工程(水酸化カリウムKOHエッチングなど)を施して、非晶質珪素を除去する。図6Dに示した、保護工程とエッチング工程の後に残る酸化物もしくは酸化物の一部が、エッチング工程中に窒化物を保護することになる。非晶質珪素を除去した後に窒化物615をエッチングして、珪素異方性エッチングを使って、ウェハ616を窒化物層下の所定の深さまでエッチングできる。窒化物パターンによって珪素の局部をエッチングから保護することで、珪素でできた珪素Fin617を、珪素ウェハの今や低くなった表面から突き出したようなかたちで得ることができる(図6E参照)。Finの頂部とFinの底部に在る溝とにドーパントを注入した後の、構造体の上面図を図6Fに、側面図を図6Gに、それぞれ示した。図6Fに示したように、溝に注入したドーパントによって、導電線618(ソース線など)ができている。また、Finの底もしくは底部に注入したドーパントによって、ソース/ドレイン領域ができている。Finは極薄なので、溝ヘドープをするとFinの下部に完全に拡散させられる。こうした細片は行方向に並べてもよいし列方向に並べてもよい。

20

30

【0016】

図6Hには、ゲート絶縁体619をFin617の周りに形成して、ゲート材料620をFin617の周りにそのゲート絶縁体619を間に挟んで形成した後の、構造体611を描いてある。或る実施形態では例えば、熱酸化工程を用いて珪素Finを酸化する。種々の実施形態群では、ゲート材料620として、ポリシリコンもしくは金属を使用できる。

40

【0017】

アレイの第一の実施形態に関して、図6Iに上面図を、図6Jに線6J-6Jに沿った断面図を、それぞれ示した。構造体611を絶縁体621(酸化物など)で埋め戻してから、溝をFinの脇につくる。ゲート配線材料622(ポリシリコンもしくは金属など)を堆積して異方性エッチングし、側壁に付いたところだけに残して、Finのサラウンディングゲート620に接続するようにできる。ゲート材料およびゲート配線材料をエッチングして、Finの頂部の下にくるように凹ませることが可能である。構造体の全体を酸化物で埋め戻してから、平坦化して表面に酸化物だけが残るようにできる。その後、柱の頂部ならびに旧来の技法を用いてそこに注入されたドレイン領域およびドレイン領域への金属接点へと、接点開口部およびドレインドープ領域をエッチングしてつくることも可能である。この

50

場合、金属配線を「x方向」に走らせ、埋め込み式ソース配線を図の紙面に垂直な方向に走らせるようにできる。

【0018】

アレイの第二の実施形態に関して、図6Kに上面図を、図6Lに線6L-6Lに沿った断面図を、それぞれ示した。構造体611は絶縁体621（酸化物など）で埋め戻されており、溝がFin617の脇の「y方向」に沿ってつくられている。ゲート配線材料622（ポリシリコンもしくは金属など）を堆積して異方性エッチングし、側壁に付いたところだけに残して、Fin上のゲートに接続するようにできる。ゲート材料およびゲート配線材料をエッチングして、Finの頂部の下にくるように凹ませることが可能である。構造体の全体を絶縁体（酸化物など）で埋め戻してから、平坦化して表面に酸化物だけが残るようにできる。その後、柱の頂部ならびに旧来の技法を用いてそこに注入されたドレイン領域およびドレイン領域への金属接点へと、接点開口部およびドレインドープ領域をエッチングしてつくすることも可能である。この場合、金属配線を図の紙面に垂直な方向に走らせ、埋め込み式ソース配線を「x方向」に走らせるようにできる。

10

【0019】

アレイの第一の実施形態でも第二の実施形態でも、サラウンディングゲート絶縁体およびサラウンディングゲートの形成に先立って、埋め込み式ソース/ドレインをパターン化して注入できる。図6Lには、仕上がったFin構造体のうちのひとつを提示しており、この構造体は、ドレイン/ソース領域623およびドレイン/ソース領域624と、凹んだゲート620と、ソース/ドレイン領域配線618と、を有している。こうしたナノFinFETでは、W/L比を大きくできるため、ナノワイヤFETに比して多量の電流を通すことが可能である。

20

【0020】

図7は、種々の実施形態群にかかる、ナノFinトランジスタのアレイのためのナノFinの上面からみたレイアウトである。この図では、側壁スペーサー714でできた二つの「競技路」を示しており、エッチングで側壁スペーサーの一部を取り除いたさまも描いてある。孔を使って、側壁スペーサー競技路が最小フィーチャ寸法(1F)となるようにつくとある。マスク片725の巾は最小フィーチャ寸法(1F)であり、またマスク片725同士の間隔も最小フィーチャ寸法(1F)になっている。示した設計図では、ナノFinの列の中心間距離がほぼ2Fになっていて、またナノFinの行の中心間距離がほぼ1Fとなっている。また図7に示してあるように、ナノFinは、孔の壁に付いた側壁スペーサーからつくとあるので、第一の行と第二の行との中心間距離が、長さ1FからナノFinの厚みに応じた量だけ若干縮んだ長さ(1F-T)となっている。そして、第二の行と第三の行との中心間距離が、長さ1FにナノFinの厚みに応じた量だけ若干足した長さ(1F+T)となっている。一般に、第一の行と第二の行との中心間距離は、フィーチャ間隔(NF)からナノFinの厚みに応じた量だけ若干縮んだ長さ(NF-T)となり、且つ、第二の行と第三の行との中心間距離が、フィーチャ間隔(NF)にナノFinの厚みに応じた量だけ若干足した長さ(NF+T)となる。

30

【0021】

図8は、本主題の種々の実施形態群にかかる、ナノFinトランジスタの製造工程を描いたものである。まず826では、Finを結晶質基板からつくる。例えばFinを、ウェハ（珪素ウェハなど）からエッチングして作成できる。827では、第一のソース/ドレイン領域を、基板内のFinの底部に作成する。Finは薄いので、Finの占有領域全体の下方向へと、ドーパントを拡散させることができる。828では、Finの周りにサラウンディングゲート絶縁体を形成する。そして829では、サラウンディングゲートをFinの周りにそのサラウンディングゲート絶縁体を間に挟んでつくる。830では、得られる構造体を絶縁体で埋め戻す。831で述べたように、（ひとつもしくは複数の）溝をエッチングしてつくるから、（ひとつもしくは複数の）ゲート線をサラウンディングゲートに隣接して接続するようにつくる。いくつかの実施形態群では、二つのゲート線を形成するに際し、サラウンディングゲートの対向する側にそれぞれ接続するように行う。ナノFin構造体の長辺にて

40

50

サラウンディングゲートに接続するようにゲート線の向きを設定することもできるし、あるいは、ナノFin構造体の短辺にてサラウンディングゲートに接続するようにゲート線の向きを設定してもかまわない。つまり、(ひとつもしくは複数の)ゲート線を、列方向に形成してもよいし行方向に形成してもよいということである。832では、第二のソース/ドレイン領域を、Finの頂部に形成する。そして833では、第二のソース/ドレイン領域のための接点をつくる。

【0022】

図9には、本主題の種々の実施形態群にかかる、結晶質基板からFinを形成する工程(図8の826など)を示してある。934では、結晶質基板を層で蔽う。そして935では、エッチングするかもしれない何らかの他の手法により、その層に孔を穿つ。種々の実施形態群では、結晶質基板を蔽うように作成する層が、非晶質珪素の層であって、その結晶質基板と非晶質珪素との間に窒化珪素層が挟まれ、孔がその窒化珪素層にエッチングされ穿たれる。936では、孔の縁を劃定する層の壁に凭れさせるようにして、側壁スペーサーをつくる。種々の実施形態群では、非晶質珪素層を酸化することにより、側壁スペーサーをつくる。937では、孔を第一の層の材料(非晶質珪素など)で埋め戻してから、構造体を平坦化する。図6Bおよび図6Cに示した実施形態では、平坦化を施すことで、非晶質珪素の上面に載った酸化物を除去し、酸化物側壁スペーサーでできた「競技路」(矩形)のパターンを残すようにする。938では、(マスクとエッチング工程を用いるなどして)Finパターンを側壁スペーサーからつくる。いくつかの実施形態群では、得られるFinパターンの第一の方向についての第一の断面厚さが最小フィーチャ寸法に対応する。そして、得られるFinパターンの、第一の方向に直交する第二の方向についての第二の断面厚さが、酸化物側壁の厚さに対応して、且つ最小フィーチャ寸法よりも充分に小さくなっている。939では、層(非晶質珪素など)を除去して、側壁スペーサーでできたFinパターンを残す。940では、側壁スペーサーでできたFinパターンに対応するマスクを使って、結晶質基板をエッチングする。種々の実施形態群では、窒化珪素層をエッチングしてFinパターンをつくり、その後結晶質基板をエッチングする際、その窒化珪素層を使ってFinパターンで結晶質基板をマスクする。941では、マスク層(窒化珪素など)を取り除いて、エッチングしたFinの頂部を露出させる。

【0023】

図10は、本主題の種々の実施形態に係るメモリ装置の種々の実施形態を高度に組織化した、単純化したブロック図である。示したメモリ装置1042には、メモリアレイ1043、および、そのメモリアレイ上での動作を(ひとつもしくは複数の)通信線もしくはチャネル1045を介して行うための読み込み/書き込み制御回路1044、が含まれている。示したメモリ装置1042としては、メモリカードまたはメモリモジュールを用いることができ、例えばSIMM(single inline memory module)やDIMM(dual inline memory module)などを用いることができる。当業者には、本開示を読んで理解した上で、メモリアレイ内および/もしくは制御回路内の半導体部品を、上述したようなエッチングしたナノFinトランジスタを使って組み立てられる、ということがわかるであろう。構造体とこれらの装置の製造方法については上記してある。

【0024】

メモリアレイ1043は、多数のメモリセル1046を有する。アレイになったメモリセルは、行と列をなすように配置される。種々の実施形態群では、ワード線1047を行に並んだメモリセルに接続し、またビット線1048を列に並んだメモリセルに接続する。読み込み/書き込み制御回路1044には、所望の行を選択する機能を持つワード線選択回路1049と、所望の列を選択する機能を持つビット線選択回路1050と、メモリアレイ1043中の選択したメモリセルについてのメモリ状態を検出する機能を持つ読み出し回路1051と、が含まれる。

【0025】

図11には、種々の実施形態群にかかる、(一個もしくは複数個の)ナノFinトランジスタを持つ電子システム1152の概要図を示してある。この電子システム1152には、制

御手段 1153、バス 1154、および電子装置 1155 が含まれており、このバス1154 が制御手段 1153 と電子装置 1155 との通信回線になっている。種々の実施形態群では、制御手段および/もしくは電子装置に、前述したようなナノFinトランジスタが含まれる。示した電子システム 1152 としては、情報処理装置、無線装置、遠隔通信装置、光ファイバ一系、電気-光学系、およびコンピュータなどがあるが、これらに限定はされない。

【0026】

図12は、制御手段 1257 とメモリ 1258 を有するシステム 1256 の或る実施形態の概要図である。この制御手段および/もしくはメモリが、種々の実施形態群にかかるナノFinトランジスタを有してもよい。示したシステム 1256 にはまた、電子装置 1259、ならびに、制御手段と電子装置との間および制御手段とメモリとの間の(ひとつもしくは複数の)通信回線となるバス 1260、も含まれる。このようなバスとしては、それぞれが独立に構成された、アドレス、データバス、および制御バスを使用する、あるいは、アドレス、データ、かつ/または制御を提供する共通通信回線を使用してもよい。そして、その使用は制御手段によって制御される。或る実施形態では、電子装置 1259 が、メモリ 1258 と同様に構成された付加的なメモリであってもよい。或る実施形態では、バス 1260 に接続した(一個もしくは複数個の)周辺機器 1261 を含んでもよい。そうした周辺機器としては、ディスプレイ、付加的な記憶メモリ、または、制御手段および/もしくはメモリと協働できる他の制御機器、などがある。或る実施形態では、制御手段としてプロセッサを用いる。制御手段 1257、メモリ 1258、電子装置 1259、および周辺機器 1261 のうちのどれでもが、種々の実施形態群にかかるナノFinトランジスタを含んでもよい。こうしたシステム 1256 としては、情報処理装置、遠隔通信システム、およびコンピュータがあるが、これらに限定はされない。本開示に記載したナノFinトランジスタに関する用途としては、メモリモジュール、装置ドライバ、電力モジュール、通信モデム、プロセッサモジュール、および特定用途モジュールに使うための電子システムが含まれ、ひいては複数レイヤの、複数チップを含むモジュールを含んでもよい。こうした回路が、時計、テレビジョン、携帯電話、PC、自動車、産業用制御システム、飛行機、などのさまざまな電子システムの副部材であってもよい。

10

20

【0027】

こうしたメモリは、種々の実施形態群にかかる、ナノFinトランジスタを内包するメモリ装置として実現可能である。実施形態群によって、任意の大きさと種類のメモリ回路と同等の効果が得られ、特定の種類のメモリ装置に限定することは企図していない。メモリの種類としては、DRAM、SRAM (Static Random Access Memory)、もしくはフラッシュメモリがある。さらに云えば、DRAMとして、シンクロナスDRAMを使ってもよいと考えられる。そうしたシンクロナスDRAMのことを、SGRAM (Synchronous Graphics Random Access Memory)、SDRAM (Synchronous Dynamic Random Access Memory)、SDRAM II、およびDDR SDRAM (Double Data Rate SDRAM)とも呼ぶ。さまざまな新興のメモリ技術で、圧縮歪チャネルを具えたトランジスタを使うこともできる。

30

【0028】

本開示には、いろいろな工程、回路図、およびセル構造体が入っている。本主題は、特定の工程順序もしくは論理配置に限定はされない。特定の実施形態群について本明細書にて図解し説明したが、当業者には、同じ目的を達成するために考案された任意の配置を、示した特定の実施形態に代えて使用できる、ということが正しく理解できるだろう。本出願は、本主題の応用例もしくは変形例を包括せむとするものである。上述の記載は例示を目的としたものであって、限定をしようとするものではないことを理解されたい。上述した実施形態群を組み合わせたものや、その他の実施形態群についても、当業者には上述の記載を通読し理解すれば自明のものとなる。付随する請求項を、その請求項が体现する均等な特徴の全範囲と併せて参照することによって、本主題の範囲を定めるべきである。

40

【図面の簡単な説明】

【0029】

【図1】係数 k で拡張される種々の装置パラメータについての傾向と相関をおおまかに

50

示したものである。

【図 2】旧来の珪素MOSFETでの閾値下漏洩を示す。

【図 3】ドレインと、ソースと、ゲート絶縁体で半導体基板から隔てられた前面ゲートおよび背面ゲートと、ドレインから発生する電界と、を有するデュアルゲート式MOSFETを描いたものである。

【図 4】デュアルゲート式MOSFET、ダブルゲート式MOSFET、およびサラウンディングゲート式MOSFETの向上した閾値下特性を、旧来のバルク珪素MOSFETの閾値下特性と比較するかたちでおおまかに示したものである。

【図 5 A】旧来のFINFETを示す。

【図 5 B】旧来のFINFETを示す。

【図 5 C】旧来のFINFETを示す。

【図 6 A】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 B】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 C】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 D】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 E】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 F】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 G】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 H】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 I】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 J】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 K】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 6 L】本主題の種々の実施形態群にかかる、ナノFinトランジスタの形成工程を描いたものである。

【図 7】種々の実施形態群にかかる、ナノFinトランジスタのアレイ用のナノFinを上面からみたレイアウトである。

【図 8】ナノFinトランジスタを、本主題の種々の実施形態に応じてつくるための工程を示してある。

【図 9】本主題の種々の実施形態に応じてFinを結晶質基板からつくるための工程を示してある。

【図 10】本主題の種々の実施形態に係るメモリ装置の種々の実施形態を高度に組織化した、単純化したブロック図である。

【図 11】種々の実施形態群にかかる、一個もしくは複数個のナノFinトランジスタを有する電子システムの概要図である。

【図 12】制御手段とメモリを有するシステムの実施形態の図である。

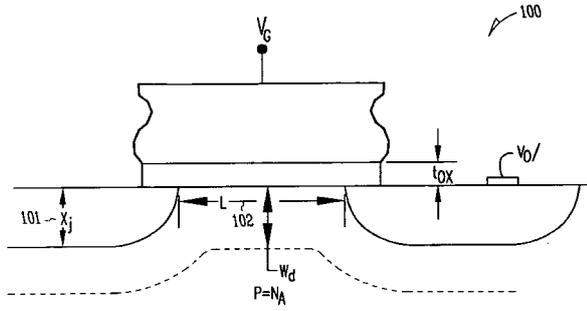
10

20

30

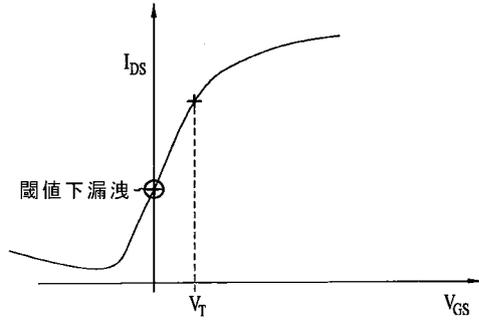
40

【 図 1 】

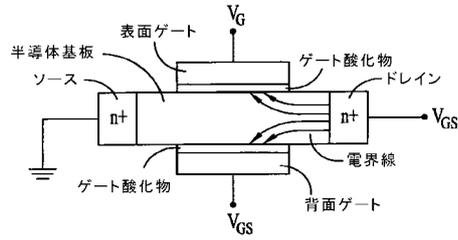


- $V_G \rightarrow V_G/k$
- $V_0 \rightarrow V_0/k$
- $t_{ox} \rightarrow t_{ox}/k$
- $L \rightarrow L/k$
- $X_j \rightarrow X_j/k$ 接合深さが減少
- $W_d \rightarrow W_d/k$
- $N_A \rightarrow k N_A$ 基板への添加量が増大

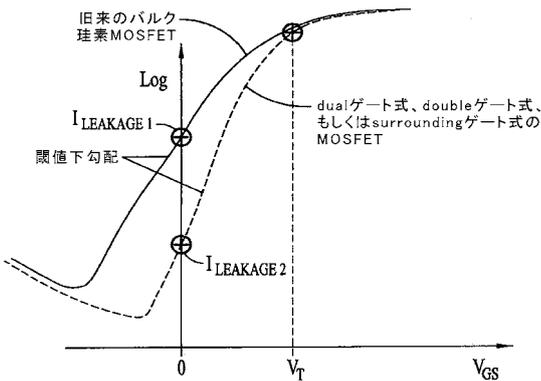
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 B 】

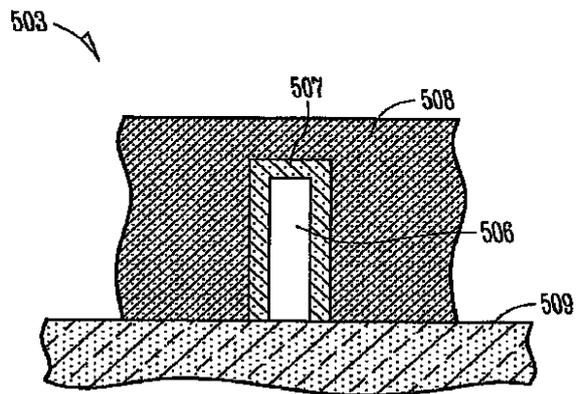


FIG. 5B

(PRIOR ART)

【 図 5 A 】

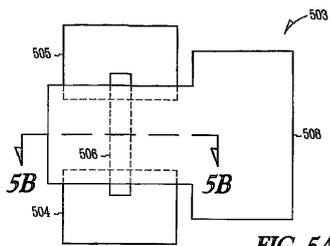


FIG. 5A

(PRIOR ART)

【 図 5 C 】

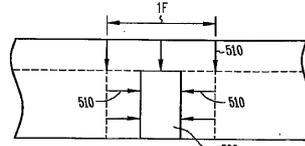


FIG. 5C

(PRIOR ART)

【図 6 A】

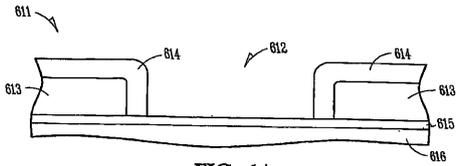


FIG. 6A

【図 6 B】

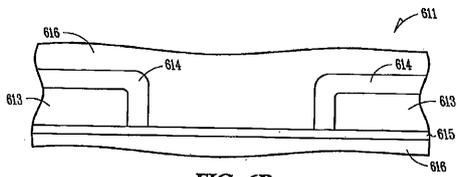


FIG. 6B

【図 6 C】

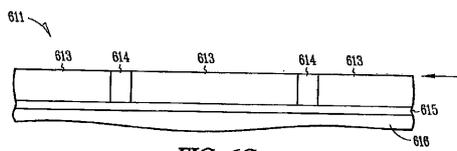


FIG. 6C

【図 6 G】

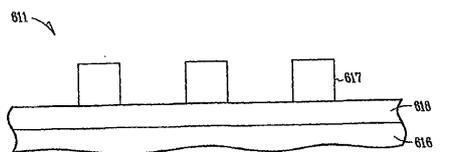


FIG. 6G

【図 6 H】

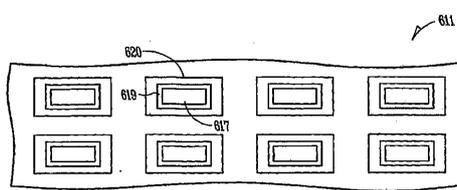


FIG. 6H

【図 6 I】

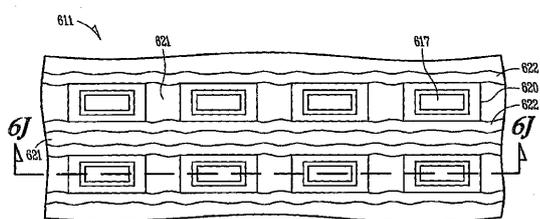


FIG. 6I

【図 6 D】

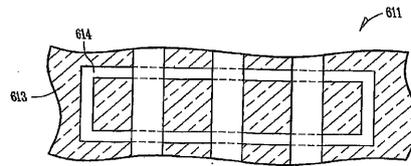
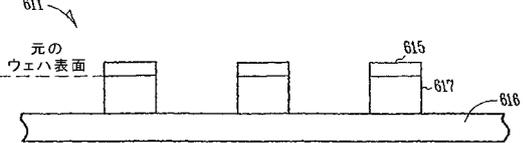


FIG. 6D

【図 6 E】



【図 6 F】

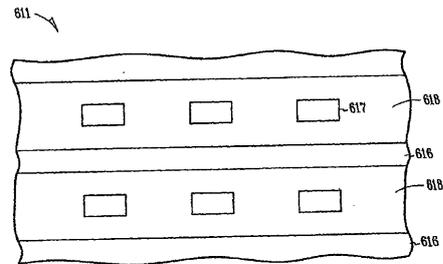


FIG. 6F

【図 6 J】

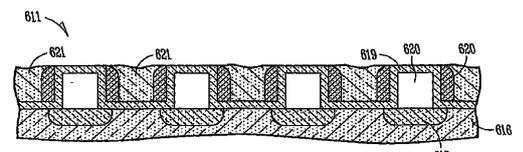


FIG. 6J

【図 6 K】

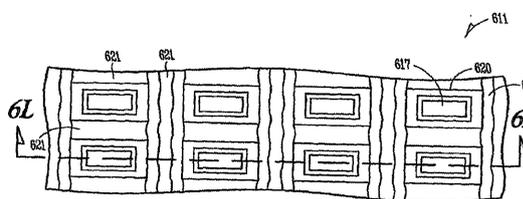


FIG. 6K

【図 6 L】

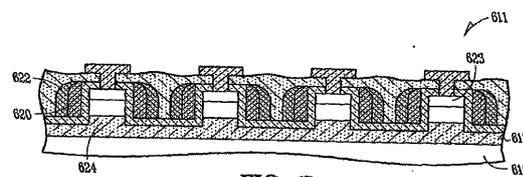


FIG. 6L

【 図 7 】

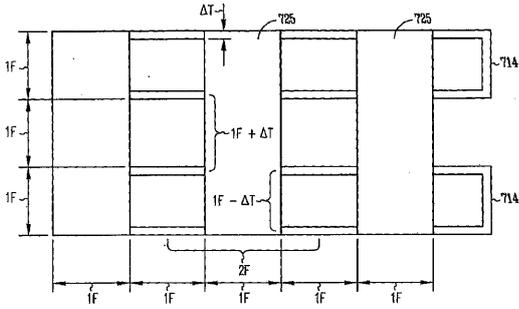
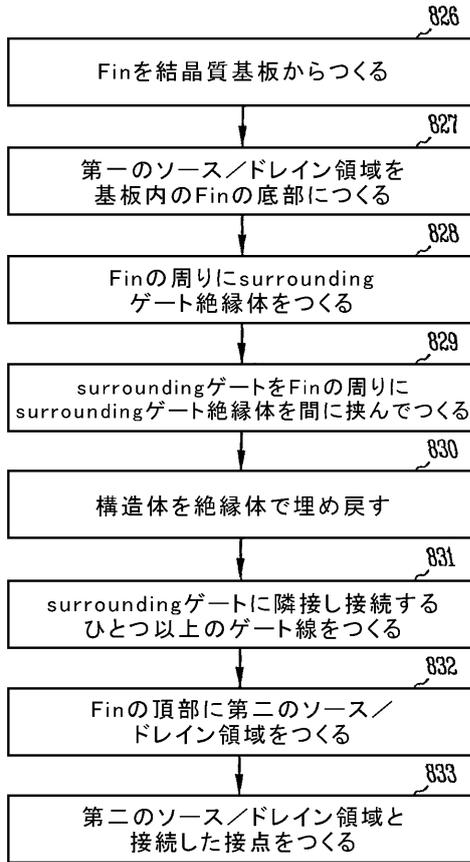
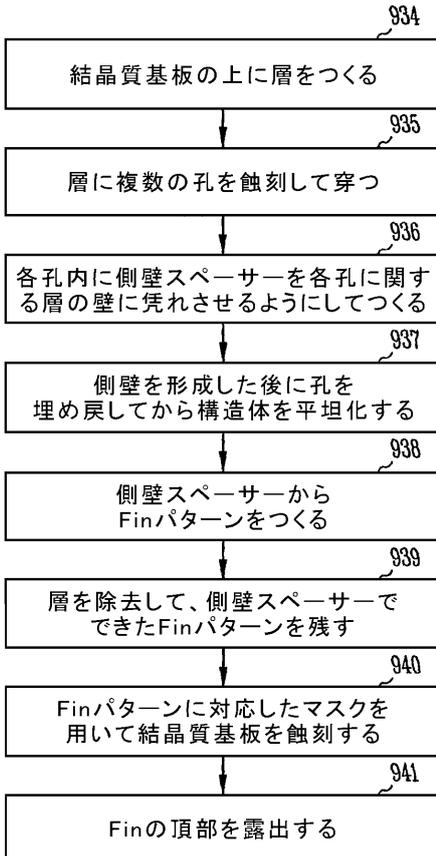


FIG. 7

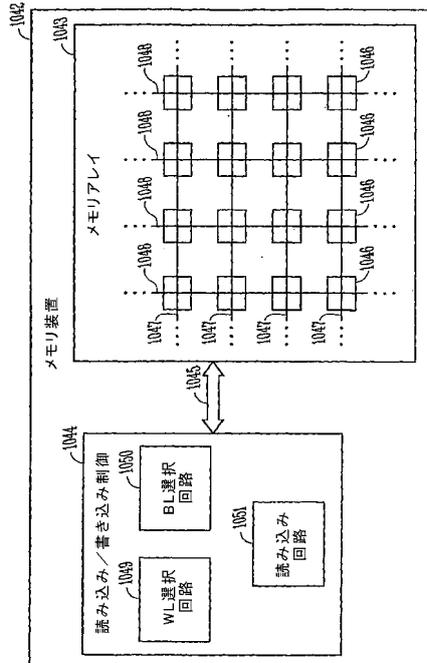
【 図 8 】



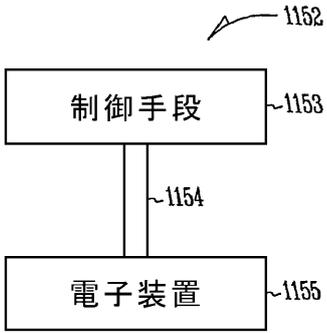
【 図 9 】



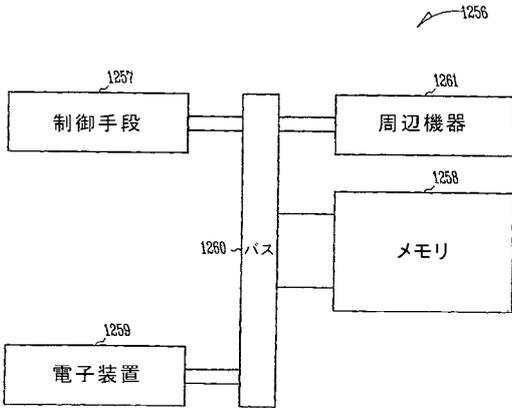
【 図 10 】



【 図 1 1 】



【 図 1 2 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No PCT/US2007/008400

A. CLASSIFICATION OF SUBJECT MATTER		
INV.	H01L29/06	H01L29/786
	H01L21/8242	H01L29/78
		H01L21/336
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2003/008515 A1 (CHEN TAI-JU [TW] ET AL) 9 January 2003 (2003-01-09) figures 1-16	1-41
X	WO 2005/079182 A (IBM [US]; BEINTNER JOCHEN [US]; CHIDAMBARRAO DURESETI [US]; DIVKARUNI) 1 September 2005 (2005-09-01) figures 1-10	1-17, 25-41
Y		18-24
X	US 2006/046424 A1 (CHANCE RANDAL W [US] ET AL) 2 March 2006 (2006-03-02) figures 10-18	1-17, 25-41
X	US 2006/043471 A1 (TANG SANH D [US] ET AL) 2 March 2006 (2006-03-02) figures 1-20	1-12, 15-17, 25-41
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
11 September 2007		18/09/2007
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer Juhl, Andreas

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No PCT/US2007/008400

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 013 680 A (LOWREY TYLER A [US] ET AL) 7 May 1991 (1991-05-07) figures 1-7A -----	18-24
A	US 2004/108545 A1 (ANDO YOSHIYUKI [JP]) 10 June 2004 (2004-06-10) figures 1-11 -----	1-14
A	US 2002/177265 A1 (SKOTNICKI THOMAS [FR] ET AL) 28 November 2002 (2002-11-28) figures 1-14 -----	1-41

4

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2007/008400

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2003008515 A1	09-01-2003	NONE	
WO 2005079182 A	01-09-2005	CN 1906769 A EP 1711966 A2 JP 2007520883 T	31-01-2007 18-10-2006 26-07-2007
US 2006046424 A1	02-03-2006	EP 1782467 A1 TW 248197 B US 2006063350 A1 WO 2006022765 A1	09-05-2007 21-01-2006 23-03-2006 02-03-2006
US 2006043471 A1	02-03-2006	US 2007020819 A1	25-01-2007
US 5013680 A	07-05-1991	NONE	
US 2004108545 A1	10-06-2004	NONE	
US 2002177265 A1	28-11-2002	FR 2823009 A1	04-10-2002

フロントページの続き

- (31)優先権主張番号 11/397,413
(32)優先日 平成18年4月4日(2006.4.4)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/397,406
(32)優先日 平成18年4月4日(2006.4.4)
(33)優先権主張国 米国(US)

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5F083 AD06 GA09 GA27 KA01 LA16 PR05 PR06 PR40 ZA12
5F140 AA02 AA24 AA29 AB03 AC23 AC32 BA01 BB04 BC15 BE07
BF04 BF05 BF44 BF54 BF58 BG27 BG37 BK13 CA03 CE07
CE20