

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2006年11月9日 (09.11.2006)

PCT

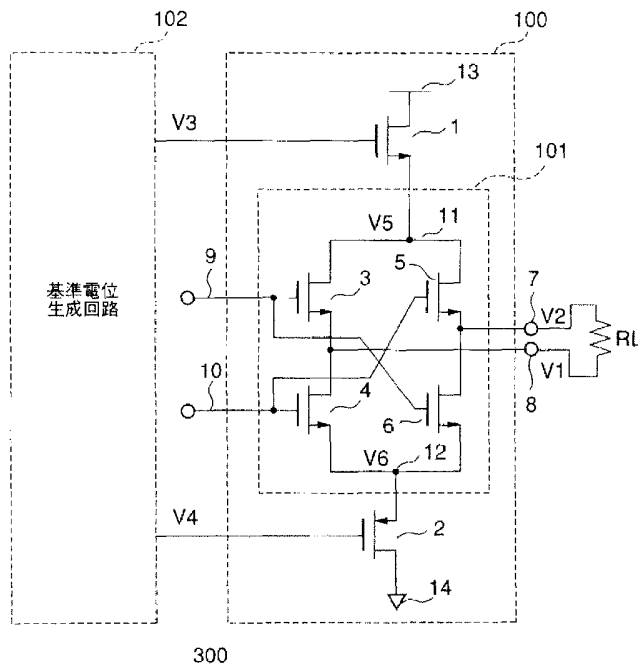
(10) 国際公開番号  
WO 2006/117860 A1

- (51) 国際特許分類:  
H03K 19/0185 (2006.01) H03F 3/45 (2006.01)
- (21) 国際出願番号: PCT/JP2005/008151
- (22) 国際出願日: 2005年4月28日 (28.04.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 三浦賢 (MIURA, Satoshi) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 ザインエレクトロニクス株式会社内 Tokyo (JP). 岡村 淳一 (OKAMURA, Jun-ichi) [JP/JP]; 〒1030023 東京都中央区日本橋本町3-3-6 ザインエレクトロニクス株式会社内 Tokyo (JP). 小沢 誠
- (74) 代理人: 萩原 誠 (HAGIHARA, Makoto); 〒1050014 東京都港区芝二丁目1-3 3 第三渡邊ビル9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

[続葉有]

(54) Title: DIFFERENTIAL DRIVING CIRCUIT AND ELECTRONIC DEVICE INCORPORATING THE SAME

(54) 発明の名称: 差動駆動回路およびそれを内蔵する電子機器



102- REFERENCE POTENTIAL GENERATING CIRCUIT

(57) Abstract: A differential driving circuit used for low voltage differential signals and an electronic device incorporating the same are provided wherein no differential amplifiers are used or the number of differential amplifiers are reduced, thereby reducing the circuit area and the current consumption and further solving the problem of oscillation caused by noise, while a high driving performance is achieved. There are included a switch circuit, an output circuit and a reference potential generating circuit. The switch circuit, which comprises MOS transistors, receives differential signals and outputs current signals. The output circuit comprises an NMOS transistor, an end of which is connected to the power supply potential of a higher potential side, the other end of which is connected to a node of the switch circuit and which acts as a source follower, and a PMOS transistor, an end of which is connected to the power supply potential of a lower potential side, the other end of which is connected to the other node of the switch circuit and which acts as a source follower. The reference potential generating circuit supplies reference potentials to the respective gates of the PMOS and NMOS transistors. The reference potential generating circuit includes a potential varying means that varies the differential potentials with an offset potential kept constant. Further, there is included an emphasis circuit for the output circuit.

(57) 要約: 差動増幅器を無くすかあるいは数を減らして、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電子機器

[続葉有]

WO 2006/117860 A1



BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

---

器を提供する。差動信号が入力され電流信号を出力するMOSトランジスタからなるスイッチ回路と、一方が高電位側の電源電位に接続され、他方がスイッチ回路の一方のノードに接続され、ソースフォロワとして動作するNMOSトランジスタと、一方が低電位側の電源電位に接続され、他方がスイッチ回路の他方のノードに接続され、ソースフォロワとして動作するPMOSトランジスタとから構成される出力回路と、PMOSトランジスタとNMOSトランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えて成る。さらに出力回路のエンファシス回路を備えて成る。

## 明 細 書

### 差動駆動回路およびそれを内蔵する電子機器

#### 技術分野

- [0001] 本発明は、抵抗終端された一对の差動伝送路の電流方向を変えることによって信号を伝送する、LVDS (Low-Voltage Differential Signals: 低電圧駆動信号) インターフェース用の差動駆動回路及びそれを内蔵する電子機器に関する。

#### 背景技術

- [0002] LVDSインターフェース用差動駆動回路として、下記特許文献1に記載されるものが知られている。ここに提案されている駆動回路は、差動増幅器を3つ使うことにより、オフセット電位を一定に保ちながら差動電圧を変化させる構成をとっている。このため、回路が複雑となり回路面積が大きくなる、全体の消費電流が大きくなる、また終段のトランジスタを駆動する2つの差動増幅器は電源ノイズ等がトリガーとなって発振し易いという問題がある。さらに駆動回路能力に関して下記特許文献2に記載されるものが知られている。ここに提案されている駆動回路は、主駆動回路とプリエンファシス回路とから構成されているが、いずれも電流源でバイアスされる構成となっている。従って、回路は負荷の変動やバラツキに関係なく定電流を供給しようとするため、負荷の変化に対しソースドレイン間の電圧 ( $V_{SD}$ ) が変動し、コモンモード電圧が定まらない結果となる。特に待機状態にある時、EMI障害が発生しやすい状況となるため、高速駆動に伴うノイズの障害に問題があった。

特許文献1: USP6111431号公報

特許文献2: USP6590432号公報

#### 発明の開示

#### 発明が解決しようとする課題

- [0003] 本発明はこのような問題を解決するためになされたものであり、差動増幅器を無くすかあるいは数を減らして、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、コモンモードレベルを安定にすることでEMI障害の発生を少なくし、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電

子機器を提供することを目的とする。

### 課題を解決するための手段

[0004] 請求項1に記載の低電圧差動信号用差動駆動回路は、差動信号が入力され電流信号を出力するMOSTランジスタからなるスイッチ回路と、

一方が高電位側の電源電位に接続され、他方が前記スイッチ回路の一方のノードに接続され、ソースフォロワとして動作するNMOSTランジスタと、一方が低電位側の電源電位に接続され、他方が前記スイッチ回路の他方のノードに接続され、ソースフォロワとして動作するPMOSTランジスタとから構成される出力回路と、

前記NMOSTランジスタと前記PMOSTランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、

前記基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えることを特徴とする。

[0005] 請求項2に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、

前記スイッチ回路が、前記NMOSTランジスタのソースに一方の端子が接続されノードを形成した第1ランジスタおよび第2ランジスタと、前記PMOSTランジスタのソースに一方の端子が接続されノードを形成した第3ランジスタおよび第4ランジスタとからなり、

前記第1ランジスタと前記第3ランジスタの他方の端子が接続されたノードと前記第2ランジスタと前記第4ランジスタの他方の端子が接続されたノードとが、前記出力回路の出力端子を形成し、

前記第1ランジスタと前記第4ランジスタのゲートが接続されたノードと前記第2ランジスタと前記第3ランジスタのゲートが接続されたノードとが、前記差動信号の入力端子を形成することを特徴とする。

[0006] 請求項3に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路が、前記高電位側の電源電位と前記NMOSTランジスタのゲートとの間に接続された第1抵抗と、

前記NMOSTトランジスタのゲートと前記PMOSTトランジスタのゲートとの間に接続された第2抵抗と、

前記PMOSTトランジスタのゲートと前記低電位の電源電位との間に接続された第3抵抗とからなることを特徴とする。

[0007] 請求項4に記載の低電圧差動信号用差動駆動回路は、請求項3に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路の前記第1抵抗と、前記第3抵抗とは抵抗値が等しいことを特徴とする。

[0008] 請求項5に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路が、直列に接続されたPMOSTトランジスタと抵抗とを複数個並列に接続してなる第1回路群と、

直列に接続されたNMOSTトランジスタと抵抗とを複数個並列に接続してなる第2回路群と、

前記第1回路群の抵抗と前記第2回路群の抵抗との間に接続された抵抗とを備え、前記第1回路群の抵抗と、前記第2回路群の抵抗とはそれぞれ抵抗値が等しく設定され、前記第1および第2回路群のトランジスタのゲートを制御することにより、抵抗値を可変することを特徴とする。

[0009] 請求項6に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電位差動信号用差動駆動回路において、

前記基準電位生成回路が、前記高電位側の電源電位にドレインを接続された第1NMOSTトランジスタと、

前記第1NMOSTトランジスタのソースにドレインを接続され且つゲートが前記高電位の側電源電位に接続された第2NMOSTトランジスタと、

前記低電位側の電源電位にソースを接続された第3NMOSTトランジスタと、

前記第3NMOSTトランジスタのドレインにソースを接続され且つゲートが前記高電位側の電源電位に接続された第4NMOSTトランジスタと、

前記第2NMOSTトランジスタのソースと前記第4NMOSTトランジスタのドレインとの

間に接続された第1抵抗および第2抵抗と、

前記第1NMOSTランジスタと第5NMOSTランジスタとのゲートに出力端子が接続され前記ゲート電位を制御し、前記第1抵抗と前記第2抵抗との接続されたノード電位を、第1基準電位に近づくように動作する第1差動増幅器と、

前記低電位側の電源電位にソースを接続された前記第3NMOSTランジスタの電流を制御する前記電流源可変手段とを備える第1回路群と、

前記高電位側の電源電位にドレインを接続された前記第5NMOSTランジスタと、前記第5NMOSTランジスタのソースにドレインを接続され且つゲートが前記高電位側の電源電位に接続された第6NMOSTランジスタと、前記低電位側の電源電位にドレインを接続された第7PMOSTランジスタと、

前記第7PMOSTランジスタのソースにソースを接続され且つゲートが前記高電位側の電源に接続された第8のNMOSTランジスタと、前記第6のNMOSTランジスタのソースと前記第8NMOSTランジスタのドレインとの間に接続された第3抵抗および第4抵抗と、

前記第7PMOSTランジスタのゲートに出力端子が接続され前記ゲート電位を制御し、前記第3抵抗と前記第4抵抗との接続されたノード電位を、前記第1基準電位に近づくように動作する第2差動増幅器とを備える第2回路群とを備えることを特徴とする。

[0010] 請求項7に記載の低電圧差動信号用差動駆動回路は、請求項6に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路の前記第1抵抗、前記第2抵抗、前記第3抵抗および前記第4抵抗の抵抗値が、前記出力回路の出力端子に接続される終端抵抗の抵抗値の $n/2$  ( $n$ は正の整数値)倍であることを特徴とする。

[0011] 請求項8に記載の低電圧差動信号用差動駆動回路は、請求項6に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路の前記第1NMOSTランジスタおよび前記第5NMOSTランジスタのサイズが、前記NMOSTランジスタのサイズの $1/n$  ( $n$ は正の整数値)のサイズを有し、

前記第7PMOSTランジスタのサイズが、前記PMOSTランジスタのサイズの $1/n$  ( $n$ は正の整数値)のサイズを有することを特徴とする。

[0012] 請求項9に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、

前記出力回路の出力端子とエンファシス回路の出力端子とが互いに接続され、  
前記エンファシス回路は、さらに異なる差動信号が入力され電流信号を出力するMOSトランジスタからなるエンファシス回路用スイッチ回路の一方のノードがPMOSTランジスタのドレインと接続され、前記PMOSTランジスタのソースが前記高電位側の電源電位に接続され、前記PMOSTランジスタのゲートがエンファシス回路用バイアス電源の一方に端子に接続され、

前記エンファシス回路用スイッチ回路の他方のノードがNMOSTランジスタのドレインと接続され、前記NMOSTランジスタのソースが前記低電位側の電源に接続され、前記NMOSTランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて構成されて成ることを特徴とする。

[0013] 請求項10に記載の低電圧差動信号用差動駆動回路は、請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、  
請求項2のスイッチ回路であることを特徴とする。

[0014] 請求項11に記載の低電圧差動信号用差動駆動回路は、請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路が、

前記エンファシス回路用スイッチ回路の一方のノードがNMOSTランジスタのソースと接続され、前記NMOSTランジスタのドレインが前記高電位側の電源に接続され、前記NMOSTランジスタのゲートがエンファシス回路用バイアス電源の一方の端子に接続され、

前記エンファシス回路用スイッチ回路の他方のノードがPMOSTランジスタのソースと接続され、前記PMOSTランジスタのドレインが前記低電位側の電源に接続され、前記PMOSTランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて成ることを特徴とする。

[0015] 請求項12に記載の低電圧差動信号用差動駆動回路は、請求項11に記載の低電

圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、  
請求項2のスイッチ回路であることを特徴とする。

[0016] 請求項13に記載の電子機器は、請求項1乃至12のいずれかに記載の低電圧差動信号用差動駆動回路を内蔵することを特徴とする。

[0017] 請求項14に記載の電子機器は、請求項13に記載の電子機器が、携帯端末であることを特徴とする

### 発明の効果

[0018] 本発明の低電圧差動信号用差動駆動回路によれば、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、コモンモードレベルを安定にすることでEMI障害の発生を少なくし、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電子機器を提供することができる。

### 図面の簡単な説明

[0019] [図1]本発明による実施例1の差動駆動回路の構成を示す回路ブロック図である。

[図2]本発明による実施例1の基準電位生成回路の構成を示す回路ブロック図である。  
。

[図3]本発明による可変抵抗を備えた基準電位生成回路である。

[図4]本発明による電位可変手段を備えた基準電位生成回路。

[図5]本発明による他の電位可変手段を備えた基準電位生成回路。

[図6]本発明による実施例2の差動駆動回路の構成を示す回路ブロック図である。

[図7]本発明による実施例2の差動駆動回路の入出力信号トレインを示した図である。  
。

[図8]本発明による実施例2の差動駆動回路の他の入出力信号トレインを示した図である。

[図9]本発明の他のエンファシス回路による差動駆動回路の入出力信号トレインを示した図である。

### 符号の説明

[0020] 1～6、41～44、49～52、61～66 トランジスタ  
45、46、53、54 抵抗



7、8、11、12、21、22、71～74 ノード  
9、10、69、70 差動入力端子  
13、14 高電位側および低電位側電源電位  
47、55 第1および第2差動増幅器  
48 第1基準電位  
100 出力回路  
101 スイッチ回路  
102 基準電位生成回路  
300 低電圧差動信号用差動駆動回路  
400 エンファシス回路  
401、402 第1および第2回路群  
R1～3、Rp1、Rpn、Rn1、Rnn 抵抗  
P1～Pn、N1～Nn トランジスタ  
CMC カレントミラー回路  
IN+ ドライブ回路差動入力信号正側  
IN- ドライブ回路差動入力信号負側  
EMP+ エンファシス回路差動入力信号正側  
EMP- エンファシス回路差動入力信号負側  
OUT+ 高出力差動駆動回路出力正側  
OUT- 高出力差動駆動回路出力負側  
HiZ ハイインピーダンス

### 発明を実施するための最良の形態

#### [0021] [実施例1]

本発明による低電圧差動信号用差動駆動回路の第1の実施の形態について、図1を用いて説明する。図1は、本発明の低電圧差動信号用差動駆動回路の構成を説明する回路ブロック図である。本発明の低電圧差動信号用差動駆動回路300は、LVDSインターフェース規格(IEEE P1596, 3)に準拠する出力回路100と基準電圧生成回路102から構成される。

- [0022] 出力回路100は、差動信号が入力され終端抵抗RLへ電流信号を出力するスイッチ回路101と、一方が低電位側の電源電位14に接続され、他方がスイッチ回路101のノード12に接続されて、ソースフォロワとして動作するPMOSTランジスタ2と、一方が高電位側の電源電位13に接続され、他方がスイッチ回路101のノード11に接続されて、ソースフォロワとして動作するNMOSTランジスタ1とからなる。
- [0023] スイッチ回路101はNMOSTランジスタ3~6で構成されており、ランジスタ3およびランジスタ5のドレインがランジスタ1のソースに共通接続され、ノード11を形成している。ランジスタ4およびランジスタ6のソースがPMOSTランジスタ2のソースに共通接続され、ノード12を形成している。ランジスタ3とランジスタ4とが直列に接続された接続点であるノード8と、ランジスタ5とランジスタ6とが直列に接続された接続点であるノード7とが出力回路100の出力端子を形成する。ランジスタ3とランジスタ6の各ゲートが共通接続された接続点であるノード9と、ランジスタ5とランジスタ4の各ゲートが接続された接続点であるノード10とが入力端子を形成する。ノード9とノード10の入力端子には、低電位側の電源電圧と高電位側の電源電位まで振れる互いに反転された差動信号が入力される。ノード7とノード8との間には、外部の終端抵抗RLが接続される。
- [0024] ノード8の電位をV1、ノード7の電位をV2とすると、出力の差動電位VODは、 $VOD = V1 - V2$ と表わされる。出力のオフセット電圧VOCは、 $VOC = (V1 + V2) / 2$ と表わされる。この構成で、NMOSTランジスタ1とPMOSTランジスタ2のゲートに、基準電位生成回路102で生成した基準電位を入力すると、全体がソースフォロワ構成であるために、ノード11の電位とノード12の電位が決定される。基準電位生成回路102で生成し、NMOSTランジスタ1のゲートにかかる電圧をV3、PMOSTランジスタ2のゲートにかかる電圧をV4、ノード11の電位をV5、ノード12の電位をV6とする。終端抵抗RLを流れる電流をI1とすると、I1が小さくNMOSTランジスタ1およびPMOSTランジスタ2が飽和領域で動作する場合、 $I1 = \beta_n (V3 - V5 - V_{thn})^2 / 2 = \beta_p (V6 - V4 - V_{thp})^2 / 2$ となる。ここで $\beta_n$ 、 $\beta_p$ および $V_{thn}$ 、 $V_{thp}$ はそれぞれNMOSTランジスタおよびPMOSTランジスタの $\beta$ 値と閾値電圧である。そのとき、 $VOD = I1 \times RL$ 、 $VOC \cong V5 - I1 \times RL / 2 \cong V6 + I1 \times RL / 2$ となる。これらの値VOCとV

ODが目標の値となるようにV3とV4の基準電位が決定される。LVDSの規格によると、VOCの標準的な値は1.2V、VODの標準的な値は250mV、RLの値は100Ωである。この場合VOCとVODが目標の値となるような基準電位V3、V4を決める例を示す。簡単のために $\beta_n = \beta_p = 2$ 、 $V_{thn} = V_{thp} = 0.5$ と仮定する。これから、 $V_3 = 1.2 + 0.250 / 2 + 1 = 2.45V$ 、 $V_4 = 1.2 - 0.25 / 2 - 1 = 0.12V$ とすればよいと計算できる。このとき、スイッチトランジスタ3~6の $\beta$ 値はON抵抗が十分小さくなるように大きくすることに注意する必要がある。なお、スイッチ回路101は、NMOSTランジスタとPMOSTランジスタとを使用したCMOS回路としても構成することができる。

[0025] 図2は、本発明による基準電位生成回路102の実施の形態を説明する回路図である。基準電位生成回路102は、一端が高電位側の第1電源電位13に接続された抵抗R1と、一端が低電位側の第2電源電位14に接続された抵抗R3と、R1およびR3に直列に接続された抵抗R2とで構成される。R1とR2の接続ノード21を出力回路100のNMOSTランジスタ1のゲートへ接続し、基準電位V3を供給する。R2とR3の接続ノード22を出力回路100のPMOSTランジスタ2のゲートへ接続し、基準電位V4を供給する。図3は、抵抗R1およびR3を可変するための可変抵抗を備えた基準電位生成回路を示す。抵抗R1及びR3を可変することにより、オフセット電位一定で差動電位を可変する。高電位側の第1電源電位13の電位をVDD、低電位側の第2電源電位14の電位をVSS、ノード21の電位をV21、ノード22の電位をV22、抵抗値の和 $R_1 + R_2 + R_3$ をRとすると、 $V_{21} = (VDD - VSS) \times (R_2 + R_3) / R$ 、 $V_{22} = (VDD - VSS) \times (R_3) / R$ と表わされる。NMOSTランジスタ1およびPMOSTランジスタ2のゲート幅とゲート長との比をゲート・ソース間電圧に対して流れる電流が等しくなるように調整し、 $R_3 = R_1$ とすると、オフセット電位 $VOC = (VDD + VEE) / 2$ となる。この状態で、差動電圧VODはノード21とノード22の差動電位に連動する。

[0026] 図4は、電位可変手段を備えた基準電位生成回路を示す。基準電位生成回路102は、第1回路群301と、第2回路群302と、それら第1回路群301と第2回路群302との間に直列に接続される抵抗R2とからなる。第1回路群301は、複数個のPMOSTランジスタP1~Pnのソース側が高電位側の電源電位13に接続され、複数個の抵抗

Rp1~Rpnの一方の端子が、それぞれ、上記複数個のPMOSTランジスタP1~Pnのドレイン側に接続され、他方の端子が、ノード21に接続されて構成される。第2回路群302は、複数個のNMOSTランジスタN1~Nnのソース側が低電位側の電源電位14に接続され、複数個の抵抗Rn1~Rnnの一方の端子が、それぞれ、上記複数個のNMOSTランジスタN1~Nnのドレイン側に接続され、他方の端子が、ノード22に接続されて構成される。第1回路群の各PMOSTランジスタと抵抗と、第2回路群の各NMOSTランジスタと抵抗とは、お互いに対になっており、抵抗Rp1とRn1との組み合わせ、抵抗RpnとRnnの組み合わせの抵抗値はそれぞれ等しく設定される。ここで、抵抗Rp1---Rpnの合成抵抗値は、第1回路群のランジスタのゲートで制御され、抵抗Rn1---Rnnの合成抵抗値は、第2回路群のランジスタのゲートで制御されることにより、VOC一定でVODを変化させることができる。

[0027] 図5は、他の電位可変手段を備えた基準電位生成回路を示す。基準電位生成回路102は、第1回路群401と第2回路群402とを備える。第1回路群401は、ドレインが高電位側の電源電位13に接続され、ゲート幅が図1におけるNMOSTランジスタ1の $1/n$ のNMOSTランジスタ41と、ドレインがNMOSTランジスタ41のソースに接続され、ゲートが電源電位13に接続され、ゲート幅がMOSTランジスタ3およびMOSTランジスタ5の $1/n$ のNMOSTランジスタ42と、NMOSTランジスタ42のソースに接続された抵抗値が終端抵抗RLの $n/2$ である直列に接続された抵抗45および抵抗46と、ドレインが抵抗46のもう一方の端子に接続され、ゲートが電源電位13に接続されたゲート幅がMOSTランジスタ4およびMOSTランジスタ6の $1/n$ のNMOSTランジスタ43と、ドレインがNMOSTランジスタ43のソースに接続され、ソースが低電位側の電源電位14に接続され、ゲートがカレントミラー回路CMCに接続されたNMOSTランジスタ44と、NMOSTランジスタ41およびNMOSTランジスタ49のゲート電位を制御する第1基準電位48が非反転入力端子に接続された差動増幅器47とからなる。なお、差動増幅器47の反転入力端子は、抵抗45と抵抗46との接続点に接続されている。

[0028] 第2回路群402は、ドレインが高電位側の電源電位13に接続され、ゲート幅が図1におけるNMOSTランジスタ1の $1/n$ のNMOSTランジスタ49と、ドレインがNMOS

トランジスタ49のソースに接続され、ゲートが電源電位13に接続され、ゲート幅がMOSトランジスタ4およびMOSTランジスタ6の $1/n$ のNMOSTランジスタ50と、NMOSTランジスタ50のソースに接続された抵抗値が終端抵抗 $RL$ の $n/2$ である直列に接続された抵抗54および抵抗54と、ドレインが抵抗54のもう一方の端子に接続され、ゲートが電源電位13に接続されたゲート幅がMOSTランジスタ4およびMOSTランジスタ6の $1/n$ のNMOSTランジスタ51と、ソースがNMOSTランジスタ51のソースに接続され、ドレインが低電位側の電源電位14に接続され、ゲートがPMOSTランジスタ2の $1/n$ のPMOSTランジスタ52と、PMOSTランジスタ52のゲート電位を制御する基準電位56が非反転入力端子に接続された差動増幅器55とからなる。なお、差動増幅器55の反転入力端子は、抵抗53と抵抗54との接続点に接続されている。

[0029] 差動増幅器47は、抵抗45と抵抗46との接続されたノードの電位を、差動増幅器47に接続された基準電位48に近づくように制御する。差動増幅器55は、抵抗53と抵抗54との接続されたノードの電位を、差動増幅器55に接続された基準電位56に近づくように制御する。出力の差動電位は、ノード8とノード7との電位差であり、終端抵抗 $RL$ を流れる電流 $I$ から、 $VOD = I \times RL$ となる。このとき、基準電位生成回路102のNMOSTランジスタ41およびNMOSTランジスタ49には、 $I/n$ の電流が流れている。NMOSTランジスタ42と抵抗45との接続ノードと、抵抗46とNMOSTランジスタ43との接続ノード間の電位差、およびNMOSTランジスタ50と抵抗53との接続ノードと、抵抗54とNMOSTランジスタ51との接続ノード間の電位差は、 $I/n \times (nRL/2 + nRL/2) = I \times RL$ となる。この値が目標の値となるようにNMOSTランジスタ44を流れる電流 $I/n$ が決定される。出力のオフセット電位 $VOC$ は、ノード8の電位 $V1$ とノード7の電位 $V2$ から、 $VOC = (V1 + V2) / 2$ と表わされる。このオフセット電位 $VOC$ は、抵抗45と抵抗46とが接続されるノード57および抵抗53と抵抗54とが接続されるノード58の電位と連動する。従って、オフセット電位 $VOC$ は、ノード57およびノード58の電位が目標の値となるように基準電位48および基準電位56を設定することで決定される。このように、オフセット電位 $VOC$ 一定で、差動電圧 $VOD$ を変化させることができる。

[0030] 以上説明したとおり、本発明は、NMOSTランジスタ1のゲートに供給する電圧 $V3$

およびPMOSTランジスタ2のゲートに供給する電圧V4を差動増幅器を必要としないで供給できるため、消費電力が小さく、且つ回路面積も大きくならない。さらに差動増幅器を介さないで制御できるため、電源ノイズなどによる発振に強い構成となっており、負荷の駆動能力も高い。

[0031] [実施例2]

本発明による低電圧差動信号用差動駆動回路の第2の実施の形態について、図6を用いて説明する。図6は、本発明の高出力差動駆動回路の構成を説明する回路ブロック図である。本発明の低電圧差動信号用差動駆動回路300は、出力回路100とエンファシス回路300およびこれらのバイアス回路(図示されず)例えば基準電位生成回路102から構成される。

[0032] ドライブ回路100は、図1で説明した回路である。エンファシス回路400は、ドライブ回路100とは異なる差動信号が入力され電流信号を出力するMOSTランジスタからなるエンファシス回路用スイッチ回路のノード71に、PMOSTランジスタ61のドレインが接続されている。そのPMOSTランジスタ61のソースが電源の高電位側13に接続され、さらにPMOSTランジスタ61のゲートがエンファシス回路用バイアス電源(図示されず)の一方の端子67に接続されている。また、エンファシス回路用スイッチ回路のノード72には、NMOSTランジスタ62のドレインが接続されている。

そのNMOSTランジスタ62のソースが低電位側の電源14に接続され、さらにNMOSTランジスタ62のゲートがエンファシス回路用バイアス電源の他方の端子68に接続されている。

[0033] エンファシス回路用スイッチ回路は、図1のスイッチ回路101と同様の回路である。NMOSTランジスタ63および65のドレインが互いに接続されて、ノード71を形成し、NMOSTランジスタ64および66のソースが互いに接続されて、ノード72を形成している。NMOSTランジスタ63および64、NMOSTランジスタ65および66のソースとドレインがそれぞれ接続されて、ノード73およびノード74を形成している。NMOSTランジスタ63および66のゲートは、互いに正側の差動信号出力端子69(図示されず)に接続され、NMOSTランジスタ64および65のゲートは、互いに負側の差動出力端子20に接続されている。ドライブ回路100のノード8とエンファシス回路400のノード7

3およびドライブ回路100のノード7とエンファシス回路400のノード74が互いに接続されて、高出力差動駆動回路300の出力端子21および22を形成している。

[0034] 図7は、ドライブ回路100に入力される正側の差動入力信号と、エンファシス回路400に入力される正側の差動入力信号に対して現れる、高出力差動駆動回路300の出力信号の入出力信号トレインを、各ステップで示した図である。

[0035] 図7のステップ1において、図6のドライブ回路100に入力される正側の差動入力信号と、エンファシス回路400に入力される正側の差動入力信号が共に高電位であれば、それに対応する各々の負側の差動入力信号は低電位にある。すなわち、ドライブ回路側のNMOSTランジスタ3および6はスイッチオン状態にあり、NMOSTランジスタ4および5はスイッチオフ状態にある。同様にエンファシス回路400のNMOSTランジスタ63および66はスイッチオン状態にあり、NMOSTランジスタ64および65はスイッチオフ状態にある。

[0036] 一方図7のステップに関わりなく、図6のドライブ回路100のNMOSTランジスタ1およびPMOSTランジスタ2のゲートには、それぞれドライブ回路用バイアス電源である基準電位生成回路102からのバイアス電圧により活性化されソースフォロアとして動作する。従って、基準電位生成回路102のバイアス電圧で決まる一定電圧が、電圧ドライブの出力としてノード11および12に発生している。またエンファシス回路400のPMOSTランジスタ61およびNMOSTランジスタ62は、エンファシス回路用バイアス電源端子67および68で、カレントミラー等に見られる電流源により活性化されている。そのため、バイアスの電流で決まる電流駆動回路として動作している。

[0037] 今ステップ1において、ドライブ回路100のスイッチ回路のNMOSTランジスタ3および6がオンし、エンファシス回路400のスイッチ回路のNMOSTランジスタ63および66がオンしているため、差動駆動回路300の出力端子8の電位はハイレベル、出力端子7の電位はローレベルとなる。このハイレベルは、ドライブ回路100の電圧ドライブで急速に立ち上がり、さらにエンファシス回路400の電流ドライブにより電流を供給し、長い信号線負荷の浮遊容量を吸収する駆動能力を有する。同様にローレベルは、ドライブ回路100の電圧ドライブで急速に立ち下がり、さらにエンファシス回路300の電流ドライブにより、長い信号線負荷の浮遊容量のチャージを引き抜く駆動能力を有

する。エンファシス回路400は電流ドライブであるため、PMOSTランジスタ61およびNMOSTランジスタ62のソースドレイン間電圧 $V_{SD}$ は負荷に対応して自動可変し、差動駆動回路300のドライブパルス振幅を拡大すると等価の能力を有し、負荷の増加に対しても高速ドライブが可能となる。

[0038] ステップ2においては、ドライブ回路100およびエンファシス回路400の各スイッチ回路の差動信号入力反転するため、スイッチ回路の動作が反転し、差動駆動回路300の出力端子7および8の電位も反転する。ステップ3およびステップ4は、これらの動作の繰り返しとなる。

[0039] ステップ5～7において、図6のドライブ回路100に入力される正側の差動入力信号が低電位で、エンファシス回路400に入力される正側の差動入力信号が高電位であれば、それに対応する各々の負側の差動入力信号はそれらの反転電位にある。すなわち、ドライブ回路側のNMOSTランジスタ3および6はスイッチオフ状態にあり、NMOSTランジスタ4および5はスイッチオン状態にある。同様にエンファシス回路400のNMOSTランジスタ63および66はスイッチオン状態にあり、NMOSTランジスタ64および65はスイッチオフ状態にある。

[0040] 今ステップ5～7において、ドライブ回路100のスイッチ回路のNMOSTランジスタ3および6がオフし、エンファシス回路400のスイッチ回路のNMOSTランジスタ63および66がオンしている。従って差動駆動回路300の出力端子8の電位は、ドライブ回路100のPMOSTランジスタ2の電圧ドライブで決まる電圧を、エンファシス回路400のPMOSTランジスタ61を流れる電流の分だけ高くした値となる。一方出力端子7の電位は、ドライブ回路100のNMOSTランジスタ1の電圧となる電圧ドライブで決まる電圧を、エンファシス回路400のNMOSTランジスタ62を流れる電流の分だけ低くした値となる。従って、図7の出力波形に示されるように、振幅が低減し、また定まった電位が設定され、安定したコモンモード電圧を得ることができるため、EMI障害を防ぐことが可能となる。

[0041] 図8は、他の入出力信号トレインを示す。今ステップ1において、ドライブ回路100のスイッチ回路のNMOSTランジスタ3および6がオンし、エンファシス回路400のスイッチ回路のNMOSTランジスタ63および66がオンしているため、差動駆動回路300の



出力端子8の電位はハイレベル、出力端子7の電位はローレベルとなる。このハイレベルは、ドライブ回路100の電圧ドライブで急速に立ち上がり、さらにエンファシス回路400の電流ドライブにより電流を供給され、同様にローレベルは、ドライブ回路100の電圧ドライブで急速に立ち下がり、さらにエンファシス回路300の電流ドライブにより、電流が供給されることにより、振幅が通常時よりも大きくなる。これにより、信号線が長く、また信号の高周波成分が減衰した場合でも、前もって振幅が拡大されているため、一定の信号品質を保つことができる。また、エンファシス回路400は電流ドライブであるため、出力電流を $I$ とし、ドライブ回路用スイッチトランジスタ群のスイッチ抵抗を $R_{sw}$ とすると、電流ドライブにより、 $R_{sw}I$ だけ振幅を増やすことができる。

- [0042] ステップ2においては、ドライブ回路100およびエンファシス回路400の各スイッチ回路の差動信号入力が反転するため、スイッチ回路の動作が反転し、差動駆動回路300の出力端子7および8の電位も反転する。ステップ3およびステップ4は、これらの動作の繰り返しとなる。
- [0043] ステップ5～7において、図6のドライブ回路100に入力される差動入力信号はすべてローになっている。すなわち、ドライブ回路側のNMOSTランジスタ3および6はスイッチオフ状態にあり、NMOSTランジスタ4および5はスイッチオン状態にある。同様にエンファシス回路400のNMOSTランジスタ63から66はスイッチオフの状態にある。
- [0044] 今ステップ5～7において、ドライブ回路100のスイッチ回路のNMOSTランジスタ3および6がオフし、エンファシス回路400のスイッチ回路のNMOSTランジスタ63から66がオフしている。従って差動駆動回路300の出力端子8の電位は、ドライブ回路100のみで決まり、振幅が増えることはない。エンファシス回路がオンしている場合は、オフしている場合に比べ、ハイレベルは $R_{sw}I$ だけ上がり、ローレベルは $R_{sw}I$ だけ下がる。従ってコモンモード電圧はどちらの場合も変わらず、安定したコモンモード電圧を得ることができるため、EMI障害を防ぐことが可能となる
- [0045] 図9は、図6のエンファシス回路400のPMOSTランジスタ61とNMOSTランジスタ62を、ドライブ回路100のNMOSTランジスタ1とPMOSTランジスタ2と同種のランジスタにそれぞれ置き換えソースフォロアーとした第3の実施例の入出力信号トレイン

を示す。

[0046] 図9のステップ1～4において、エンファシス回路400に入力される差動入力信号は、ハイインピーダンスとなっている。従って差動駆動回路300の出力端子7および8の電位は、ドライブ回路100のドライブ電圧によって決定される。この場合、回路負荷に応じて高電位出力が得られるように、エンファシス回路400と切り離した独自の回路設計が可能となる。またステップ5～7において、ドライブ回路100に入力される差動入力信号は、ハイインピーダンスとなっている。従って差動駆動回路300の出力端子7および8の電位は、エンファシス回路400のドライブ電圧により決定される。この場合も同様に、ドライブ回路100と切り離して、回路負荷に応じた一定の待機状態の電圧を設定することが可能となる。動作は、図7の場合と同様に読み取ることができる。

[0047] 以上説明したとおり、本発明は、電流注入により送信端での振幅を増大するエンファシス手段により、出力のドライブ能力を高め、電圧ドライブによりコモンモードレベルを安定にすることでEMI障害の発生を少なくすることができるため、低電圧差動信号用ではあるが、高速長距離ドライブが可能となる。

#### 産業上の利用可能性

[0048] 本発明の低電圧差動信号用差動駆動回路は、LVDSインターフェースへの適用以外に、差動駆動回路自身に適用できる。

## 請求の範囲

- [1] 差動信号が入力され電流信号を出力するMOSトランジスタからなるスイッチ回路と、  
、  
一方が高電位側の電源電位に接続され、他方が前記スイッチ回路の一方のノードに接続され、ソースフォロワとして動作するNMOSトランジスタと、一方が低電位側の電源電位に接続され、他方が前記スイッチ回路の他方のノードに接続され、ソースフォロワとして動作するPMOSトランジスタとから構成される出力回路と、  
前記NMOSトランジスタと前記PMOSトランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、  
前記基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えることを特徴とする低電圧差動信号用差動駆動回路。
- [2] 請求項1に記載の低電圧差動信号用差動駆動回路において、  
前記スイッチ回路が、前記NMOSトランジスタのソースに一方の端子が接続されノードを形成した第1トランジスタおよび第2トランジスタと、前記PMOSトランジスタのソースに一方の端子が接続されノードを形成した第3トランジスタおよび第4トランジスタとからなり、  
前記第1トランジスタと前記第3トランジスタの他方の端子が接続されたノードと前記第2トランジスタと前記第4トランジスタの他方の端子が接続されたノードとが、前記出力回路の出力端子を形成し、  
前記第1トランジスタと前記第4トランジスタのゲートが接続されたノードと前記第2トランジスタと前記第3トランジスタのゲートが接続されたノードとが、前記差動信号の入力端子を形成することを特徴とする低電圧差動信号用差動駆動回路。
- [3] 請求項1に記載の低電圧差動信号用差動駆動回路において、  
前記基準電位生成回路が、前記高電位側の電源電位と前記NMOSトランジスタのゲートとの間に接続された第1抵抗と、  
前記NMOSトランジスタのゲートと前記PMOSトランジスタのゲートとの間に接続された第2抵抗と、  
前記PMOSトランジスタのゲートと前記低電位の電源電位との間に接続された第3

抵抗とからなることを特徴とする低電圧差動信号用差動駆動回路。

- [4] 請求項3に記載の低電圧差動信号用差動駆動回路において、  
前記基準電位生成回路の前記第1抵抗と、前記第3抵抗とは抵抗値が等しいことを特徴とする低電圧差動信号用差動駆動回路。
- [5] 請求項1に記載の低電圧差動信号用差動駆動回路において、  
前記基準電位生成回路が、直列に接続されたPMOSTランジスタと抵抗とを複数個並列に接続してなる第1回路群と、  
直列に接続されたNMOSTランジスタと抵抗とを複数個並列に接続してなる第2回路群と、  
前記第1回路群の抵抗と前記第2回路群の抵抗との間に接続された抵抗とを備え、  
前記第1回路群の抵抗と、前記第2回路群の抵抗とはそれぞれ抵抗値が等しく設定され、前記第1および第2回路群のランジスタのゲートを制御することにより、抵抗値を可変することを特徴とする低電圧差動信号用差動駆動回路。
- [6] 請求項1に記載の低電位差動信号用差動駆動回路において、  
前記基準電位生成回路が、前記高電位側の電源電位にドレインを接続された第1NMOSTランジスタと、  
前記第1NMOSTランジスタのソースにドレインを接続され且つゲートが前記高電位の側電源電位に接続された第2NMOSTランジスタと、  
前記低電位側の電源電位にソースを接続された第3NMOSTランジスタと、  
前記第3NMOSTランジスタのドレインにソースを接続され且つゲートが前記高電位側の電源電位に接続された第4NMOSTランジスタと、  
前記第2NMOSTランジスタのソースと前記第4NMOSTランジスタのドレインとの間に接続された第1抵抗および第2抵抗と、  
前記第1NMOSTランジスタと第5NMOSTランジスタとのゲートに出力端子が接続され前記ゲート電位を制御し、前記第1抵抗と前記第2抵抗との接続されたノード電位を、第1基準電位に近づくように動作する第1差動増幅器と、  
前記低電位側の電源電位にソースを接続された前記第3NMOSTランジスタの電流を制御する前記電流源可変手段とを備える第1回路群と、

前記高電位側の電源電位にドレインを接続された前記第5NMOSTランジスタと、  
前記第5NMOSTランジスタのソースにドレインを接続され且つゲートが前記高電位側の電源電位に接続された第6NMOSTランジスタと、前記低電位側の電源電位にドレインを接続された第7PMOSTランジスタと、

前記第7PMOSTランジスタのソースにソースを接続され且つゲートが前記高電位側の電源に接続された第8のNMOSTランジスタと、前記第6のNMOSTランジスタのソースと前記第8NMOSTランジスタのドレインとの間に接続された第3抵抗および第4抵抗と、

前記第7PMOSTランジスタのゲートに出力端子が接続され前記ゲート電位を制御し、前記第3抵抗と前記第4抵抗との接続されたノード電位を、前記第1基準電位に近づくように動作する第2差動増幅器とを備える第2回路群とを備えることを特徴とする低電圧差動信号用差動駆動回路。

- [7] 請求項6に記載の低電圧差動信号用差動駆動回路において、  
前記基準電位生成回路の前記第1抵抗、前記第2抵抗、前記第3抵抗および前記第4抵抗の抵抗値が、前記出力回路の出力端子に接続される終端抵抗の抵抗値の  $n/2$  ( $n$ は正の整数値) 倍であることを特徴とする低電圧差動信号用差動駆動回路。
- [8] 請求項6に記載の低電圧差動信号用差動駆動回路において、  
前記基準電位生成回路の前記第1NMOSTランジスタおよび前記第5NMOSTランジスタのサイズが、前記NMOSTランジスタのサイズの  $1/n$  ( $n$ は正の整数値) のサイズを有し、  
前記第7PMOSTランジスタのサイズが、前記PMOSTランジスタのサイズの  $1/n$  ( $n$ は正の整数値) のサイズを有することを特徴とする低電圧差動信号用差動駆動回路。
- [9] 請求項1に記載の低電圧差動信号用差動駆動回路において、  
前記出力回路の出力端子とエンファシス回路の出力端子とが互いに接続され、  
前記エンファシス回路は、さらに異なる差動信号が入力され電流信号を出力するMOSトランジスタからなるエンファシス回路用スイッチ回路の一方のノードがPMOSTランジスタのドレインと接続され、前記PMOSTランジスタのソースが前記高電位側の電

源電位に接続され、前記PMOSTランジスタのゲートがエンファシス回路用バイアス電源の一方に端子に接続され、

前記エンファシス回路用スイッチ回路の他方のノードがNMOSTランジスタのドレインと接続され、前記NMOSTランジスタのソースが前記低電位側の電源に接続され、前記NMOSTランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて構成されて成ることを特徴とする低電圧差動信号用差動駆動回路。

- [10] 請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、

請求項2のスイッチ回路であることを特徴とする低電圧差動信号用差動駆動回路。

- [11] 請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路が、前記エンファシス回路用スイッチ回路の一方のノードがNMOSTランジスタのソースと接続され、前記NMOSTランジスタのドレインが前記高電位側の電源に接続され、前記NMOSTランジスタのゲートがエンファシス回路用バイアス電源の一方の端子に接続され、

前記エンファシス回路用スイッチ回路の他方のノードがPMOSTランジスタのソースと接続され、前記PMOSTランジスタのドレインが前記低電位側の電源に接続され、前記PMOSTランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて成ることを特徴とする低電圧差動信号用差動駆動回路。

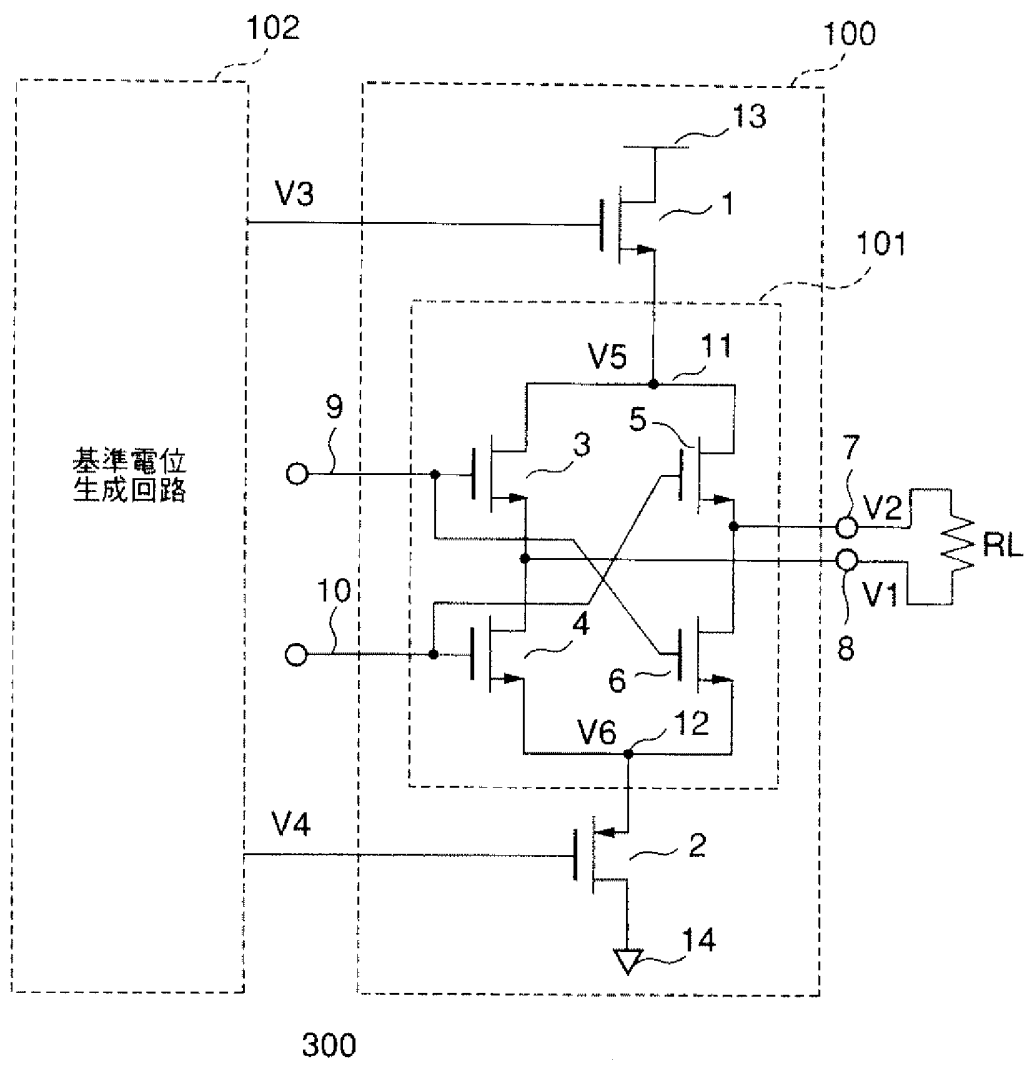
- [12] 請求項11に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、

請求項2のスイッチ回路であることを特徴とする低電圧差動信号用差動駆動回路。

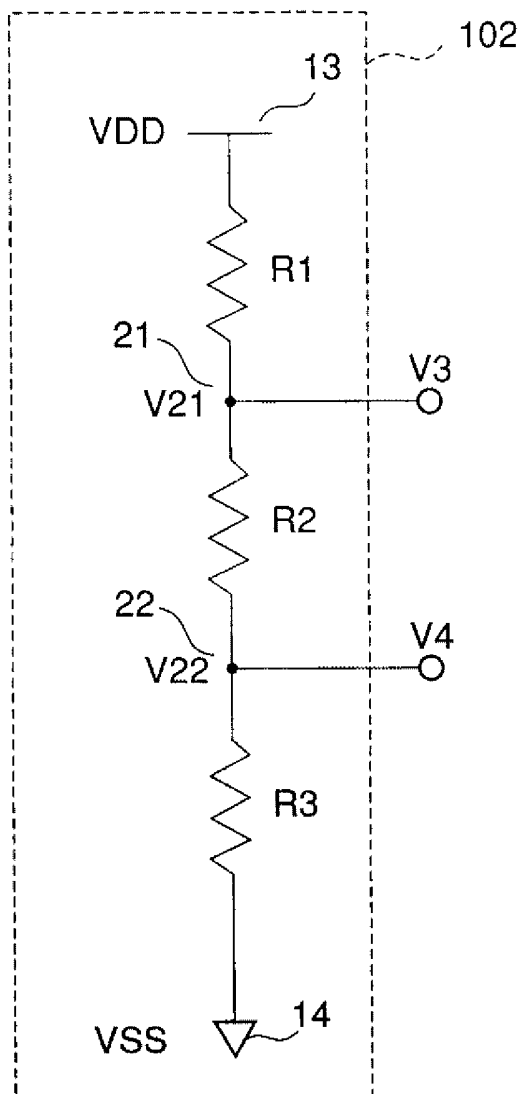
- [13] 請求項1乃至12のいずれかに記載の低電圧差動信号用差動駆動回路を内蔵することを特徴とする電子機器。

- [14] 請求項13に記載の電子機器は、携帯端末であることを特徴とする電子機器。

[図1]

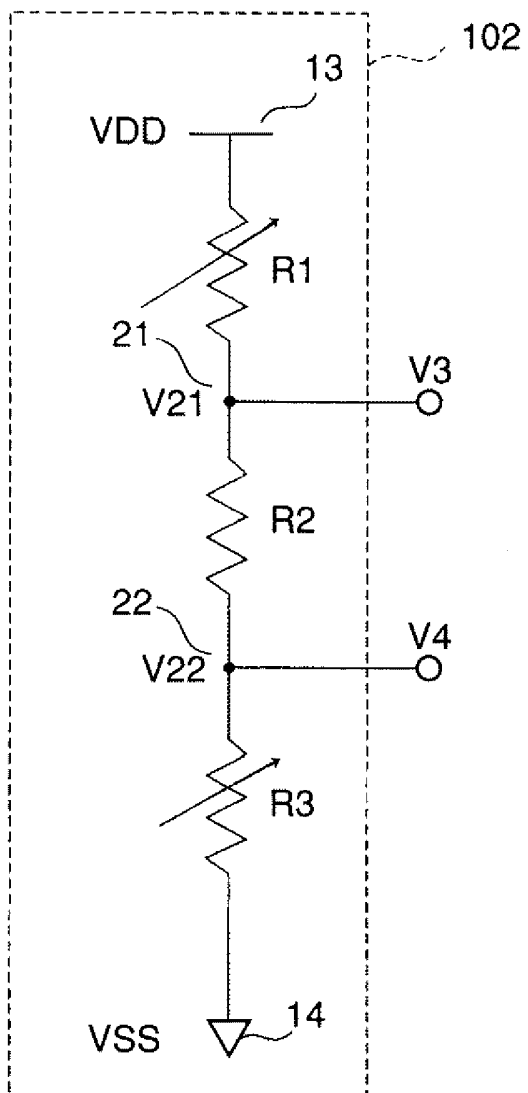


[図2]

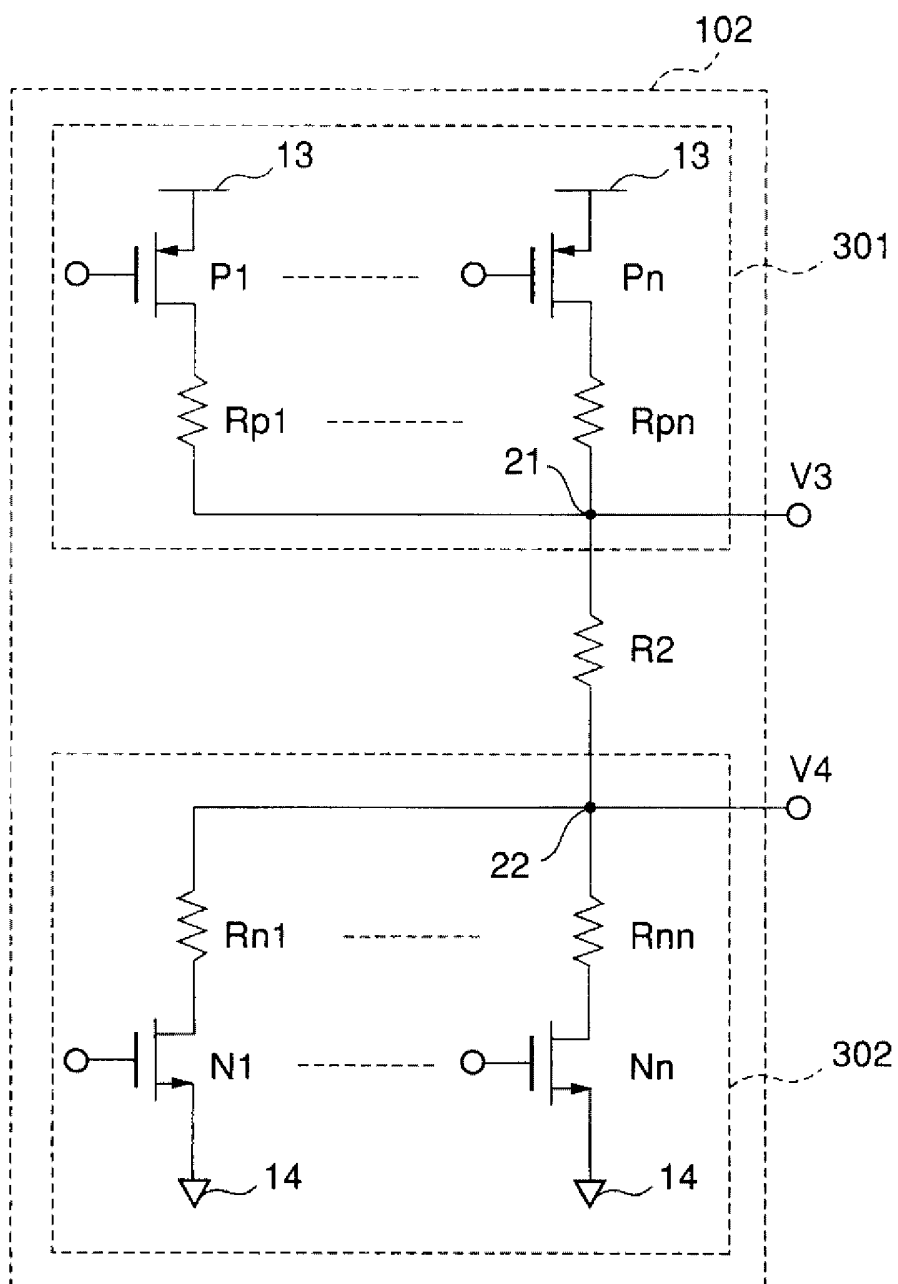




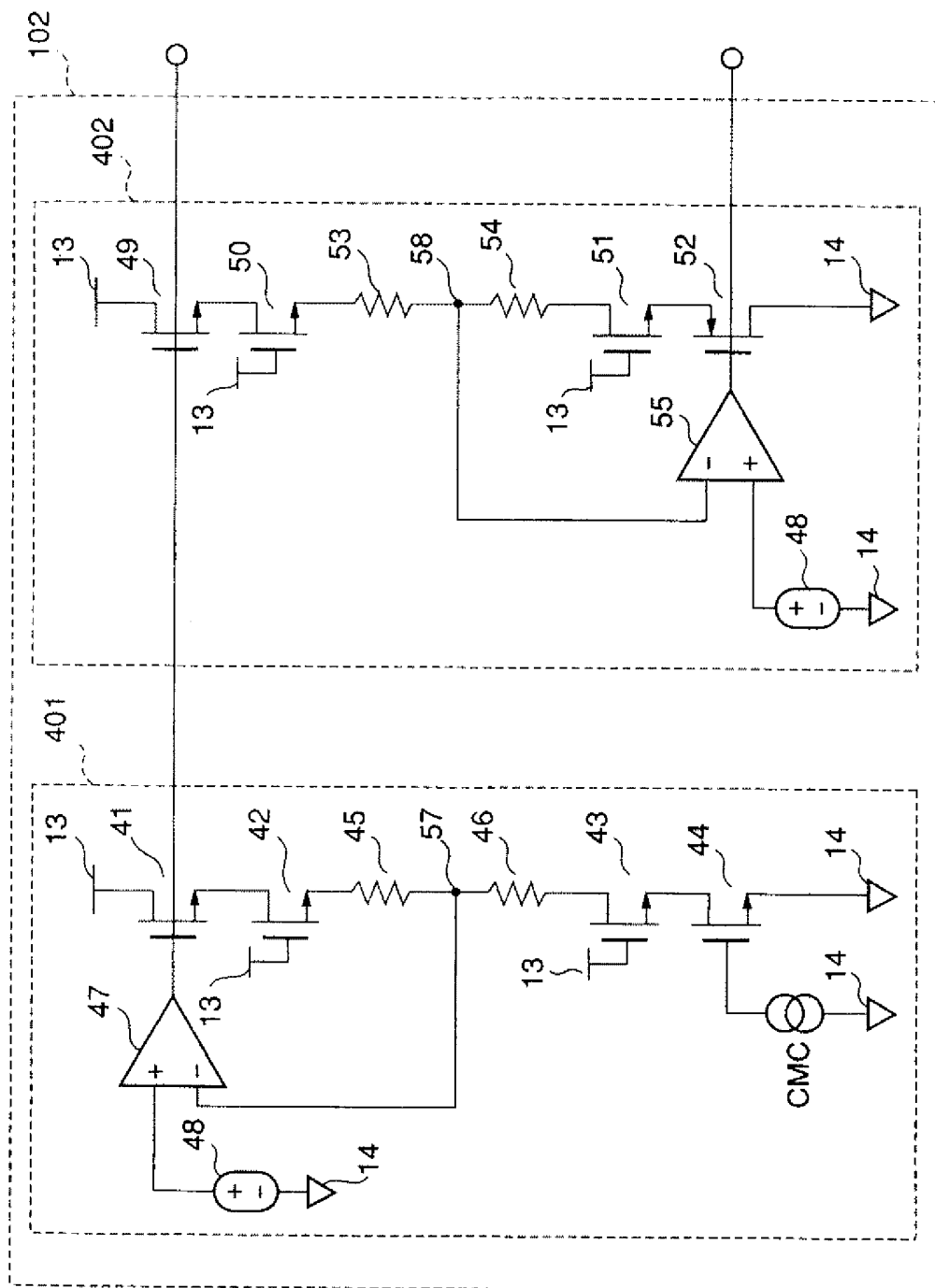
[図3]



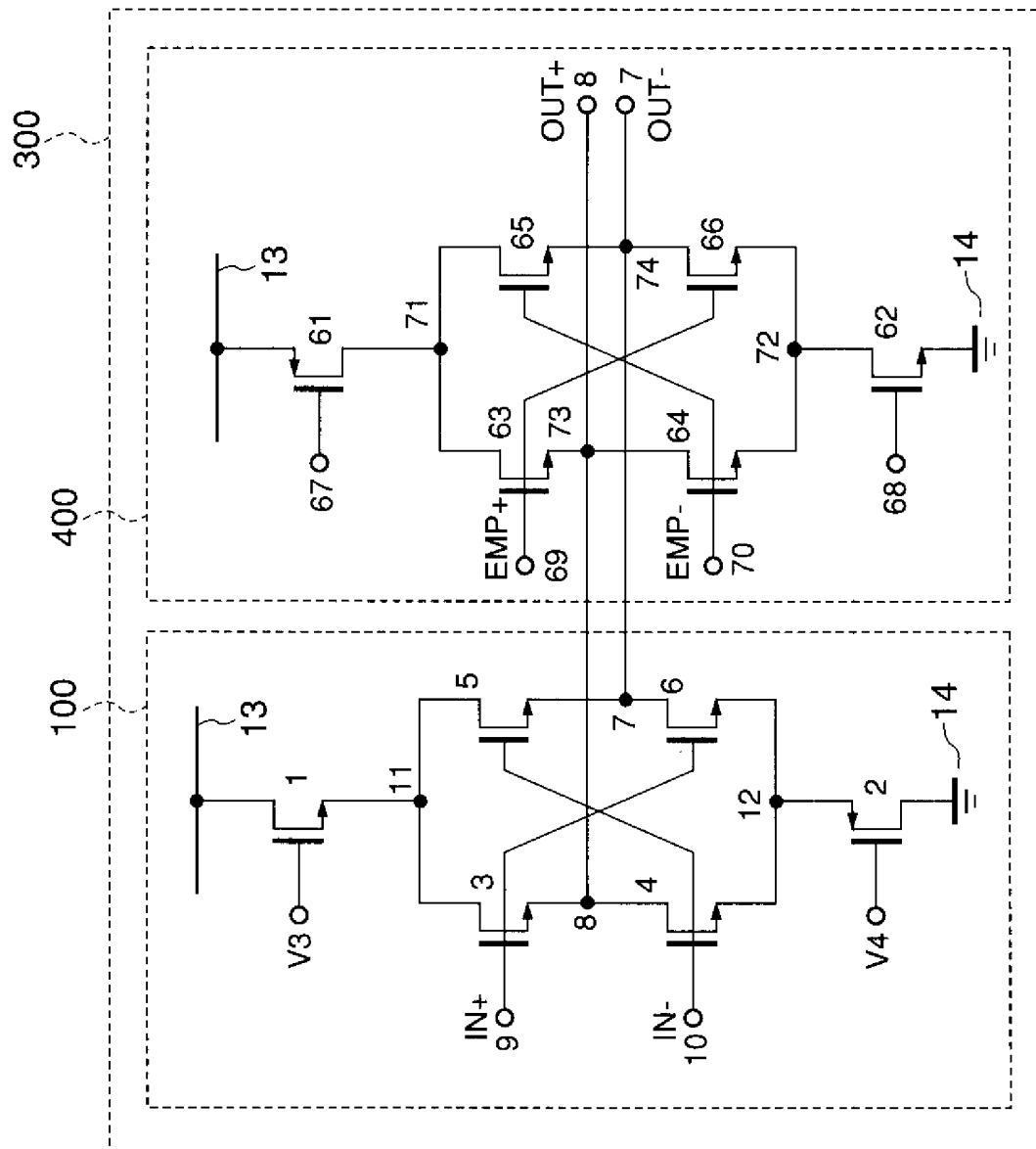
[図4]



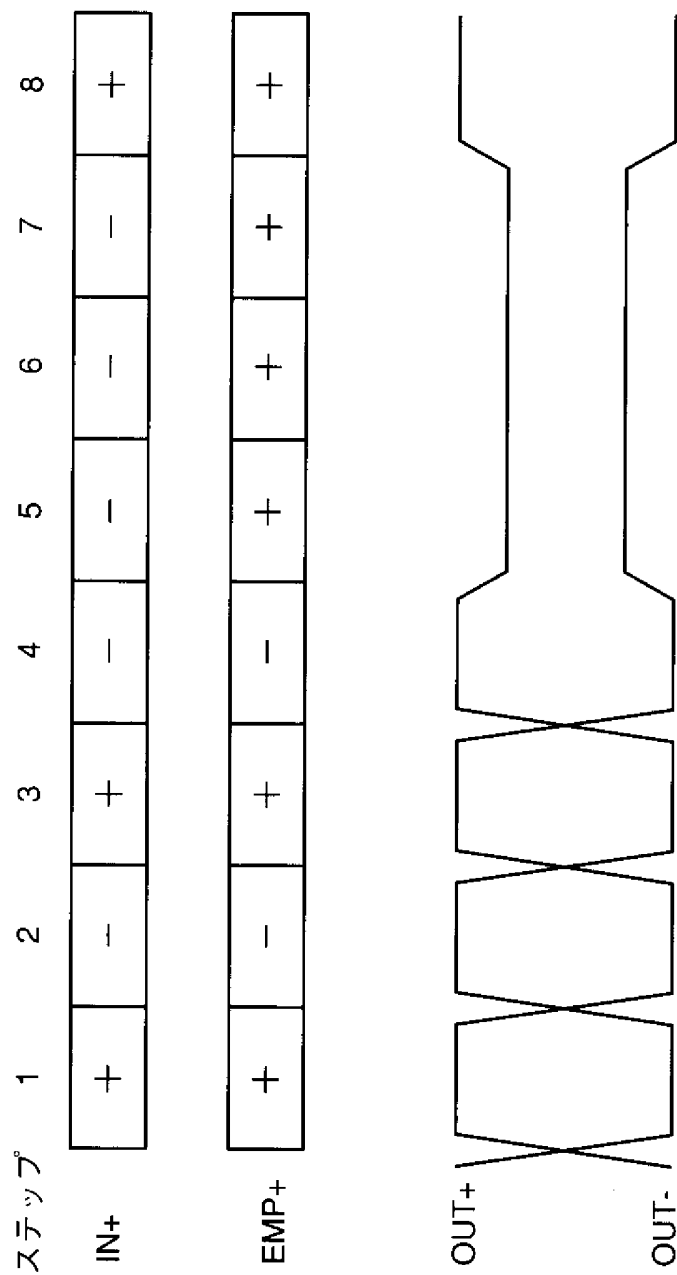
[図5]



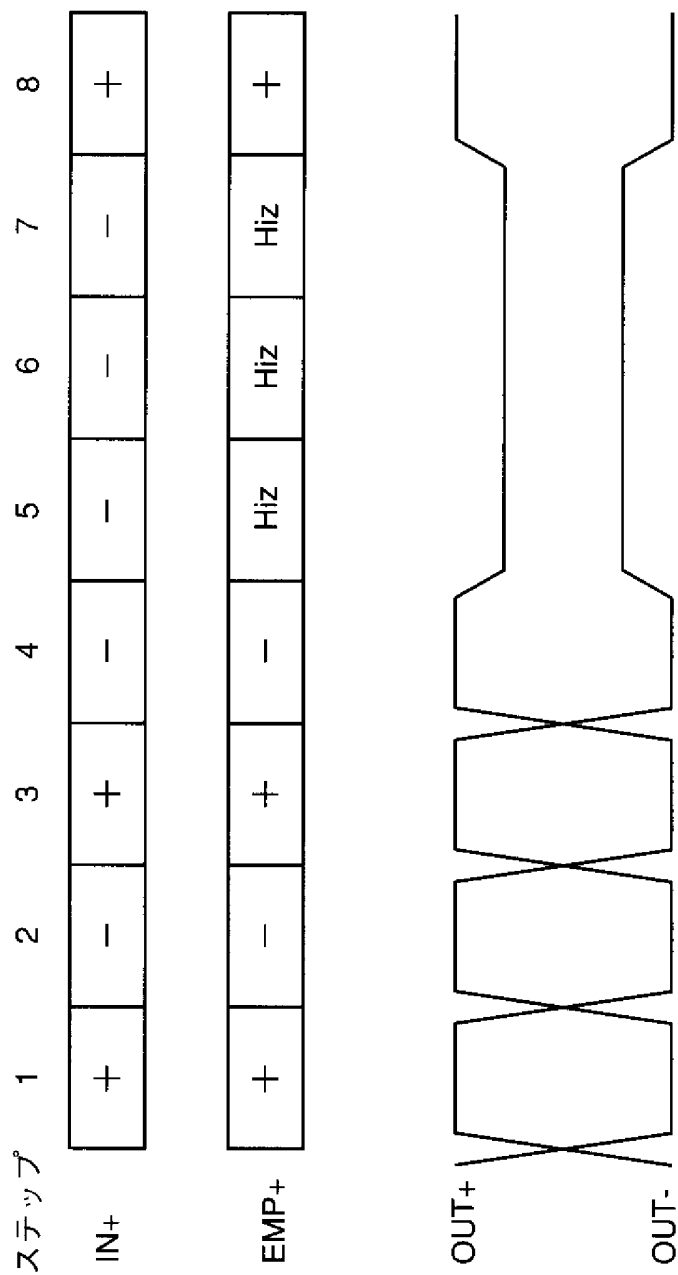
[図6]



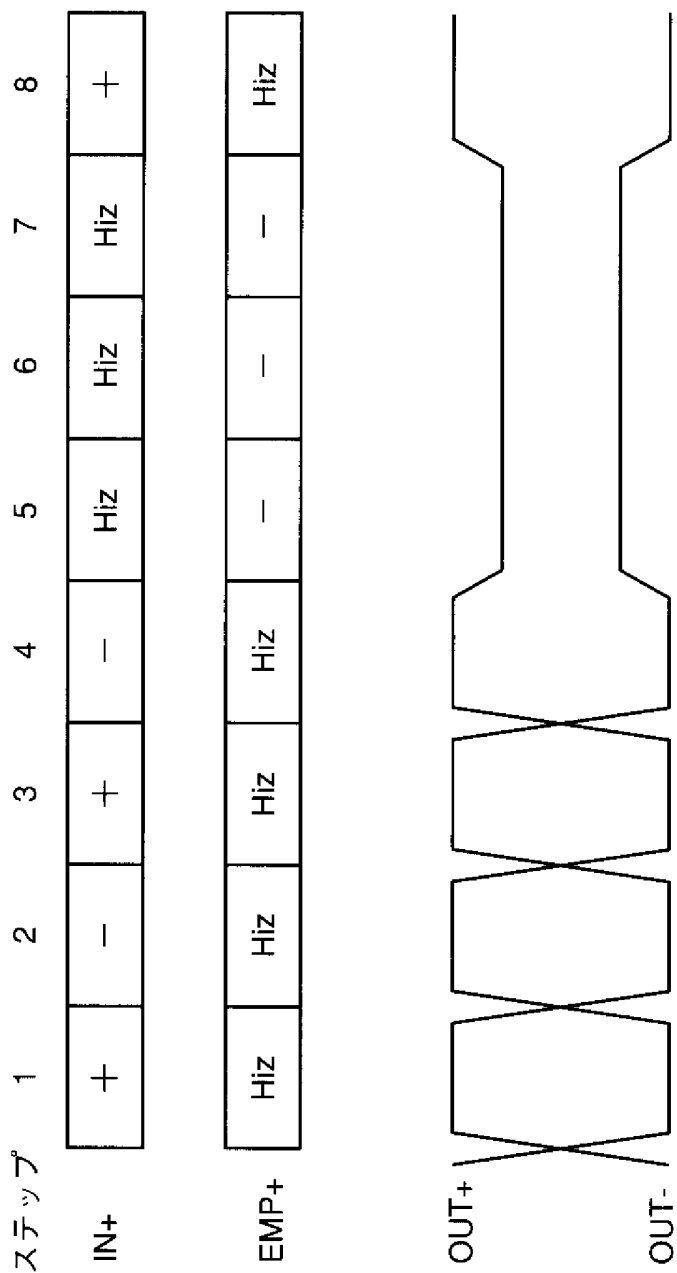
[図7]



[図8]



[図9]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/008151

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H03K19/0185, H03F3/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H03K19/00, 19/01-19/082, 19/092-19/096

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005  
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2003/049291 A1 (Thine Electronics, Inc.), 12 June, 2003 (12.06.03), All pages; Fig. 4 & US 2005/7150 A1 & EP 1465343 A1	1, 2, 13, 14 3-5 6-12
Y	JP 10-56370 A (NEC Corp.), 24 February, 1998 (24.02.98), Par. Nos. [0048], [0049]; Fig. 2 (Family: none)	3-5
Y	JP 2005-65249 A (Samsung Electronics Co., Ltd.), 10 March, 2005 (10.03.05), Par. Nos. [0034], [0035]; Figs. 4A, 4B (Family: none)	5

Further documents are listed in the continuation of Box C.  See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
15 July, 2005 (15.07.05)

Date of mailing of the international search report  
02 August, 2005 (02.08.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/008151

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-354055 A (Matsushita Electric Industrial Co., Ltd.), 19 December, 2000 (19.12.00), Fig. 1 & US 6356141 B1	6-8

<p>A. 発明の属する分野の分類 (国際特許分類 (IPC))                  Int.Cl.<sup>7</sup> H03K19/0185, H03F3/45</p>																	
<p>B. 調査を行った分野                  調査を行った最小限資料 (国際特許分類 (IPC))                  Int.Cl.<sup>7</sup> H03K19/00, 19/01-19/082, 19/092-19/096</p>																	
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2005年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2005年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2005年</td> </tr> </table>			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2005年	日本国実用新案登録公報	1996-2005年	日本国登録実用新案公報	1994-2005年							
日本国実用新案公報	1922-1996年																
日本国公開実用新案公報	1971-2005年																
日本国実用新案登録公報	1996-2005年																
日本国登録実用新案公報	1994-2005年																
<p>国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)</p>																	
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2003/049291 A1 (ザインエレクトロニクス株式会社) 2003. 06. 12, 全頁, 図4 &amp; US 2005/7150 A1 &amp; EP 1465343 A1</td> <td>1, 2, 13, 14</td> </tr> <tr> <td>Y</td> <td></td> <td>3-5</td> </tr> <tr> <td>A</td> <td></td> <td>6-12</td> </tr> <tr> <td>Y</td> <td>JP 10-56370 A (日本電気株式会社) 1998. 02. 24, 【0048】, 【0049】, 図2 (ファミリーなし)</td> <td>3-5</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	X	WO 2003/049291 A1 (ザインエレクトロニクス株式会社) 2003. 06. 12, 全頁, 図4 & US 2005/7150 A1 & EP 1465343 A1	1, 2, 13, 14	Y		3-5	A		6-12	Y	JP 10-56370 A (日本電気株式会社) 1998. 02. 24, 【0048】, 【0049】, 図2 (ファミリーなし)	3-5
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号															
X	WO 2003/049291 A1 (ザインエレクトロニクス株式会社) 2003. 06. 12, 全頁, 図4 & US 2005/7150 A1 & EP 1465343 A1	1, 2, 13, 14															
Y		3-5															
A		6-12															
Y	JP 10-56370 A (日本電気株式会社) 1998. 02. 24, 【0048】, 【0049】, 図2 (ファミリーなし)	3-5															
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																	
<p>* 引用文献のカテゴリー</p> <table border="0"> <tr> <td>「A」 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)</td> <td>「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>「O」 口頭による開示、使用、展示等に言及する文献</td> <td>「&amp;」 同一パテントファミリー文献</td> </tr> <tr> <td>「P」 国際出願日前で、かつ優先権の主張の基礎となる出願</td> <td></td> </tr> </table>			「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの	「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献	「P」 国際出願日前で、かつ優先権の主張の基礎となる出願						
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの																
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献																
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願																	
<p>国際調査を完了した日 15. 07. 2005</p>	<p>国際調査報告の発送日 02.8.2005</p>																
<p>国際調査機関の名称及びあて先                  日本国特許庁 (ISA/JP)                  郵便番号100-8915                  東京都千代田区霞が関三丁目4番3号</p>	<p>特許庁審査官 (権限のある職員)                  宮島 郁美                  電話番号 03-3581-1101 内線 3596</p>	<table border="1"> <tr> <td>5X</td> <td>8523</td> </tr> </table>	5X	8523													
5X	8523																

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2005-65249 A (三星電子株式会社) 2005. 03. 10, 【0034】, 【0035】, 図4A, 図4B (ファミリ ーなし)	5
A	JP 2000-354055 A (松下電器産業株式会社) 20 00. 12. 19, 図1 & US 6356141 B1	6-8