

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 27/10	(45) 공고일자 2000년06월 15일
	(11) 등록번호 10-0259673
	(24) 등록일자 2000년03월27일
(21) 출원번호 10-1996-0008242	(65) 공개번호 특1996-0036055
(22) 출원일자 1996년03월26일	(43) 공개일자 1996년10월28일
(30) 우선권주장 95-72698 1995년03월30일 일본(JP)	
(73) 특허권자 닛폰 덴기 가부시끼가이샤	가네꼬 히사시
(72) 발명자 오쿠보 미요시	일본국 도쿄도 미나토구 시바 5썩메 7방 1고
(74) 대리인 이병호, 최달용	일본국 가나가와켄 가와사키시 나카하라구 고스기마찌 1-405-53 닛폰 덴기 아이씨 마이크로컴퓨터 시스템가부시끼가이샤 내

심사관 : 김근모

(54) 반도체 메모리

요약

메모리 셀 열 블록(A1)내의 복수의 메모리 셀을, 소정 개수로 가지는 메모리 셀 열 a1, a2, b1, b2를 "a1, b1, b2, a2"의 순서로 배열하고, 메모리 셀 열(a1, a2)의 워드 라인을 선택하는 행 디코더(D1)와 메모리 셀 열(b1, b2)의 워드 라인을 선택하는 행 디코더가 메모리 셀 열 블록(A1)의 양측에 배열되며, 접촉 영역(C1, C3, C2)에서 워드 라인 접속하고, 메모리 셀 열(a1과 b1, b2와 a2)의 워드 선은, 메모리 셀 사이의 영역(H1 및 H2)으로 분리되고, 디지털 라인은 메모리 셀 열(a1 및 b1)과 메모리 셀 열(b2 및 a2) 사이에서 서로 접속되고, 한 개의 센스 증폭기 회로는 두 셀 사이의 매 피치마다 배열된다.

대표도

도1

명세서

도면의 간단한 설명

제1도는 본 발명에 따른 제 1 실시예를 개략적으로 도시하는 블록도.
제2도는 제1도에 도시된 센스 증폭기로서의 회로 기능 일부를 위한 마스크 레이아웃.
제3도는 본 발명에 따른 제 2 실시예를 개략적으로 도시하는 블록도.
제4a도 및 제4b도는 제 2 실시예에 따른 다른 두 레이아웃을 개략적으로 도시하는 블록도.
제5a도 및 제5b도는 제 2 실시예에 따른 다른 두 레이아웃을 개략적으로 도시하는 블록도.
제6도는 본 발명에 따른 제 3 실시예를 개략적으로 도시하는 블록도.
제7도는 종래의 반도체 메모리를 개략적으로 도시하는 블록도.
제8a도 및 제8b도는 메모리 셀과 제7도에 도시된 센스 증폭기로서 기능하는 회로를 도시하는 회로도.
제9도는 제7도에 도시된 센스 증폭기로서 기능하는 회로에 관한 마스크 레이아웃.
제10도는 제7도에 도시된 센스 증폭기의 특성을 도시하는 전압의 파형도.
제11도는 종래의 다른 반도체 메모리를 개략적으로 도시하는 블록도.

<도면의 주요부분에 대한 부호의 설명>

A1, A2 : 메모리 셀 어레이	S11 : 센스 증폭기 회로
LT11 : 디지털 접속 라인	7-9 : 폴리실리콘 게이트
10-15 : 알루미늄 배선	16-21 : 접촉부
D1 : 행 디코더	G111 : 게이트 전극 배선층
C1, C3, C5 : 접촉 영역	a1-a4 : 메모리 셀 열

A1W1-A1Wn : A1의 워드 라인

T, B : 주 및 부 디지털 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

[본 발명의 배경]

[본 발명의 분야]

본 발명은 반도체 메모리에 관한 것이며 특히 마스크 레이아웃(mask layout)이 감소되는 반도체 메모리에 관한 것이다.

[관련 기술에 관한 설명]

반도체 메모리의 대규모 집적이 가속화됨에 따라 메모리 셀 패턴의 면적 또한 더욱 감소되고 있다. 메모리 셀 주위의 회로들 중에서, 메모리 셀로부터 디지트 라인으로 판독되는 데이터를 증폭하는 센스 증폭기로 기능하는 회로는, 각 디지트 라인에 접속되고 메모리 셀과 마찬가지로 축소화될 것이 요구된다.

제 7도는 종래 실시예에 따른 반도체 메모리의 레이아웃을 개략적으로 도시하는 블록도이다. 메모리 셀 어레이(A1)에서, 많은 수의 메모리 셀들(M)이 매트릭스로 배열된다. 행 디코더(D1)는, 메모리 셀 어레이(A1)내 열방향으로 배열된 메모리 셀에 접속된 워드 라인 구동 회로이며, 각각 하나의 워드 라인을 구동할 수 있는 회로군으로 구성된다.

행 디코더(D1)의 출력 라인인 워드 라인은 2층의 배선층으로 구성되며 비교적 작은 배선저항을 갖는 워드 라인(A1W1-A1Wn)의 제 1층은 접촉 영역(C11, C12, C13)을 통해 비교적 큰 배선 저항을 갖는 게이트 전극 배선(G11-G1n)의 제 2층에 접속되어 메모리 셀의 워드 라인이 된다. 즉, 워드 라인(A1W1-A1Wn)은 행 디코더(D1)의 출력 포트로부터 메모리 셀의 워드 전극까지의 배선 저항을 감소시키기 위한 보조 배선으로써 기능한다.

센스 증폭기로서 기능하는 회로(이하, 센스 증폭기 회로라 표기함)(S111-S11n, S121-S12n, S131-S13n, S141-S14n)는 열 방향으로 배열된 메모리 셀에 접속되는 부 디지털 라인(reserve digital line; 비트 라인)(B111-B11n, B121-B12n, B131-B13n, B141-B14n)과 주 디지털 라인(main digital line; 비트 라인)(T111-T11n, T121-T12n, T131-T13n, T141-T14n)에 각각 접속되며, 하나의 센스 증폭기 회로가 주 및 부 디지털 라인들의 각 쌍에 접속된다.

상기 메모리 셀 어레이(A1)와 다른 영역 내에 있는 메모리 셀 어레이(A2)는 메모리 셀 어레이(A1)와 동일한 구성이고, 행 디코더(D2)와, 워드 라인의 제 1 층(A2W1-A2Wn)과, 접촉 영역 (C21, C22, C23)과, 게이트 전극 배선의 제 2 층(G22-G2n)과, 센스 증폭기 회로(S211-S21n, S221-S22n, S231-S23n, S241-S24n)와, 주 디지털 라인(T2n-T21n, T221-T22n, T231-T23n, T241-T24n)과, 부 디지털 라인(B211-B21n, B221-B22n, B231-B23n, B241-B24n)으로 구성된다.

제 8a도 및 8b도는 각각 제 7도 단부의 메모리 셀(M)의 일부와 센스 증폭기 회로의 예를 도시하는 회로도이다. 제 8a도에 네 개의 트랜지스터-형 메모리 셀이 도시된다. 이 회로는 쌍안정 트랜지스터(Q1 및 Q2)와 게이트 전극으로 기능하는 트랜지스터(Q3 및 Q4)로 이루어지며 트랜지스터(Q1 및 Q2)의 드레인은 각각의 트랜지스터(Q3 및 Q4)의 드레인에 각각 접속되며, 워드 라인(G11)은 트랜지스터(Q3 및 Q4)의 게이트에 접속되고, 트랜지스터(Q3 및 Q4)의 소스는 각각 주 디지털 라인(T111) 및 부 디지털 라인(B111)에 접속되고, 상기 주 디지털 라인(T111)과 부 디지털 라인(B111)은 센스 증폭기 회로(S11)에 접속된다.

제 8b도에 도시된 센스 증폭기 회로는 N-채널 트랜지스터(1 내지 3)로 구성되며, N-채널 트랜지스터(1)의 게이트 전극은 주 디지털 라인(T111)에 접속되고 N-채널 트랜지스터(2)의 게이트 전극은 부 디지털 라인(B111)에 접속되며, 열 디코더로부터의 선택 신호(IN)는 N-채널 트랜지스터(3)의 게이트 전극에 입력된다. 동작에 대해 설명하면, 신호(IN)가 하이 레벨이면, N-채널 트랜지스터(3)는 활성화 되고, 주 디지털 라인(T111) 및 부 디지털 라인(B111)상의 신호가 증폭된 후에, 데이터는 N-채널 트랜지스터(1 및 2)의 출력 라인으로 기능하는 드레인 전극(4 및 5)으로부터 출력된다.

제 9도는 제 8b도에 도시된 센스 증폭기 회로를 예시하는 마스크 레이아웃이며, 센스 증폭기 회로는 N-형 확산층(6)과, 폴리실리콘 게이트(7-9)와, 알루미늄 배선의 제 1 층(10-15)과, 알루미늄 배선의 제 1층과 폴리실리콘 게이트를 접속하는 접촉부(16-18)와, 알루미늄 배선의 제 1층과 N-형 확산층을 접속하는 접촉부(19-21)로 구성된다.

제 8b도에 도시된 N-채널 트랜지스터(1-3)의 게이트 전극은 제 9도에 도시된 폴리실리콘 게이트(7-9)와 동일 하며, 제 8b 도에 도시된 주 및 부 디지털 라인(T111, B111) 및 출력 라인(4 및 5)은, 제 9 도의 알루미늄 배선(10 및 11) 및 알루미늄 배선(12 및 13)과 각각 동등하다.

마스크 레이아웃에서 제 8b도에 도시된 접촉부(P1 및 P2)의 상태를 제 9도에서 보면, 알루미늄 배선과 접촉부로 이루어진 구성은 그곳에 형성될 수 없고, 접촉부들은 N-형 확산층(6)만으로 이루어진 큰 저항을 갖는 접속 상태에 있게 되는데, 이는 센스 증폭기 회로가 메모리 셀 사이에서 피치(L)로 마스크 되기 때문이다. 고속 및 안정성이 특히 요구되는 센스 증폭기 회로에서 회로내에 큰 저항을 갖는 접속부가 있다는 것은 치명적인 결점이 되고, 그러한 접촉부에 의해 회로 특성의 두드러진 열화가 발생한다. 제 9도에 도시된 마스크 레이아웃은 위에 설명한 바와같은 메모리 셀 사이의 피치(L)의 제한으로 인해 종방향으로 더 길게 되며, 따라서 칩 크기가 증가하는 악영향을 초래한다.

제 10도는 제 8b도에 도시된 센스 증폭기 회로의 접촉부 (T111 및 B111)에서의 전압 파형도이다. 이 도면을 참조하여, 센스 증폭기 회로의 동작을 아래에 설명하겠다. 메모리 셀이 활성화되고 신호 전압이 주 및 부 디지털 라인(T111 및 B111)으로 판독된다고 가정된다. 이때 N- 채널 트랜지스터(3)도 센스 증폭기 회로 선택 신호(IN)에 의해 활성화되고, 증폭된 신호 파형(4 및 5)이 센스 증폭기 회로의 출력 라인(T111, B111)으로부터 출력된다. 센스 증폭기 회로로부터 출력된 신호의 동작 전압 레벨은, 인접 회로에 인가된 전압 특성을 고려하여 약 1/2 VCC 정도의 전압 레벨이 적합하며, 제 10도에 도시된 파형(4 및 5)의 동작이 바람직하다.

한편 제 8b도에 도시된 접촉부(P1 및 P2)가 큰 저항을 가지면, 센스 증폭기 회로의 동작 전압 레벨은 제 10도에 파형(4' 및 5')으로 도시한 바와 같이 1/2 VCC 레벨보다 더 높으며(V1 만큼) 전압 레벨사이의 진폭(V3)도 감소된다. 더욱이, 다른 방향으로 파형(4' 및 5')이 진행하기 시작하는 시간 또한 파형(4, 5)의 시간과 비교하여 시간(T1)만큼 지연되며, 회로의 전체 동작은 지연된다. 전위차 V1 내지 V2 및 V3 사이의 차는 저항이 클수록 더 크며, 파형(4' 및 5')이 다른 방향으로 진행하기 시작하는 시간도 지연된다. 전위차 및 동작 지연을 없애기 위해 N-채널 트랜지스터(1, 2, 3)의 트랜지스터 구동 용량을 증가시킴에 따라, 칩의 면적이 증가되어야 한다.

제 11도는 일본 특개평 3-97190에 개시된 반도체 메모리를 도시하는 회로도이며, 이 반도체 메모리에서 다른 메모리 셀 어레이 블록내의 복수의 워드 라인은 하나의 워드 라인 구동 회로에 접속된다. 도 11에 도시된 메모리 셀 어레이(A1 및 A2)의 구성과 센스 증폭기 회로(S111-S14n, S211-S24n)는 제 7도에 도시된 것과 동일하다. 그러나 제 11도는 메모리 셀 어레이 A1의 워드 라인(A1W1, A1W2, ..., A1Wn)과 메모리 셀 어레이 A의 워드라인(A1W1, A1W2, ..., A2Wn)이 각각 워드 라인 접속 배선(WL1, WL2, ..., WLn)을 통해서 접속된다는 점에서 제 7도와 다르다.

전술한 구성의 동작을 이하에서 설명한다. 워드 라인 출력 회로(D11)가 행 디코더(D1)에 의해 선택되면, 활성화 신호가 워드 라인 출력 회로(D11)에 접속된 워드 라인(A1W1 및 A2W1)에 인가되며, 이에 의해 선택된 메모리 셀이 활성화 되고 메모리 셀에 저장된 데이터는 센스 증폭기 회로(S111-S14n, S211-S24n)로 판독될 수 있는 상태에 있게 된다. 이때, 워드 라인(A1W1 및 A2W1)에 접속된 모든 메모리 셀이 선택되고, 다수의 메모리 셀에 저장된 어떤 데이터도 하나의 센스 증폭기 회로로 판독되지 않는데, 이는 센스 증폭기 회로(S111-S14n, S211-S24n) 또한 열 디코더를 거쳐 선택될 센스 증폭기 회로를 선택하기 때문이다.

유사하게, 워드 라인 출력 회로(D21)가 행 디코더(D2)에 의해 선택되면, 활성화 신호가 워드 라인 출력 회로(D21)에 접속된 워드 라인(A1W2 및 A2W2)에 인가되며, 이에 의해 선택된 메모리 셀이 활성화 되고 메모리 셀에 저장된 데이터는 센스 증폭기 회로(S111-S14n, S211-S24n)로 판독될 수 있는 상태에 있게 된다. 이때에 워드 라인(A1W2 및 A2W2)에 접속된 모든 메모리 셀이 선택되지만, 복수의 메모리 셀에 저장된 어떤 데이터도 한 센스 증폭기 회로에 판독되지 않는데, 이는 센스 증폭기 회로(S111-S14n, S211-S24n) 또는 열 디코더를 거쳐 선택될 센스 증폭기 회로를 선택하기 때문이다.

위에 설명한 바와 같이, 상기 구성에 따라, 하나의 워드 라인 구동 회로에 두 개의 워드 라인을 접속하는 것에 의해 워드 라인 두 개 만큼의 간격에 워드 라인 구동회로를 배치하는 것이 가능하게 되고, 집적의 정도는 메모리 셀의 감소율과 동일한 정도만큼 향상될 수 있다.

위에 설명한 바와 같이 제 7도에 도시된 종래 실시예에 따른 구성에 따라, 메모리 셀의 감소에 따른 센스 증폭기 회로의 마스크 레이아웃, 즉 주 및 부 디지털 라인(T111-T11n, T121-T12n 등, B111-B11n 등) 사이의 피치(pitch)에 맞춘 마스크 레이아웃은 매우 어렵다. 센스 증폭기 회로가 디지털 라인 사이의 피치와 동일한 피치로 배열된다 하더라도, 회로 특성이 두드러지게 열화되고, 마스크 레이아웃은 디지털 라인의 방향(종방향)으로 더 길어지게 되며, 칩 면적이 증가한다는 단점이 있다.

제 11도에 도시된 종래 실시예에 따른 구성에서, 회로 소자들의 특성을 향상 시키는데 유용한 요소는 거의 없으며, 트랜지스터의 특성을 향상시키는 패턴이 마스크 레이아웃의 행 디코더(D1 및 D2)에 의해 가능해진다 하더라도, 행 디코더 사이의 동작 전압의 진폭이 일반적으로 거의 접지 레벨임을 고려하면 회로 특성을 향상시킴으로써 발생하는 효과는 작다.

발명이 이루고자 하는 기술적 과제

[본 발명의 요약]

본 발명의 목적은 이러한 문제를 해결하고, 센스 증폭기 회로의 배열을 고안함으로써 칩의 크기를 줄이며, 센스 증폭기 회로의 동작 특성이 개선되는 반도체 메모리를 제공하는 것이다.

본 발명의 제 1 실시예에 따른 반도체 메모리는, 서로 다른 메모리 셀 어레이 블록들내의 복수의 디지털 라인이 각각 하나의 센스 증폭기 회로에 접속되고, 복수의 디지털 라인들이 동일한 신호 라인을 통해 접속되고, 복수의 디지털 라인에 접속된 메모리 셀은 또한 다른 워드 라인들에 접속되는 것을 특징으로 한다.

본 발명의 제 2 실시예에 따른 반도체 메모리는 동일한 메모리 셀 어레이 블록내의 복수의 디지털 라인이 각각 하나의 센스 증폭기 회로에 접속되고, 또한 하나의 메모리 셀 어레이 블록내의 복수의 워드 라인을 각각 구동하는 행 디코더로서 기능하는 하나의 워드 라인 구동 회로가 전술한 메모리 셀 어레이 블록의 양측면에 배열되고, 상기 워드 라인의 방향으로 배열된 한 그룹내의 메모리 셀이 소정 개수의 복수의 워드 라인에 접속되며, 센스 증폭기 회로를 가지고 소정의 수로 메모리 셀 어레이 블록내의 복수의 메모리 셀을 모아서 형성되는 제 1 및 제 2 메모리 셀 열(a1 및 a2)과, 센스 증폭기 회로를 가지지 않는 제 1 및 제 2 메모리 셀 열(b1 및 b2)이 "a1, b1, b2, a2"의 순서로 배열되거나, 이러한 메모리 셀 열들이 다른 순서로 배열되며, 전술한 디지털 라인(a1 및 b1)내 디지털 라인과 전술한 디지털 라인(a2 및 b2)내 디지털 라인들은 또한 서로 접속될 수 있다는 것을 특징으로 합니다.

발명의 구성 및 작용

[바람직한 실시예의 설명]

[제 1 실시예]

제 1도는 본 발명에 따른 제 1 실시예를 개략적으로 도시하는 블록도이다. 이 실시예에서 서로 다른 메모리 셀 어레이 블록들로부터의 복수의 디지털 라인이 하나의 디지털 라인상에서 센스 증폭기로 기능하는 하나의 회로에 접속된다.

제 1도에 있어서, 제 7도의 종래예와 다른 점은, 메모리 셀 어레이 A1상의 주 및 부 디지털 라인(T111-T11n, T121-T12n, T131-T13n, T141-T14n 및 B111-B11n, B121-B12n, B131-B13n, B141-B14n)이, 디지털 접속 라인(LT11-LT1n, LT21-LT2n, LT31-LT3n, LT41-LT4n 및 LB11-LB1n, LB21-LB2n, LB31-LB3n, LB41-LB4n)을 통해, 메모리 셀 어레이 A2상의 주 및 부 디지털 라인(T211-T21n, T221-T22n, T231-T23n, T241-T24n 및 B211-B21n, B11-B22n, B231-B23n, B241-B24n)에 접속되고, 하나의 센스 증폭기 회로(S11, S21, ..., S4n)가 한 세트의 디지털 접속 라인(LT11 및 LB11, LT21 및 LB21, ..., LT4n 및 LB4n)에 각각 접속된다는 점이다.

전술한 바와 같이, 각각의 센스 증폭기 회로(S11-S4n)가 두 쌍의 주 및 부 디지털 라인(T111과 T211, B111과 B211, ..., T14n과 T24n, B14n과 B24n)에 접속됨으로써, 인접한 센스 증폭기 회로 사이의 피치는 제 7도에 도시된 종래 실시예에 따른 피치보다 두배 길다. 그러므로 상기 실시예에 따르면, 하나의 센스 증폭기 회로는 서로 다른 메모리 셀 어레이 영역들에 포함된 두 쌍의 주 및 부 디지털 라인에 접속될 수 있고, 센스 증폭기 회로 면적의 증가가 방지될 수 있다.

제 2도는, 상기 실시예가 이용될 경우 제 1도에 도시된 센스 증폭기 회로에 대한 마스크 레이아웃이다. 이 마스크 레이아웃을 구성하는 패턴층은 종래 실시예의 패턴층과 동일하지만, 이 실시예에 따른 전술한 마스크 레이아웃이 종래예와 다른 점은, 센스 증폭기 회로의 마스크 레이아웃을 인접 메모리 셀 사이의 피치 크기(L)의 두배의 크기로 레이아웃하는 것이 가능하므로, 폴리실리콘(다결정 실리콘) 게이트(7-9)와, 알루미늄 배선(10-15)과, 접속부(16-21)를 배열하기 위한 공간이 있다는 점과, 회로 특성을 열화시킬 수 있는 큰 저항을 갖는 접속부가 없다는 점과, 마스크 레이아웃의 종방향 길이 또한 줄어들고 칩 면적 또한 감소한다는 점이다.

여기까지는, 두 쌍의 주 및 부 디지털 라인이 하나의 센스 증폭기 회로에 접속되는 구성을 예시하였지만, 상기 실시예는 이외에도 세 쌍 또는 네 쌍의 주 및 부 디지털 라인이 하나의 센스 증폭기 회로에 접속되는 구성에도 적용되어, 전술한 바와 같은 동일한 효과가 얻어질 수 있고 본 발명의 목적이 달성될 수 있다.

[제 2 실시예]

제 3도는 본 발명에 따른 제 2 실시예를 개략적으로 도시하는 블록도이다. 제 3도에 도시된 메모리 셀 어레이(A1)를 참조하면, 복수의 메모리 셀이 매트릭스 형태로 배열되어 있다. 메모리 셀 어레이(A1)의 메모리 셀을 구동하는 행 디코더(D1 및 D2)는 메모리 셀 어레이(A1)의 양측에 배열된다. 행 디코더(D1)의 출력 라인은 금속 배선층의 제 1 층(A1W1-A1Wn)으로 구성되며, 메모리 셀 어레이(A1)의 행방향으로 배선된다. 배선층(A1W1-A1Wn)은, 접속 영역(C1, C3, C5)을 통해, 각각 게이트 전극 배선(G111-G11n, G121-G12n, G131-G13n, G141-G14n)의 제 2층에 접속되며, 메모리 셀 열(a1, a2, a3, a4)내의 메모리 셀에 저장된 워드(words)가 활성화될 수 있다. 유사하게, 행 디코더(D2)의 출력 라인은 금속 배선층(A2W1-A2Wn)의 제 1 층으로 구성되며, 접속 영역(C2, C4)을 통해, 게이트 전극 배선(G211-G21n, G221-G22n, G231-G23n, G241-G24n)의 제 2 층에 접속되고, 메모리 셀 열(b1, b2, b3, b4)내의 메모리 셀에 저장된 워드는 활성화 될 수 있다.

각각의 행 디코더가 독립적인 회로 동작을 실행함에 따라, 행 디코더(D1)의 출력 라인(A1W1-A1Wn)과 행 디코더(D2)의 출력 라인(A2W1-A2Wn)은 복수개의 라인이 활성화되는 일은 없다. 또한 게이트 전극 배선(G111-G11n, G211-G21n, G121-G12n, G221-G22n, G131-G13n, G231-G23n, G141-G14n, G241-G24n)은 각각 메모리 셀(H1, H2, H3, H4) 사이의 영역에 의해 서로 분리된다. 메모리 셀 사이의 (H1, H2, H3, H4)사이의 영역들을 참조하면, 그들 영역은 상기 게이트 전극 배선을 분리시키기 위해서만 제공되기 때문에, 그들 영역은 극히 작고 칩 크기에 거의 영향을 미치지 않는다.

다음, 메모리 셀 열(a1)의 주 및 부 디지털 라인(T111-T11n, B111-B11n)은, 디지털 접속 배선(LT11-LT1n, LB11-LB1n)을 통해, 메모리 셀 열(b1)의 주 및 부 디지털 라인(T211-T21n, B211-B21n)에 접속되며, 하나의 센스 증폭기 회로(S11-S1n)는 각각 디지털 접속 배선(LT11과 LB11, ..., LT1n과 LB1n)의 조합에 접속된다. 유사하게, 각각의 메모리 셀 열(a2와 b2, a3와 b3, a4와 b4)의 각 그룹내의 주 및 부 디지털 라인은, 전술한 주 및 부 디지털 라인과 하나의 센스 증폭기 회로가 디지털 접속 배선의 각 조합에 접속되는 것과 동일한 방식으로 구성된다.

본 실시예에 따른 디지털 접속 배선의 마스크 레이아웃내의 배선 영역의 면적은 매우 감소될 수 있는데, 그것은 그러한 디지털 접속 배선이, 메모리 셀 어레이내를 수개 내지 수십개의 주 및 부 디지털 라인마다 분할하여 형성된 메모리 셀 열을 접속하기 때문이다.

상기 구성에서의 동작을 아래에 설명한다. 예를 들어, 배선층(A1W1)이 행 디코더(D1)에 의해 선택되면, 워드 라인이 선택될 메모리 셀 열은 (a1, a2, a3, a4)이다. 이때, 워드 라인이 행 디코더(D2)에 의해 선택되는 메모리 셀 열(b1, b2, b3, b4)은 활성화되지 않는다. 메모리 셀 열의 조합(a1과 b1, a2와 b2, a3와 b3, a4와 b4)에 접속된 주 및 부 디지털 라인은 각각 센스 증폭기 회로(S11-S1n, S21-S2n, S31-S3n, S41-S4n)에 접속되므로, 복수의 메모리 셀내의 데이터는 절대 동시에 입력되지는 않는다. 그러므로, 상기 실시예에 따라, 하나의 센스 증폭기 회로는 동일한 메모리 셀 어레이 영역내의 두 쌍의 주 및 부 디지털 라인에 접속될 수 있다.

센스 증폭기 회로의 마스크 패턴에 대해서는, 본 실시예에서도 상기 제 1 실시예에서와 같이 메모리 셀들 사이의 피치 크기(L)의 두배 크기로 레이아웃하는 것이 가능하므로, 제 2 도에 도시된 센스 증폭기 회로에 대한 마스크 레이아웃이 가능하다. 그러므로, 본 실시예에서, 센스 증폭기 회로의 특성이 개선될 수

있고, 마스크 레이아웃의 종방향 길이 또한 감소될 수 있고, 칩 면적도 감소될 수 있다.

앞에서, 하나의 센스 증폭기 회로가 두 쌍의 주 및 부 디지털 라인에 접속되는 구성을 예로 들었으나, 본 실시예에는 이외에도 하나의 센스 증폭기 회로가 세 쌍 또는 네 쌍의 주 및 부 디지털 라인에 접속되는 구성에 적용되어, 전술한 바와 같은 효과를 얻을 수 있고, 본 발명의 목적을 달성할 수 있다.

제 4a도 및 4b도는 본 발명의 제 2 실시예에 따른 회로의 전체 구성과 부분적으로 레이아웃을 변화시켜서 형성한 레이아웃을 도시하는 블록도이다. 제 4a도를 참조하면, 행 디코더(D1과 D2)는 메모리 셀 어레이(A1)의 양측부에 배열되어 있다. 행 디코더(D1)의 출력 라인은 제 1 워드 라인(A1W1-A1Wn)으로 구성되며, 또한 접촉 영역(C1과 C3)을 통해, 제 2 워드 라인(G11-G11n, G121-G12n)에 각각 접속되며, 메모리 셀 열(a1, a2)내 메모리 셀에 저장된 워드(words)를 활성화하는 것이 가능하다. 유사하게, 행 디코더(D2)의 출력 라인은 제 1 워드 라인(A2W1-A2Wn)으로 구성되며, 또한 접촉 영역(C2)을 통해, 제 2 워드 라인(G211-G21n, G221-G22n)에 각각 접속되어, 메모리 셀 열(b1과 b2)내의 메모리 셀에 저장된 워드를 활성화하는 것이 가능하다. 제 2 워드 라인(G111-G11n, G221-G22n)은 메모리 셀 사이의 영역(H1)에 의해 분리되고, 제 2 워드 라인(G121-G12n, G211-G21n)은 메모리 셀 사이의 영역(H2)에 의해 분리된다.

제 4a도에서, 제 3도의 두 라인으로 도시된 주 및 부 디지털 라인(T111-T11n, B111-B11n)은 하나의 디지털 라인(d111-d11n)으로 도시된다. 메모리 셀 어레이(A1)에서, 주 및 부 디지털 라인(D111-D11n)이 각각 센스 증폭기 회로(S11-S1n)에 접속된 메모리 셀 열(a1)과, 주 및 부 디지털 라인(d121-d12n)이 각각 센스 증폭기 회로(S21-S2n)에 접속된 메모리 셀 열(a2)과, 센스 증폭기 회로가 없는 메모리 셀 열(b1, b2)은 "a1, b2, b1, a2"의 순서로 배열된다. 또한, 메모리 셀(a1)의 주 및 부 디지털 라인(d111-d11n)과 메모리 셀 열(b1)의 주 및 부 디지털 라인(d211-d21n)은, 디지털 접속 라인(L11-L1n)을 통해 접속되고, 메모리 셀 열(a2)의 주 및 부 디지털 라인(d121-d12n)과 메모리 셀 열(b2)의 주 및 부 디지털 라인(d221-d22n)은 디지털 접속 라인(L21-L2n)을 통해 접속된다.

전술한 바와 같이, 본 실시예에서는 하나의 센스 증폭기 회로가 메모리 셀 열(a1, b1) 및 메모리 셀 열(a2, b2)의 조합에서 두 쌍의 주 및 부 디지털 라인에 접속될 수 있으므로, 회로 특성이 향상될 수 있으며, 칩 면적은 제 2 실시예에서와 같이 감소될 수 있다.

제 4b도를 참조하면, 제 4a 도와는 다르게, 제 2 워드 라인(G111-G11n, G221-G22n)은 메모리 셀 사이의 영역(H2)에 의해 분리되고, 제 2 워드 라인(G121-G12n, G211-G21n)은 메모리 셀 사이의 영역(H1)에 의해 분리된다. 메모리 셀 어레이(A1)에서, 주 및 부 디지털 라인(d111-d11n)이 각각 센스 증폭기 회로(S11-S1n)에 접속되는 메모리 셀 열(a1)과, 주 및 부 디지털 라인(D121-D12n)이 각각 센스 증폭기 회로(S21-S2n)에 접속되는 메모리 셀 열(a2)과, 센스 증폭기 회로가 없는 메모리 셀 열(b1, b2)는 "a2, b1, b2, a1"의 순서로 배열된다.

센스 증폭기 회로가 있는 제 1 및 제 2 메모리 셀 열(a1, a2)과 센스 증폭기 회로가 없는 제 2 메모리 셀 열(b1, b2)은 위에서 설명한 순서 외에 표 1에 도시된 바와 같은 순서로 배열될 수 있다.

[표 1]

번호	배열	대응하는 도면	번호	배열	대응하는 도면
1	a1b1b2a2	제 3 도	9	a1b1a2b2	
2	a1b2b1a2	제 4A 도	10	a1b2a2b1	
3	a2b1b2a1	제 4B 도	11	a2b1a1b2	
4	a2b2b1a1		12	a2b2a1b1	
5	b1a1a2b2		13	b1a1b2a2	제 5A 도
6	b1a2a1b2		14	b1a2b2a1	제 5B 도
7	b2a1a2b1		15	b2a1b1a2	
8	b2a2a1b1		16	b2a2b1a1	

제 5a도 및 5b도는 표 1에 도시된 배열의 레이아웃을 도시한다. 제 5a도에서, 제 2 워드 라인(G111-G11n, G211-G21n)은 메모리 셀 사이의 영역(H1)에 의해 분리되고, 제 2 워드 라인(G221-G22n, G121-G12n)은 메모리 셀 사이의 영역(H2)에 의해 분리되며, 메모리 셀 어레이(A1)에서, 주 및 부 디지털 라인(d111-d11n)이 각각 센스 증폭기 회로(S11-S1n)에 접속되는 메모리 셀 열(a1)과, 주 및 부 디지털 라인(d121-d12n) 각각이 센스 증폭기 회로(S21-S2n)에 접속되는 메모리 셀 열(a2)과, 센스 증폭기 회로가 없는 메모리 셀 열(b1, b2)은 "a2, b1, b2, a1"의 순서로 배열된다.

리 셀 열(b1, b2)는 "b1, a1, b2, a2"의 순서로 배열된다. 제 5b도에서, 제 2 워드 라인(G111-G11n, G211-G21n)은 메모리 셀 사이의 영역(H1, H3)에 의해 분리되며, 제 2 워드 라인(G221-G22n, G121, G12n)은 메모리 셀 사이의 영역(H2)에 의해 분리되며 메모리 셀 열(a1, a2, b1, b2)는 "b1, a2, b2, a1"의 순서로 배열된다.

[제 3 실시예]

제 6도는 본 발명에 따른 제 3 실시예를 개략적으로 도시하는 블록도이다. 이 실시예에 따른 구성은 제 2 실시예에 따른 구성과 유사하지만, 다른 점은 이하에서 설명한다.

메모리 셀 열(a1)의 주 및 부 디지털 라인(T111-T11n, B111-B11n)은, 또한 각각 제 2 디지털 접속 배선(HT11-HT1n, HB11-HB1n)을 통해, 메모리 셀 열(b1)의 주 및 부 디지털 라인(T211-T21n, B211-B21n)에 접속된다. 즉, 주 및 부 디지털 라인(T111-T11n, B111-B11n)은 제 1 디지털 접속 배선(LT11-LT1n, LB11-LB1n)과 제 2 디지털 접속 배선(HT11-HT1n, HB11-HB1n)에 의해 접속됨으로써 각각 링형(ring type)의 배선경로를 가지는 배선구성으로 되어 있다. 메모리 셀 열들(a2 및 b2, a3 및 b3, a4 및 b4)의 주 및 부 디지털 라인들의 각 그룹도 유사하게 링형으로 구성된다.

여기서, 메모리 셀의 I/O 포트로부터 센스 증폭기 회로(S11-S1n)까지의 디지털 라인이 길기 때문에, 데이터를 판독할 때에, 상기 센스 증폭기 회로(S11-S1n)로부터 가장 멀리 떨어져 접속된 메모리 셀에는 배선 내에 큰 기생 저항 부하가 인가된다. 상기 기생 저항은 시간 상수(시정수)의 관계로부터 메모리 셀의 데이터 판독 속도에 큰 영향을 미치므로, 기생 저항을 매우 작게 하는 것이 바람직하다. 본 실시예에서는 전술한 바와 같이 링(ring)형으로 된 디지털 배선 구성이 제공되므로 위의 문제점이 해결될 수 있다. 즉, 센스 증폭기 회로(S11-S1n)로부터 가장 멀리 떨어진 메모리 셀이 데이터를 판독할 때에는, 두 디지털 라인의 조합(T111-T11n 및 T211-T21n, B111-B11n 및 B211-B21n)과 두 디지털 접속 배선의 조합(LT11-LT1n 및 HT11-HT1n, LB11-LB1n 및 HB11-HB1n)을 경유하기 때문에, 기생 저항은 제 1 실시예의 기생 저항에 비해 약 반으로 줄어든다. 제 1 실시예에 관하여 기술한 바와 같이, 디지털 접속 배선은, 메모리 셀 어레이 내에서, 수개 내지 수십개의 주 및 부 디지털 라인마다 분할한 메모리 셀 열을 접속하므로, 배선 영역은 극히 작게 할 수 있고, 배선 길이가 짧으므로 기생저항도 극히 작게 할 수 있다.

전술한 바와 같이, 본 실시예에 있어서는, 제 1, 2 실시예와 동일한 방식으로, 센스 증폭기 회로의 특성들을 향상시키고, 칩 면적을 감소시킬 수 있고, 또한 메모리 셀에 의한 판독 속도를 향상시킬 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명의 구성 중 하나인 센스 증폭기 회로에, 서로 다른 메모리 셀 어레이 블록에 있는 복수의 디지털 라인을 접속한 마스크 패턴 구성에 의해, 디지털 라인에 접속된 센스 증폭기 회로의 마스크 레이아웃 면적이 종래예에 비하여 약 반으로 줄이는 것이 가능하고, 또한, 센스 증폭기 회로의 회로 특성을 악화시키는 고저항 접속으로 된 마스크 패턴을 배제하는 것이 가능하여, 칩 면적을 축소하는 것과 함께, 회로 특성을 향상시키는 것이 가능하다고 하는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 메모리에 있어서: 복수의 메모리 셀들을 갖는 제 1 메모리 셀 어레이 및 제 1 방향으로 배열된 복수의 메모리 셀들을 갖는 제 2 메모리 셀 어레이로써, 상기 제 1 메모리 셀 어레이는 상기 제 1 방향과는 다른 제 2 방향으로 연장된 소정 개수의 제 1 비트 라인을 가지며, 상기 제 2 메모리 셀 어레이는 상기 제 2 방향으로 연장된 상기 소정 개수의 제 2 비트 라인을 가지는, 상기 제 1 메모리 셀 어레이 및 상기 제 2 메모리 셀 어레이와; 상기 제 1 비트 라인에 대응하여 제공되고 상기 제 1 방향으로 배열된 복수의 증폭기 회로를 포함하며, 상기 증폭기 회로들 각각은, 상기 제 1 비트 라인들 중의 대응하는 비트 라인 및 상기 제 2 비트 라인들 중의 대응하는 비트 라인에 공통으로 접속되고; 상기 제 1 메모리 셀 어레이와 상기 제 2 메모리 셀 어레이는 상보적으로 선택 활성화되는, 반도체 메모리.

청구항 2

제1항에 있어서, 제 1 메모리 셀의 데이터를 상기 대응하는 증폭기에 전송하기 위해, 제 1 어드레스 신호에 응답하여 상기 제 1 메모리 셀 어레이 중의 상기 제 1 메모리 셀을 선택하는 제 1 디코더와; 제 2 메모리 셀의 데이터를 상기 대응하는 증폭기에 전송하기 위해, 상기 제 1 어드레스 신호와 상이한 제 2 어드레스 신호에 응답하여 상기 제 2 메모리 셀 어레이 중의 상기 제 2 메모리 셀을 선택하는 제 2 디코더를 더 포함하는 반도체 메모리.

청구항 3

제2항에 있어서, 상기 제 1 비트 라인의 단부와 상기 대응하는 제 2 비트 라인 사이에 연결된 배선(wiring)을 더 포함하며, 상기 제 1 비트 라인 및 상기 대응하는 제 2 비트 라인 각각은 동일한 증폭기에 연결된 하나의 반대쪽 단부를 가지는 반도체 메모리.

청구항 4

제1항에 있어서, 상기 제 1 비트 라인의 단부와 상기 대응하는 제 2 비트 라인 사이에 연결된 배선(wiring)을 더 포함하며, 상기 제 1 비트 라인 및 상기 대응하는 제 2 비트 라인 각각은 동일한 증폭기에 연결된 하나의 반대쪽 단부를 가지는 반도체 메모리.

청구항 5

반도체 메모리에 있어서: 복수의 메모리 셀을 가지며, 소정 개수의 제 1 비트 라인을 제 1 메모리 셀 어

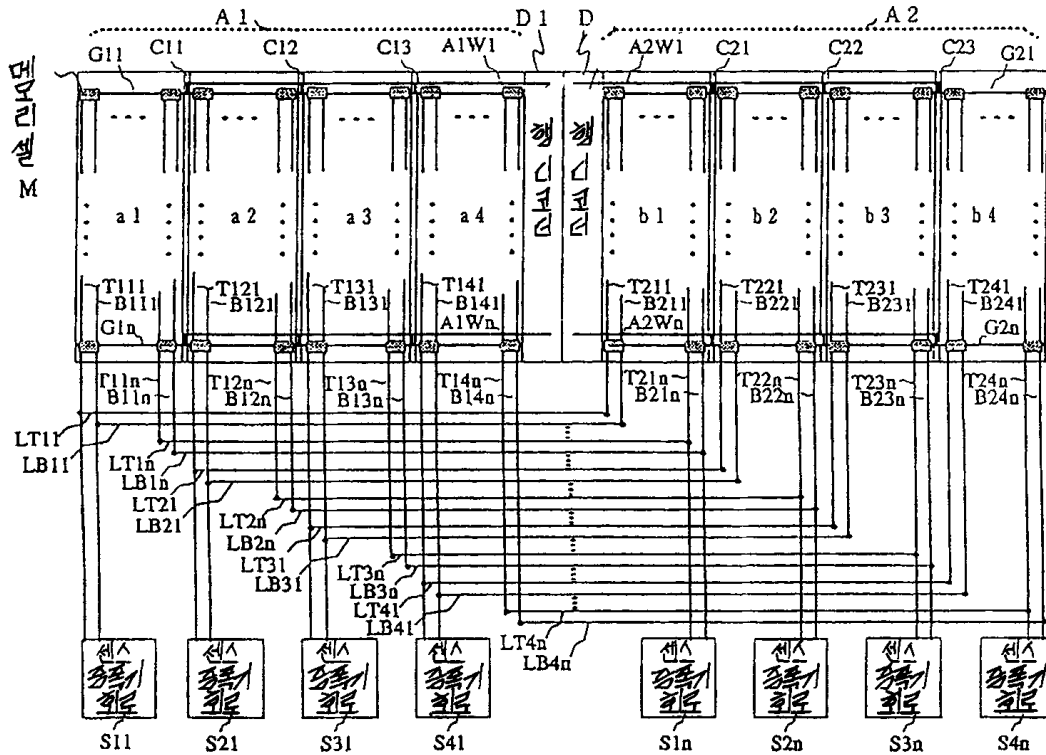
레이 블록과; 복수의 메모리 셀과 상기 소정 갯수의 제 2 비트라인을 가지는 제 2 메모리 셀 어레이 블록과; 상기 제 1 비트라인에 대응하여 제공되는 복수의 증폭기 회로로써, 상기 증폭기 회로 각각은 상기 제 1 비트 라인 중의 대응하는 비트 라인과 상기 제 2 비트 라인 중의 대응하는 비트 라인에 공통으로 접속되는, 상기 복수의 증폭기 회로를 포함하며; 상기 제 1 및 제 2 메모리 셀 열 블록은 배타적으로 선택되는, 반도체 메모리.

청구항 6

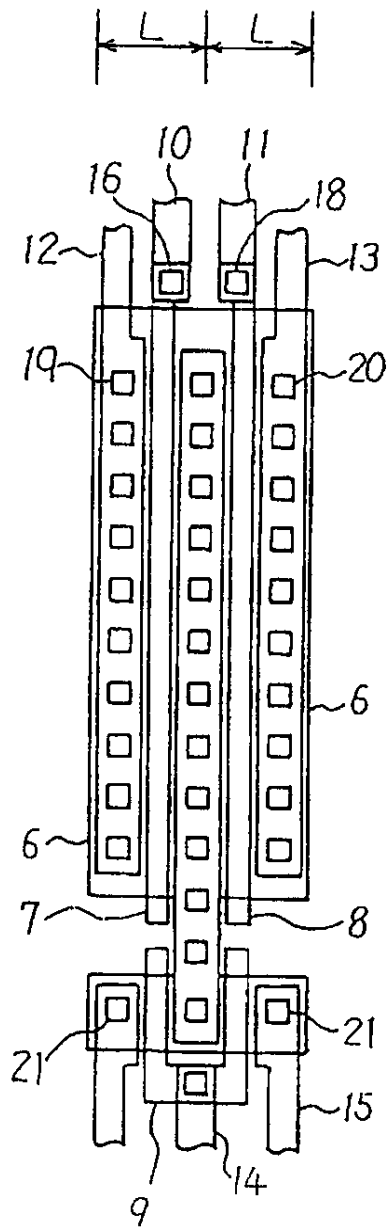
제5항에 있어서, 상기 제 1 비트 라인과 상기 제 2 비트 라인은 링(ring) 형태로 접속되는 반도체 메모리.

도면

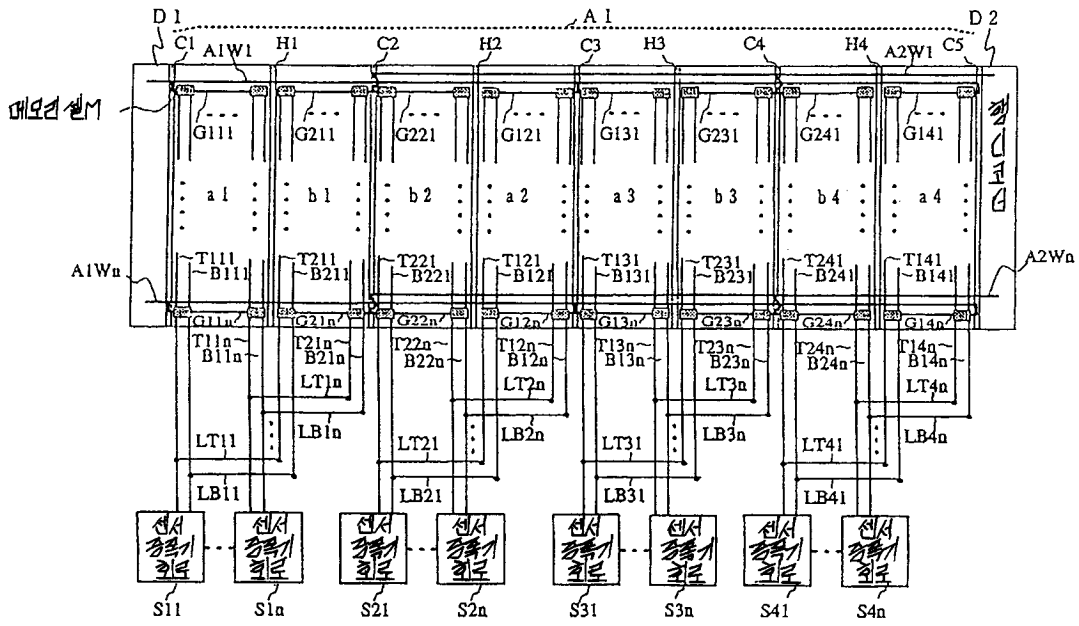
도면1



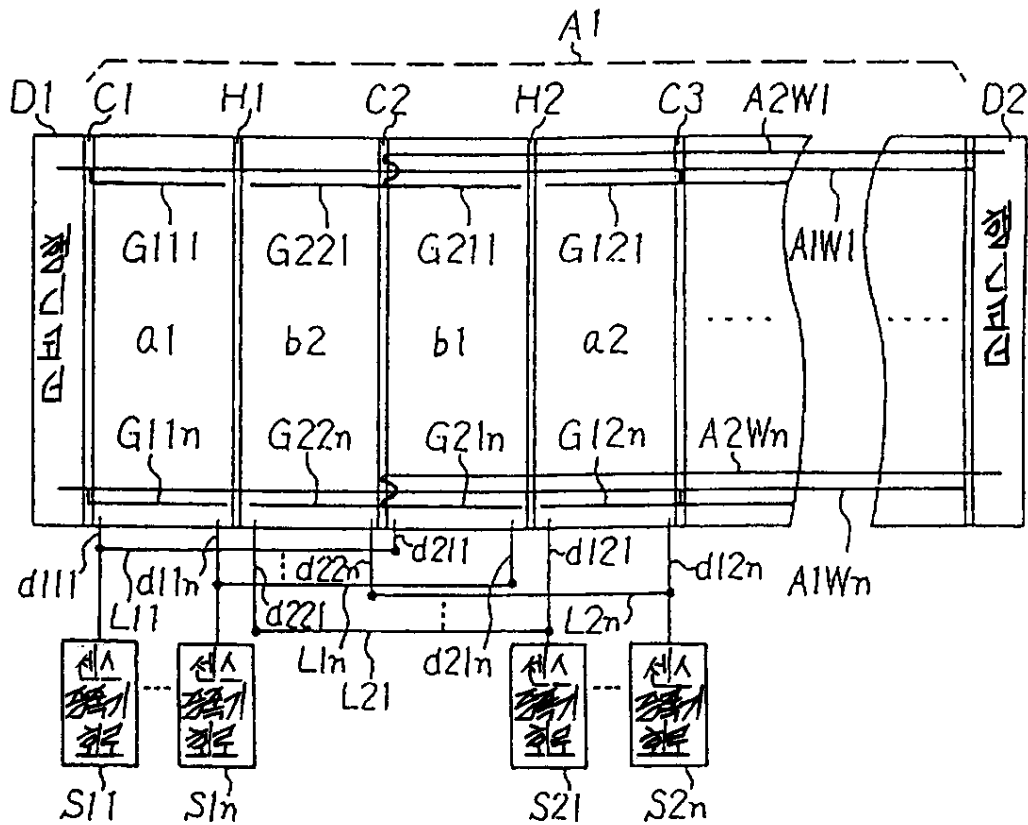
도면2



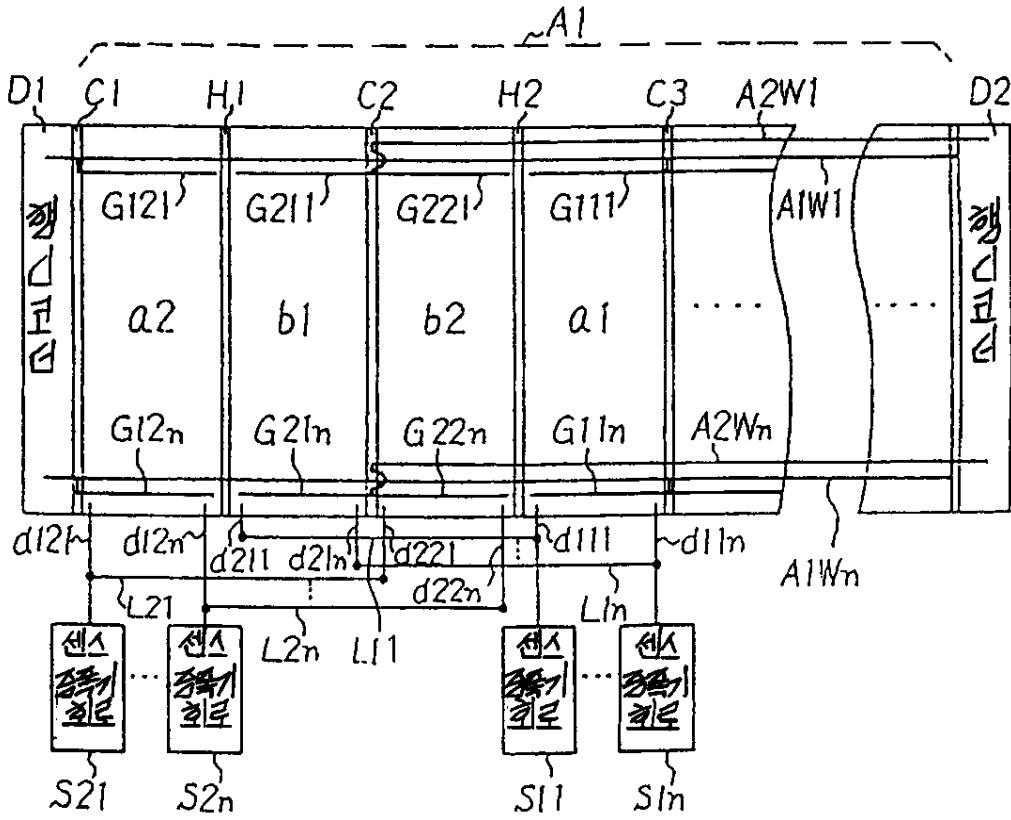
도면3



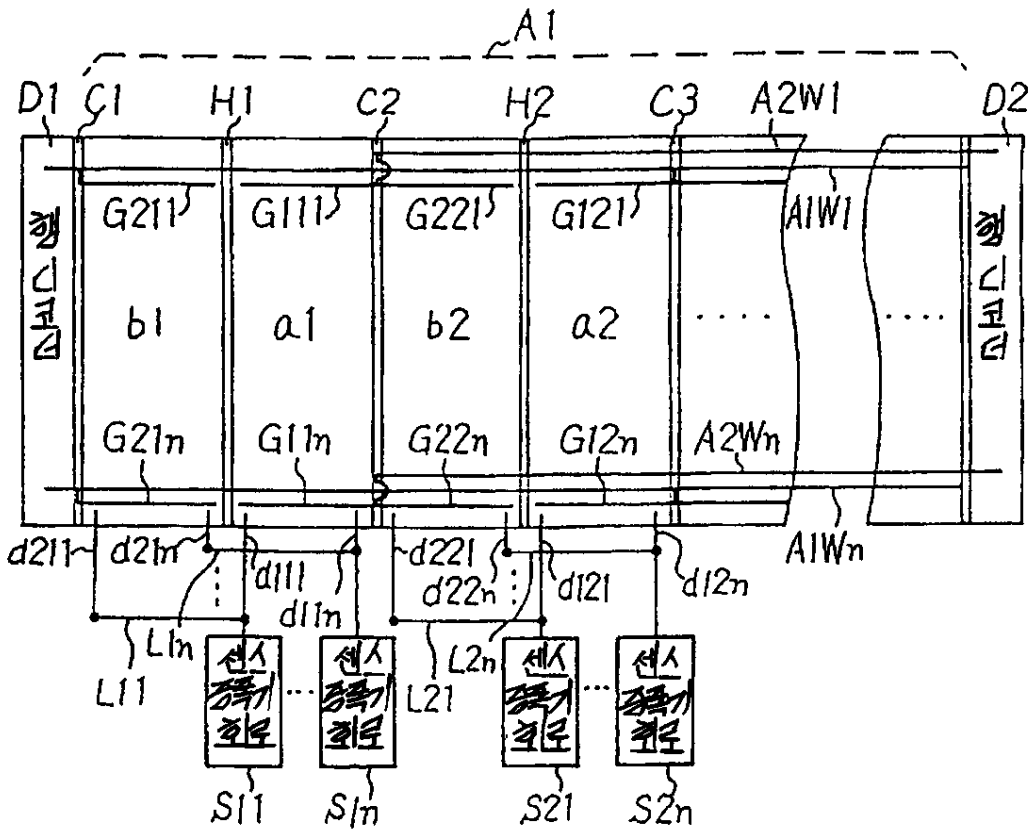
도면4a



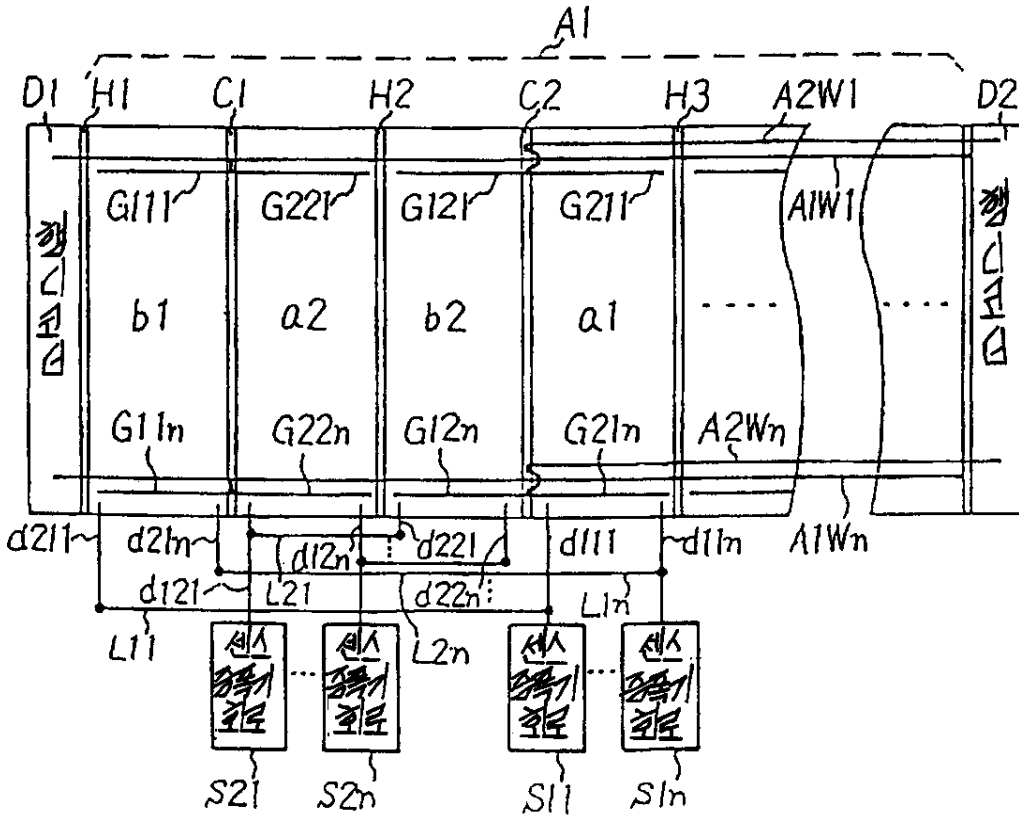
도면4b



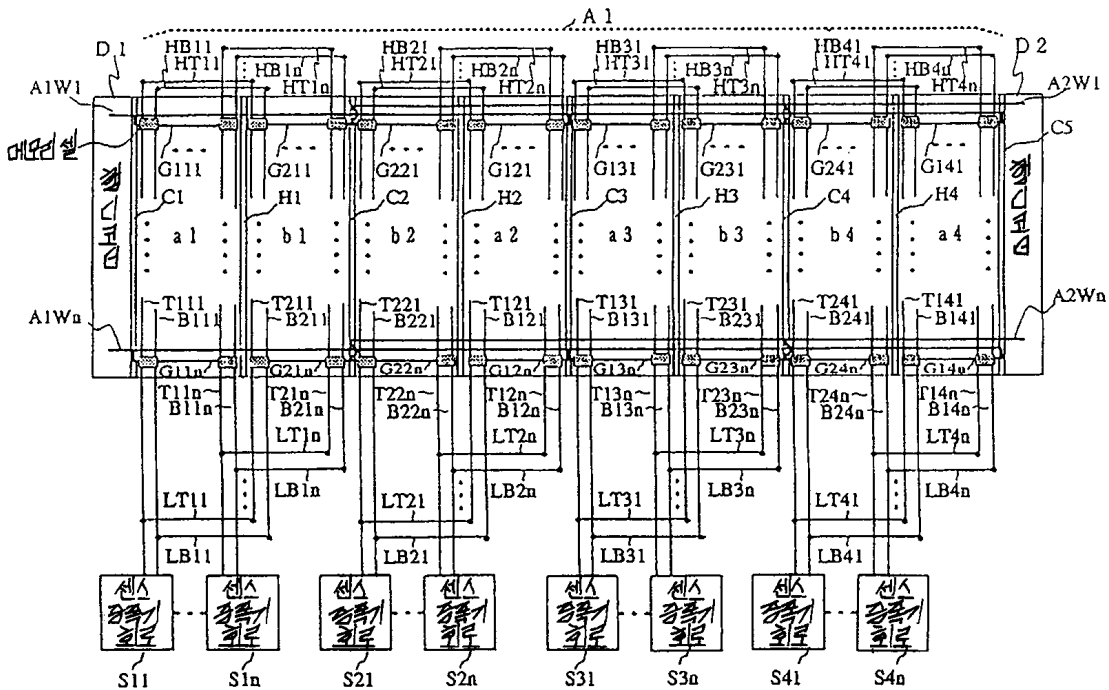
도면5a



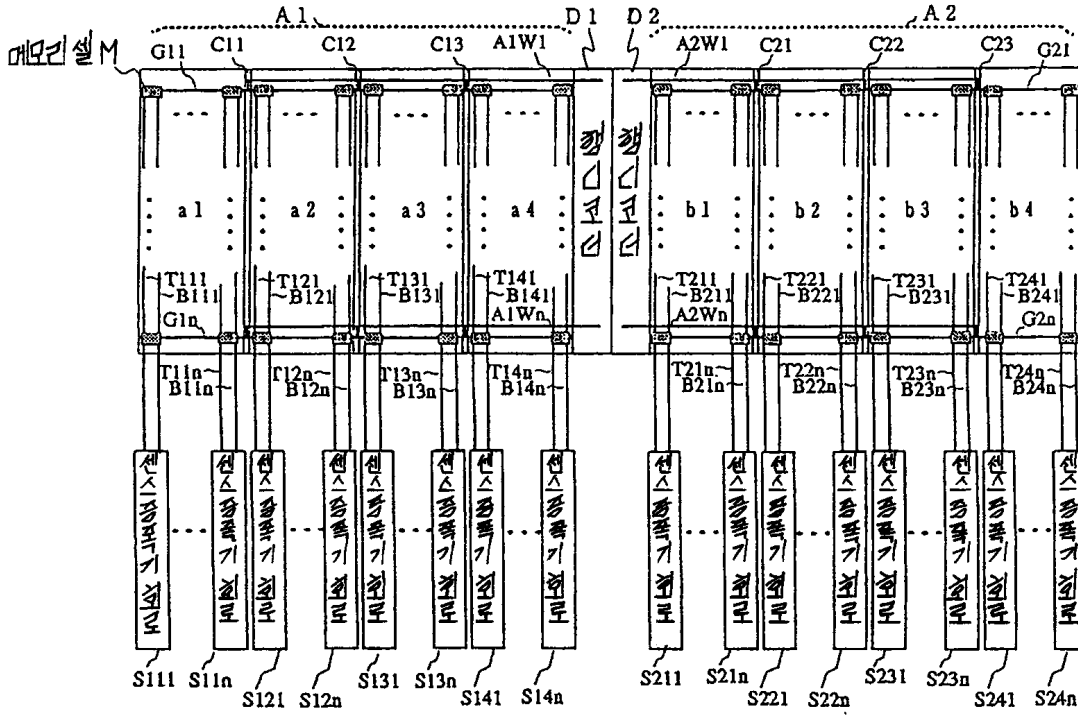
도면5b



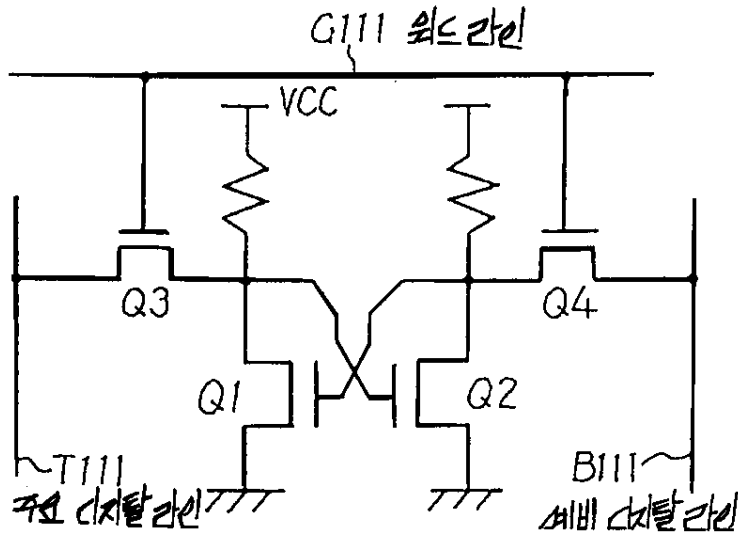
도면6



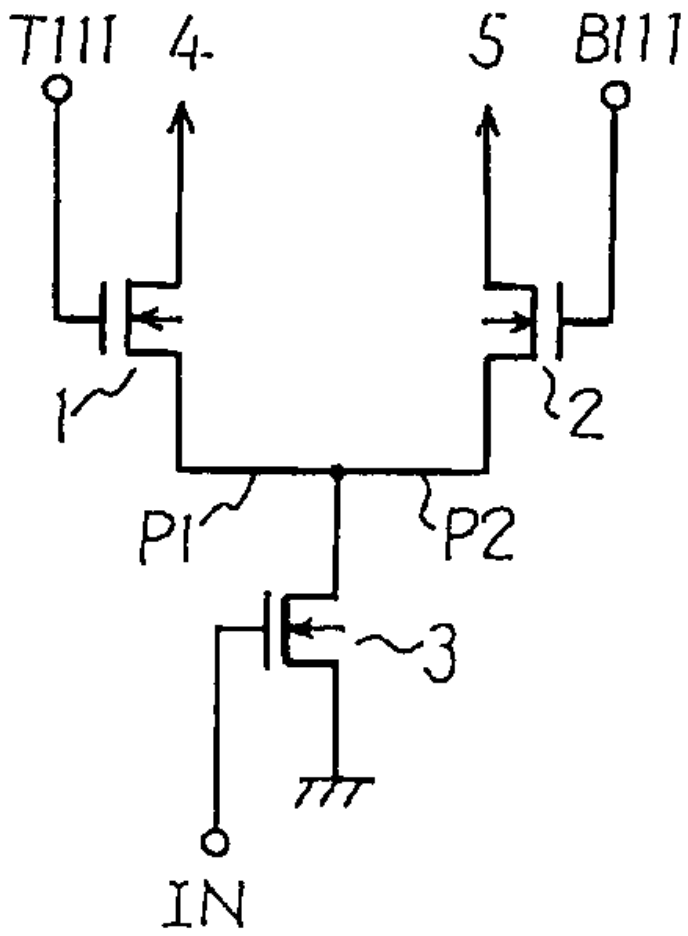
도면7



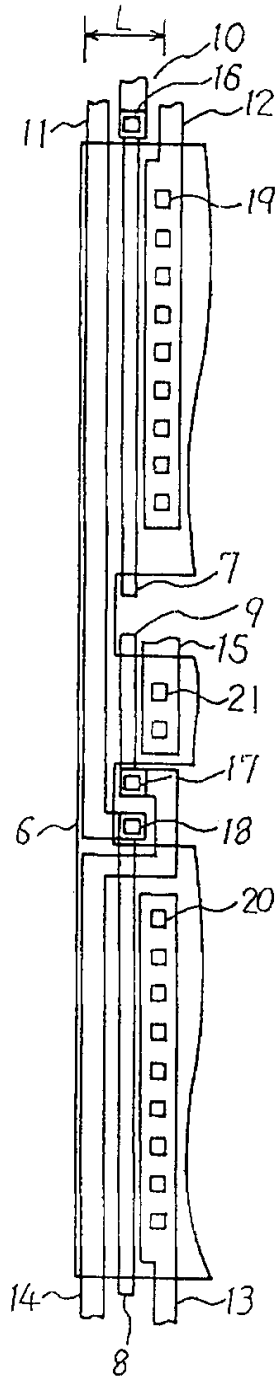
도면8a



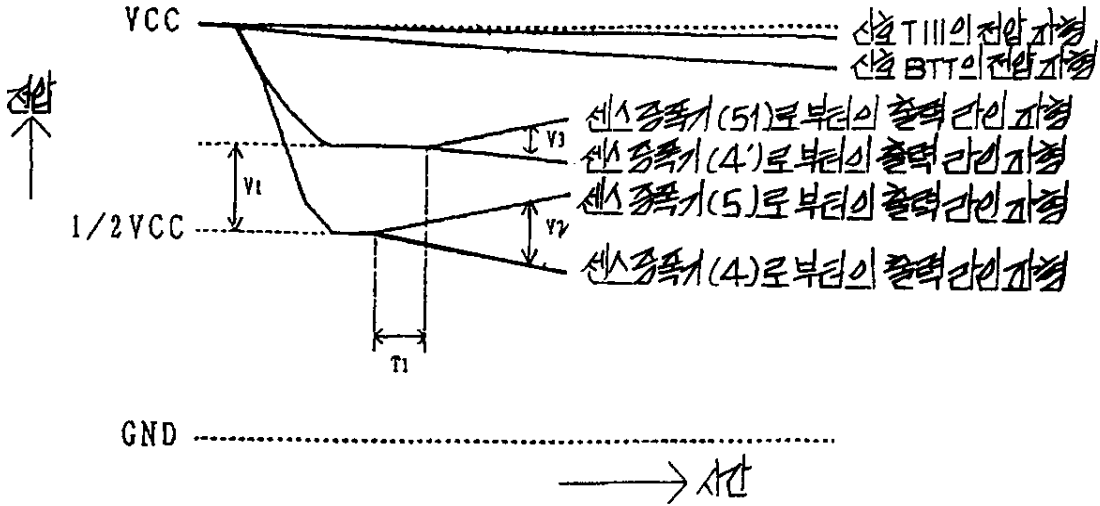
도면 8b



도면9



도면10



도면11

