

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4841829号
(P4841829)

(45) 発行日 平成23年12月21日(2011.12.21)

(24) 登録日 平成23年10月14日(2011.10.14)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 E
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 2 A
	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 8 A

請求項の数 5 (全 15 頁)

(21) 出願番号	特願2004-333531 (P2004-333531)	(73) 特許権者	302062931
(22) 出願日	平成16年11月17日(2004.11.17)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2006-147718 (P2006-147718A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成18年6月8日(2006.6.8)	(74) 代理人	100103894
審査請求日	平成19年10月15日(2007.10.15)		弁理士 冢入 健
		(72) 発明者	三浦 喜直
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		(72) 発明者	大谷 欣也
			神奈川県川崎市中原区下沼部1753番地
			NECエレクトロニクス株式会社内
		審査官	崎間 伸洋

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、
前記半導体基板の主面上に設けられた第2導電型のベース領域と、
前記ベース領域の周囲に形成されたトレンチと、
前記ベース領域の表面にトレンチに沿って形成された無端状の第1導電型のソース領域とを備えた半導体装置であって、
前記トレンチ側壁面の主要面方位が[100]及び[110]からなり、
前記トレンチ側壁面のうち相互に隣接して交叉する内角を120°以上とし、
前記ソース領域を介して対向する前記[110]面と前記ベース領域との最小対向距離が、前記ソース領域を介して対向する前記[100]面と前記ベース領域との最小対向距離に比して小さいことを特徴とする半導体装置。

10

【請求項2】

請求項1に記載の半導体装置において、
前記[100]面の面積を、前記[110]面の面積よりも大きくすることを特徴とする半導体装置。

【請求項3】

第1導電型の半導体基板と、
前記半導体基板の主面上に設けられた第2導電型のベース領域と、
前記ベース領域の周囲に形成されたトレンチと、

20

前記ベース領域の表面にトレンチに沿って形成された無端状の第 1 導電型のソース領域とを備えた半導体装置であって、

前記トレンチ側壁面の主要面方位が [1 0 0] 及び [1 1 0] からなり、

前記トレンチ側壁面のうち相互に隣接して交叉する内角を 135° とし、

前記ベース領域は、前記 [1 0 0] 面と平行な 4 つの側壁面を備え、前記ベース領域の平面形状が略四角形であり、

前記半導体基板に対して水平方向における前記 [1 0 0] 面の辺を W_1 及び W_3 、前記 [1 1 0] 面の辺を W_2 により構成し、対向する前記 W_3 同士の最小対向距離を d とし、前記ベース領域の側壁面の辺のうち前記 W_1 と平行な辺を D_a 、前記 W_3 と平行な辺を D_b としたときに、

前記 W_1 の垂直二等分線及び前記 W_3 の垂直二等分線の交点と、前記 D_a の垂直二等分線及び前記 D_b の垂直二等分線の交点とが略一致し、かつ下記数 1 ~ 数 4 を満足する半導体装置。

【数 1】

$$D_b - D_a = W_3 - W_1 \geq 0$$

【数 2】

$$W_1 > W_2$$

【数 3】

$$W_1 = d - \sqrt{2}W_2$$

【数 4】

$$W_2 > (\sqrt{2} - 1)(d - D_a)$$

【請求項 4】

請求項 1、2、又は 3 に記載の半導体装置において、

前記ベース領域の側壁面のうち相互に隣接して交叉する部分が R 形状であることを特徴とする半導体装置。

【請求項 5】

第 1 導電型の半導体基板の主面に前記半導体基板より低不純物濃度の第 1 の半導体層を形成し、

前記第 1 の半導体層にトレンチを形成して複数の単位セルにより構成される半導体装置の製造方法であって、

前記トレンチ側壁の主要面方位が [1 0 0] 及び [1 1 0] となるように形成し、

前記トレンチ内壁を熱酸化して酸化膜を形成し、

少なくとも前記酸化膜を介して前記トレンチ内にゲート電極を形成し、

前記トレンチにより囲まれた前記第 1 の半導体層の全面に第 2 導電型のベース領域を形成し、

前記ソース領域を介して対向する前記ベース領域と前記 [1 1 0] 面との最小対向距離が、前記ソース領域を介して対向する前記ベース領域と前記 [1 0 0] 面との最小対向距離よりも小さくなるように、前記ベース領域の表面に前記トレンチ側壁に沿う無端状の第 1 導電型のソース領域を形成する半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トレンチ構造を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

高耐圧、大電流容量を両立する代表的な半導体装置として、パワー MOSFET (Me

10

20

30

40

50

tal Oxide Semiconductor Field Effect Transistor)が知られている。このパワーMOSFETには、横型パワーMOSFETと縦型パワーMOSFETとがある。横型パワーMOSFETは、動作電流(ドレイン電流)が半導体基板の水平方向に流れるように設計されたものであり、縦型パワーMOSFETは、ドレイン電流を半導体基板の垂直方向に流すように設計されたものである。縦型パワーMOSFETは、横型パワーMOSFETに比して単位セルをより高密度化しやすく、オン電流を増大させることができる点に優れているため、近年普及してきている。縦型パワーMOSFETの中でも、特にチャンネルを基板に対して垂直に形成する、いわゆるトレンチ構造のもの(例えば、特許文献1~5)が優れている。

【0003】

図8は、第1の従来例に係るトレンチ構造の縦型パワーMOSFETの主要部の構成を示す平面図、図9(a)は図8中のC-C断面図、図9(b)は図8中のD-D断面図である。この縦型パワーMOSFET400は、図8及び図9に示すように、半導体基板101、ドリフト領域102、ベース領域103、ソース領域104、トレンチ105、ゲート酸化膜106、ゲート電極107、単位セル108、層間絶縁膜110、コンタクトホール111、ソース電極112、ドレイン電極113等を備えている。

【0004】

第1の従来例に係るトレンチ構造の縦型パワーMOSFET400は、図8及び図9に示すように、 n^+ 型半導体基板(高不純物濃度半導体基板)101上に、この半導体基板101より低不純物濃度のエピタキシャル層からなる n^- 型半導体層(低不純物濃度半導体層)からなるドリフト領域102が成膜されている。 n^- 型半導体層には、さらにp型不純物がイオン打ち込みされてp型ベース領域103が形成され、このp型ベース領域103の周囲にはドリフト領域102に達する深さのトレンチ105が形成されている。第1の従来例に係るトレンチ構造は、最もよく用いられる典型的な構造のものである。

【0005】

トレンチ105の内壁には、ゲート酸化膜106が形成され、ゲート酸化膜106の表面にはトレンチ105の溝部を埋め込むようにポリシリコン等からなるゲート電極107が形成されている。また、p型ベース領域103の表面には選択的にn型不純物がイオン打ち込みされ、トレンチ105に沿って無端状の n^+ 型ソース領域104が形成されている。トレンチ105の形状は、図8に示すように矩形形状により構成されている。Si(001)基板表面上の(100)面に等価な4つの面方位(以下[100]面と記述)に沿ってトレンチゲートが形成されている。

【0006】

p型ベース領域103、 n^+ ソース領域104、ゲート酸化膜106、ゲート電極107の表面には、層間絶縁膜110、ソース電極112がこの順に積層されている。層間絶縁膜110には、コンタクトホール111が形成され、このコンタクトホール111を介してp型ベース領域103及び n^+ ソース領域104とソース電極112とが電氣的に接続せしめられている。ドレイン電極113は、半導体基板101の主面(トレンチ105が形成されている側の面)とは反対側の裏面に形成されている。

【0007】

このような縦型パワーMOSFETは、オフ状態では、ドリフト領域102とベース領域103との界面に形成されるpn接合が逆バイアス印加によって空乏化する。一方、オン状態では、トレンチ105側壁にFETの反転層が形成され、ドレイン電極113からソース電極112に向かう電流(図9(b)中の矢印cで示す電流)が流れる。縦型パワーMOSFETでは、オフ状態での耐圧に対してオン状態の電流容量をできるだけ大きくなるように設計することが好ましい。

【0008】

縦型パワーMOSFETは、インダクタンス付加に接続されて用いられるため、スイッチオフ時にドレイン・ソース間に逆耐圧がかかり、一定以上の電流が流れると素子が破壊するという問題がある。破壊電流は素子破壊耐量と呼ばれ、高い破壊耐量が得られるよう

10

20

30

40

50

に素子を設計することが望ましい。

【0009】

縦型パワーMOSFETにおいては、素子破壊を防止することが重要な課題である。縦型パワーMOSFETの素子破壊の原因は、ソース、ベース、ドレインをそれぞれエミッタ、ベース、コレクタとみたNPNバイポーラトランジスタ（以下、「寄生バイポーラトランジスタ」と呼ぶ）の動作による。すなわち、図9（b）中の矢印で示す電流経路dのように、誘電電流の一部がベースを流れ、ベース電位が上昇することによって寄生バイポーラトランジスタがオン状態になると、温度上昇と電流増加の間に正のフィードバックがかかって素子破壊にいたる。

【0010】

上記第1の従来例においては、矩形形状のトレンチのセルコーナー部に電流が集中しやすい。このため、セルコーナー部付近でブレイクダウンが発生しやすく寄生バイポーラトランジスタがオン状態になりやすかった。

【0011】

上記特許文献1には、素子破壊耐量低下を防止する構造が提案されている（以下、「第2の従来例」という）。図10は、第2の従来例に係るトレンチ構造の縦型パワーMOSFET500の主要部の構成を示す平面図、図11（a）は図10中のE-E断面図、図11（b）は図10中のF-F断面図である。以降の説明において、第1の従来例に係る縦型パワーMOSFET400と同一の要素部材は、同一の符号を付し適宜その説明を省略する。

【0012】

第2の従来例に係る縦型パワーMOSFET500においては、電界が集中する単位セルのコンタクト部からセルコーナー部近傍にかけての対角線上にソース領域狭窄部116が配設されている。ソース領域狭窄部116を配設することにより、セルの対角線沿いのソース部分の長さ（図11（b）中のL5）が上記第1の従来例のそれ（図9（b）中のL4）に比して短くなっている。このような構成とすることにより、ドレイン電極からソース電極に向かう電流経路e（図11（b）参照）の距離を、電流経路d（図9（b）参照）の距離に比較して短くすることができる。その結果、電流経路eにおいてはベース通過部分が短縮されベース部の抵抗を小さくすることができる。このため、誘電性電流の一部がベースを流れてもベース電位上昇を小さくすることが可能となり、寄生バイポーラトランジスタが動作しにくくなる。その結果、素子破壊耐量の低下を抑制することができる。

【0013】

上記特許文献2には、トレンチを成す側壁の平面形状を八角形と4角形により構成し、これらの側壁面を[100]面及び[110]面より構成する技術が開示されている。これにより、トレンチコーナー部の電流集中を抑制することができるとしている。

【特許文献1】特開2001-60688号公報

【特許文献2】特開平9-213951号公報

【特許文献3】特開平10-270689号公報

【特許文献4】特開2004-79955号公報

【特許文献5】特開2004-55976号公報

【発明の開示】

【発明が解決しようとする課題】

【0014】

近年、電子機器の小型軽量化、動作の高速化、高周波化等に伴い、電子機器に搭載される半導体装置の高集積化が要求されている。縦型パワーMOSFETにおいても、素子破壊耐量の低下を防止しつつ、これまで以上にセルサイズの微細化を実現することが強く望まれている。

【0015】

しかしながら、上記特許文献1に係る半導体装置は、ソース領域狭窄部116を配設す

10

20

30

40

50

る必要があるため、セルサイズのさらなる微細化には不向きである。また、上記特許文献2に係る半導体装置も、トレンチが八角形形状と四角形形状との組み合わせの構造からなるため、さらなるセルサイズの微細化には不向きである。

【課題を解決するための手段】

【0016】

本発明に係る半導体装置は、第1導電型の半導体基板と、前記半導体基板の主面上に設けられた第2導電型のベース領域と、前記ベース領域の周囲に形成されたトレンチと、前記ベース領域の表面にトレンチに沿って形成された無端状の第1導電型のソース領域とを備えた半導体装置であって、前記トレンチ側壁面の主要面方位が[100]及び[110]からなり、前記トレンチ側壁面のうち相互に隣接して交叉する内角を 120° 以上とし、前記ソース領域を介して対向する前記[110]面と前記ベース領域との最小対向距離が、前記ソース領域を介して対向する前記[100]面と前記ベース領域との最小対向距離に比して小さいことを特徴とするものである。

10

【0017】

本発明によれば、上記のような構成とすることにより素子破壊耐量の低下を防止しつつ、セルサイズの微細化を実現することが可能である。その理由は、以下のとおりである。

本発明によれば、トレンチ側壁の主要面方位を[100]及び[110]により構成し、かつ、トレンチ側壁面のうち相互に隣接して交叉する内角を 120° 以上としているので、矩形セルに比してセルコーナーに沿ったチャンネルでの電流集中を緩和することができる。

20

また、ソース領域を介して対向する[110]面からなるトレンチ側壁とベース領域との最小対向距離を、ソース領域を介して対向する[110]面からなるトレンチ側壁とベース領域との最小対向距離に比して短く設定することにより、誘電電流の一部がベースを流れても単一セル内における全体としてのベース領域を通過する電流距離を、トレンチ側壁が[100]面のみからなる場合のそれに比して短くすることができる。このため、誘電性電流の一部がベースを流れてもベース電位上昇を抑制することができる。これらの結果、寄生バイポーラトランジスタが動作しにくくなり、素子破壊耐量の低下を防止することができる。

さらに、本発明に係るトレンチは、その側壁の主要面方位が[100]及び[110]からなり、トレンチ側壁の内角を 120° 以上にするという簡易な構造からなるので、セルサイズの微細化を実現することが可能である。

30

【発明の効果】

【0018】

本発明においては、素子破壊耐量の低下を防止しつつ、セルサイズの微細化を実現することが可能な半導体装置を提供することができるという優れた効果がある。

【発明を実施するための最良の形態】

【0019】

以下、本発明を適用した実施形態の一例について説明する。なお、本発明の趣旨に合致する限り、他の実施形態も本発明の範疇に属し得ることは言うまでもない。

【0020】

図1は、本実施形態に係る半導体装置のトレンチ構造の縦型パワーMOSFETの主要部の構成を示す平面図、図2(a)は図1中のA-A断面図、図2(b)は図1中のB-B断面図である。この縦型パワーMOSFET100は、図1及び図2に示すように、半導体基板1、ドリフト領域2、ベース領域3、ソース領域4、トレンチ5、ゲート酸化膜6、ゲート電極7、単位セル8、層間絶縁膜10、コンタクトホール11、ソース電極12、ドレイン電極13等を備えている。なお、図1においては、説明の便宜上、ゲート酸化膜6、ゲート電極7、層間絶縁膜10及びソース電極12の図示を省略している。ただし、コンタクトホール11の形成位置は図示してある。

40

【0021】

半導体基板1は、シリコン基板であって、例えば、 n^+ 型の半導体基板(高不純物濃度

50

半導体基板)よりなる。この半導体基板1上に、半導体基板1より低不純物濃度のエピタキシャル層からなるn⁻型の半導体層(低不純物濃度半導体層)からなるドリフト領域2が成膜されている。そして、n⁻型半導体層の上部にはp型不純物がイオン打ち込みされてp型ベース領域3が形成される。

【0022】

このp型ベース領域3の周囲にはドリフト領域2に達する深さのトレンチ5が形成されている。トレンチ5の内壁面には、ゲート酸化膜6が形成され、ゲート酸化膜6の表面にはトレンチ5の溝部を埋め込むようにポリシリコン等からなるゲート電極7が形成されている。また、p型ベース領域3の表面にはn型不純物がイオン打ち込みされてトレンチ5に沿って無端状のn⁺型ソース領域4が形成されている。

10

【0023】

層間絶縁膜10、ソース電極112は、図2に示すようにこの順にベース領域3、ソース領域4、ゲート酸化膜6、ゲート電極7上に積層せしめられている。層間絶縁膜10には、コンタクトホール11が形成され、このコンタクトホール11を介してp型ベース領域3及びn⁺ソース領域4と、ソース電極12とが電氣的に接続せしめられている。ドレイン電極13は、半導体基板1のトレンチ5が形成されている側とは反対側の面に形成されている。

【0024】

本実施形態に係るトレンチ構造の縦型パワーMOSFET100は、トレンチ構造の単位セルを複数(例えば、数10万個)備えている。縦型パワーMOSFET100は、オフ状態では、ドリフト領域2とベース領域3との界面に形成されるpn接合が逆バイアス印加によって空乏化する。一方、オン状態では、トレンチ5側壁にFETの反転層が形成され、ドレイン電極13からソース電極12に向かって電流が流れる(図1中の電流経路a)。

20

【0025】

次に、本実施形態に係る縦型パワーMOSFET100の単位セルの構造について詳述する。

本実施形態に係る縦型パワーMOSFET100のトレンチ5は、図1に示すように、側壁面のうち相互に隣接して交叉する内角を135°とし、Si(001)基板表面上に形成するトレンチ5の平面形状が八角形により構成されている。以下、Si(001)基板表面上の(100)面に等価な4つの面方位を[100]と記述し、(110)面に等価な4つの面方位を[110]と記述する。

30

トレンチ5の側壁の主要面方位は、[100]及び[110]よりなる。そして、以下の数5に示すように、ソース領域を介して対向するベース領域3とトレンチ5側壁の[110]面との最小対向距離L₂を、ソース領域を介して対向するベース領域3とトレンチ5側壁の[100]面との最小対向距離L₁よりも小さくなるように設定している。

【数5】

$$L_1 > L_2$$

【0026】

トレンチ5の側壁面のうち相互に隣接して交叉する内角を135°とすることにより、矩形セルに比してセルコーナーに沿ったチャンネルでの電流集中を緩和することができる。また、ソース領域を介して対向する[110]面からなるトレンチ側壁とベース領域との距離L₂を、ソース領域を介して対向する[100]面からなるトレンチ側壁とベース領域との距離L₁に比して短くしたので、誘電性電流の一部がベースを流れた場合における単一セル内における全体としてのベース領域を通過する電流距離を、トレンチ側壁が[100]面のみからなる場合のそれに比して短くすることができる。その結果、全体としてベース抵抗部を小さくすることができる。このため、誘電性電流の一部がベースを流れてもベース電位上昇を抑制することができる。

40

これらの結果、寄生バイポーラトランジスタが動作しにくくなり、素子破壊耐量の低下

50

を防止することができる。その結果、信頼性の高い半導体装置を提供することができる。

さらに、トレンチの主要面方位を [1 0 0] 及び [1 1 0] により構成し、トレンチの内角を 1 3 5 ° にするという簡易な構造であるのでセルサイズの微細化を実現することが可能である。

【 0 0 2 7 】

本実施形態に係る半導体装置は、半導体基板 1 の水平方向におけるトレンチ 5 側壁の [1 0 0] 面の辺を W 1、トレンチ 5 側壁の [1 1 0] 面の辺を W 2 により構成したときに、以下の数 6 を満たすように構成している。なお、W 1 及び W 2 は、それぞれの辺自体を指す符号であるとともに、その辺の長さを表す符号であるものとする。

【数 6】

$$W 1 > W 2$$

【 0 0 2 8 】

数 6 を満足することにより、チャネル領域における電子の移動度を高めてパワー M O S F E T の性能の向上を図ることができる。W 2 を構成する [1 1 0] 面近傍では、W 1 を構成する [1 0 0] 面に比して電流密度が高くなる。しかし、[1 1 0] 面近傍においては、ソース領域長を短くすることにより誘電性電流がベースを通過する距離を短くして、ベース抵抗部が小さくなるようにしているので、誘電性電流の一部が電流経路 b を流れてもベース電位上昇を抑制することができる。したがって、ベース電位上昇を小さくして寄生バイポーラトランジスタを動作しにくくし、素子破壊耐量の低下を防止することができる。

【 0 0 2 9 】

本実施形態に係るベース領域 3 の平面形状は、図 1 に示すように略正方形である。ベース領域 3 側壁は、トレンチ 5 側壁の [1 0 0] 面と平行な 4 つの側壁面からなる。ここで、ベース領域 3 の平面形状を構成する略正方形の辺を D a とする。また、トレンチ 5 側壁の [1 0 0] 面と、これに対向するトレンチ 5 側壁の [1 0 0] 面との最小対向距離を d とする。なお、D a は、辺自体を指す符号であるとともに、その辺の長さを表す符号であるものとする。ここで、L 1 と L 2 は、下記数 7 及び数 8 により与えられる。また、W 1 と W 2 は数 9 の関係を満たす。

【数 7】

$$L_1 = \frac{(d - D_a)}{2}$$

【数 8】

$$L_2 = \frac{\sqrt{2}(d - D_a)}{2} - \frac{W_2}{2}$$

【数 9】

$$W_1 = d - \sqrt{2}W_2$$

【 0 0 3 0 】

本実施形態においては、ベース領域の相互に隣接する D a の垂直二等分線の交点と、W 2 を介して隣接する 2 つの辺 W 1 の垂直二等分線の交点とが略一致するように配置されている。この場合において、上記数 7 及び上記数 8 を上記数 5 に代入することにより以下の数 1 0 及び数 1 1 を導くことができる。

10

20

30

40

【数 1 0】

$$W2 > (\sqrt{2}-1) (d-D_a) \approx 0.41 (d-D_a)$$

【数 1 1】

$$W1 < (\sqrt{2}-1) d + (2-\sqrt{2}) D_a \approx 0.41 d + 0.59 D_a$$

【0031】

図3は、数6、数9及び数10の関係をグラフに示したものである。横軸がW2、縦軸がW1を示し、図中の両矢印Pの領域が好ましいW2の範囲となる。上述したとおりW1はできるだけ大きいほうが好ましいので、両矢印Pの領域のうちW2が小さい(W1が大きい)ものほど好ましい。

10

【0032】

上記数5の関係を満たす範囲において、W1をできるだけ大きく設定することにより、パワーMOSFETの性能の向上を図りつつ、素子破壊耐量の低下を防止して信頼性の向上を図ることができる。すなわち、W1を大きく設定することによりチャネル領域における電子の移動度を高め、パワーMOSFETの性能の向上を図ることができる。また、上記数6の条件にすることにより、W2を構成する[110]面近傍では、W1を構成する[100]面に比して電流密度が高くなる。しかし、上記数9及び数10を満足することにより誘電性電流の一部が図2(b)に示す電流経路bを流れても、ベース抵抗部を小さくしているのでベース電位上昇を抑制することができる。したがって、ベース電位上昇を小さくして寄生バイポーラトランジスタを動作しにくくし、素子破壊耐量の低下を防止することができる。

20

【0033】

本実施形態においては、[100]面のW1の長さの設定条件を上記数11に代えて、下記数12にすることができる。

【数 1 2】

$$W1' = W1 + \sqrt{2}(r-1) (d-D_a)$$

30

その理由は、以下のとおりである。本実施形態においては、ゲート酸化膜6は、例えば、850程度の温度にてトレンチ5の表面を熱酸化することにより得る。この場合において、[110]面は、[100]面に比して酸化膜が厚くなる。酸化速度の面方位依存性があるためである。[110]面に比して[100]面の酸化膜が厚くなる結果、[110]面のトランスコンダクタンスの値は、[100]面のトランスコンダクタンスの値に比して小さくなる。

ここで、[100]面の酸化膜厚を t_1 、[110]面の酸化膜厚を t_2 とし、[100]面のトランスコンダクタンスの値を g_{m1} 、[110]面のトランスコンダクタンスの値を g_{m2} とすると、[100]面と[110]面とのトランスコンダクタンスの比 r は、以下の数13により表すことができる。

40

【数 1 3】

$$r = \frac{g_{m1}}{g_{m2}} = \frac{t_2}{t_1}$$

ベース電位降下は、ベース電流と上記ソース部の長さに比例する。従って、ブレイクダウン時のチャネル・コンタクト間のベース電位降下が、少なくとも電流経路bを通過するとき最大にならないための条件は、下記の数14により与えられる。

【数 1 4】

$$g_{m1} \cdot L_1 > g_{m2} \cdot L_2$$

数 1 3、数 1 4、数 7、及び数 8 より、上記数 1 2 を導くことができる。

【0 0 3 4】

上記数 1 2 から明らかなように、トランスコンダクタンスの比 $r (> 1)$ に応じて、[1 0 0] 面の 1 辺の長さを上記数 1 1 の W_1 の値よりも大きくすることができる。その結果、チャネル領域における電子の移動度をより効果的に高めてパワー MOSFET の性能の向上を図ることができる。

【0 0 3 5】

次に、本実施形態に係る半導体装置の製造方法について図 4 及び図 5 を参照しつつ説明する。図 4 及び図 5 は、いずれも図 1 中の A - A 断面図である。なお、下記製造工程は典型的な一例であり、本発明の趣旨に合致する限り他の製造方法を採用することができることは言うまでもない。

【0 0 3 6】

まず、図 5 (a) に示すように、基板表面が (1 0 0) 面からなるシリコンの例えば n^+ 型半導体基板 1 を用い、この半導体基板 1 上にこれより低不純物濃度の n^- 型半導体層 9 をエピタキシャル成長させる。次に、フォトリソグラフィ工程により、後述の p 型ベース領域 3 の周囲となる位置の n^- 型半導体層 9 に 1 ~ 2 μm のトレンチ 5 を形成して複数の単位セル 8 に分断する。フォトリソグラフィ工程では正方形の 4 隅を斜め 45° にカットした形状にパターニングしたフォトレジスト膜を用いる。本実施形態においては、主要面方位が [1 0 0] 及び [1 1 0] からなり、その平面形状が八角形であるトレンチを形成した。

【0 0 3 7】

次に、図 5 (b) に示すように、熱酸化法によりトレンチ 5 を含む全面にゲート酸化膜 6 を形成する。次に、CVD (Chemical Vapor Deposition) 法によりポリシリコン膜を全面に形成した後、リン拡散、エッチバックを順次行って不要部のポリシリコン膜を除去してトレンチ 5 内のみに埋め込むように残してゲート電極 7 を形成する。

【0 0 3 8】

次に、図 5 (c) に示すように、トレンチ 5 により囲まれた n^- 型半導体層 9 の全面に 1 ~ 2 μm の深さの p 型ベース領域 3 を形成する。例えば、p 型不純物としてボロン (B) を用いてイオン打ち込みした後、1 1 0 0 ~ 1 2 0 0 にて 1 0 ~ 2 0 分間アニール処理する。

続いて、図 5 (d) に示すように、 n^+ 型ソース領域 4 を形成する。具体的には、図 2 に示すようなベース領域に相当する形状にパターニングしたフォトレジスト膜をマスクとして p 型ベース領域 3 の表面にトレンチに沿って無端状に、 n 型不純物として砒素 (As) を用いてイオン打ち込みを行う。その後、例えば 9 8 0 ~ 1 0 5 0 にて 2 5 ~ 3 5 分間アニール処理する。p 型ベース領域 4 の膜厚は、例えば 0 . 4 ~ 0 . 8 μm とする。

【0 0 3 9】

次いで、CVD 法により、全面に層間絶縁膜 1 0 を形成し、フォトリソグラフィ法により、ゲート酸化膜 6 及び層間絶縁膜 1 0 をパターニングしてコンタクト開口部 1 1 を形成する。その後、このコンタクト開口部 1 1 を通じてソース電極 1 2 を形成する。

【0 0 4 0】

本実施形態に係る半導体装置の製造方法によれば、トレンチ側壁を [1 0 0] 面及び [1 1 0] 面により形成し、トレンチ側壁のうち相互に隣接して交叉する内角を 1 2 0° 以上にするという簡易な方法により形成しているため、従来構造に比べて加工精度をほとんど変更する必要がなくセルサイズの微細化を図ることが可能である。

また、トレンチ 5 を形成した後に、高温処理を伴ったベース領域 3 及びソース領域 4 の形成を行うので、特にトレンチ 5 及びこのトレンチ 5 の近傍位置の半導体結晶に熱的影響

10

20

30

40

50

を与えることなく、特性的に安定したトレンチ構造を形成することができる。

さらに、ソース領域を介して対向する[110]面からなるトレンチ側壁とベース領域との最小対向距離を、ソース領域を介して対向する[100]面からなるトレンチ側壁とベース領域との最小対向距離に比して短く設定することにより、誘電性電流の一部がベース領域を流れた場合であっても単一セル内における全体としてのベース領域を通過する電流距離を短くすることができる。その結果、誘電性電流の一部がベースを流れても全体としてベース抵抗部を小さくして、ベース電位上昇を抑制することができる。その結果、寄生バイポーラトランジスタが動作しにくくなり、素子破壊耐量の低下を防止することができる。

10

【0041】

なお、本実施形態においては、ソース領域の平面形状を略正方形としたが、これに限定されるものではなく、ソース領域を介して対向する[110]面とベース領域との最小対向距離が、[100]面と、ソース領域を介して対向するベース領域との最小対向距離に比して小さい範囲に設定する限りにおいて、他の形状を選択することが可能である。また、トレンチの平面形状として八角形形状の例を説明したが、これに限定されるものではなく、トレンチ側壁のうち相互に隣接して交叉する内角を 120° 以上に設定すれば他の形状を適用することが可能である。さらに、本実施形態においては、[100]面の半導体基板1の水平方向における辺の長さ、[110]面の半導体基板1の水平方向における辺

20

【0042】

[変形例1]

次に、上記実施形態のトレンチ構造とは異なる変形例について説明する。図6は、本変形例1に係るトレンチ構造を示す平面図である。なお、以降の説明において、上記実施形態と同一の要素部材は、同一符号を付し適宜その説明を省略する。

【0043】

本変形例1に係る半導体装置200は、以下の点を除く基本的な構成は上記実施形態と同じである。すなわち、上記実施形態に係るトレンチ5は、W1及びW2よりなる八角形により構成されていたが、本変形例に係るトレンチ5aは、図6に示すようにW1、W2、及びW3よりなる八角形により構成される点異なる。また、上記実施形態に係るベース領域3は、その平面形状が略正方形により構成されていたが、本変形例に係るベース領域3aは、その平面形状が略長方形により構成されている点異なる。

30

【0044】

より具体的には、トレンチ5a側壁の[100]面の辺をW1及びW3により構成し、トレンチ5a側壁の[110]面の辺をW2により構成する。ここで、 $W1 < W3$ とする。また、ベース領域3aの縦、横をW1に平行な辺をD_a、W3に平行な辺をD_bにより

40

構成する。ベース領域の平面形状が略長方形の場合には、まずベース領域3の辺のうち短辺となるD_aの辺の長さを一辺とする略正方形のベース領域が最適形状となるようにW1及びW2を決定する。そして、ベース領域3aの相互に隣接する2つのD_aの垂直二等分線の交点と、W2を介して隣接するW1とW3の垂直二等分線の交点とが略一致するようにし、かつ、W1の中点及びW3の中点からベース領域までの最小対向距離が略一致する関係となるようにW3を決定する。すなわち、以下の数15～数18を満足するようにトレンチ5aとベース領域3aの配置を決定する。

【数 1 5】

$$D_b - D_a = W_3 - W_1 \geq 0$$

【数 1 6】

$$W_1 > W_2$$

【数 1 7】

$$W_1 = d - \sqrt{2}W_2$$

【数 1 8】

$$W_2 > (\sqrt{2} - 1) (d - D_a)$$

10

【0 0 4 5】

上記数 1 5 ~ 数 1 8 を満足させることにより、ベース領域の平面形状を長方形とした場合においても、上記実施形態と同様にベース領域 3 a とトレンチ 5 a 側壁の [1 1 0] 面との最小対向距離を、ベース領域 3 a とトレンチ 5 a 側壁の [1 0 0] 面との最小対向距離に比して短くしつつ、W 1 及び W 3 の大きさを大きく設定することができる。したがって、上記実施形態と同様の理由により素子破壊耐量の低下を防止しつつ、チャンネル領域における電子の移動度を高めてパワー MOS F E T の性能の向上を図ることができる。さらに、上記実施形態と同様にセルサイズの微細化を実現することが可能である。

20

【0 0 4 6】

[変形例 2]

次に、上記実施形態のトレンチ構造とは異なる変形例について説明する。図 7 は、本変形例 2 に係るトレンチ構造を示す平面図である。

【0 0 4 7】

本変形例 2 に係る半導体装置 3 0 0 は、以下の点を除く基本的な構成は上記実施形態と同じである。すなわち、上記実施形態に係るベース領域 3 b の隣接する側壁面の内角を 9 0 ° としていたが、本変形例においては、図 7 に示すようにベース領域 3 b の隣接する側壁面同士の当接部である角部を R 形状となるように構成した点が異なる。

【0 0 4 8】

このように構成することにより、ベース電流密度がベースコーナー付近に集中するのを緩和することができる。その結果、ベースの電位降下をより効果的に抑制することができる。

30

【符号の説明】

【0 0 4 9】

- 1 半導体基板
 - 2 ドリフト領域
 - 3、3 a ベース領域
 - 4 ソース領域
 - 5、5 a トレンチ
 - 6 ゲート酸化膜
 - 7 ゲート電極
 - 8 単位セル
 - 9 n - 型半導体層
 - 1 0 層間絶縁膜
 - 1 1 コンタクトホール
 - 1 2 ソース電極
 - 1 3 ドレイン電極
- 1 0 0、2 0 0、3 0 0 縦型パワー MOS F E T

40

【図面の簡単な説明】

50

【 0 0 5 0 】

【 図 1 】 実施形態に係る半導体装置の主要部の構成を示す平面図。

【 図 2 】 (a) 図 1 中の A - A 切断部断面図、 (b) 図 1 中の B - B 切断部断面図。

【 図 3 】 実施形態に係る W 2 の好ましい範囲を示す説明図。

【 図 4 】 実施形態に係る半導体装置の製造方法を示す工程図。

【 図 5 】 実施形態に係る半導体装置の製造方法を示す工程図。

【 図 6 】 変形例 1 に係る半導体装置の主要部構成を示す平面図。

【 図 7 】 変形例 2 に係る半導体装置の主要部の構成を示す平面図。

【 図 8 】 第 1 の従来例に係る半導体装置の主要部の構成を示す平面図。

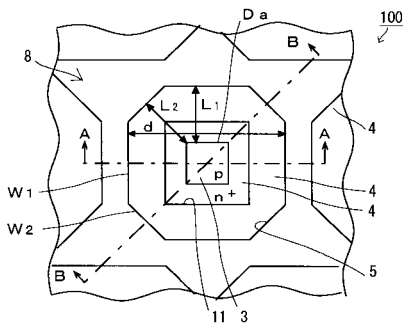
【 図 9 】 (a) 図 8 中の A - A 切断部断面図、 (b) 図 8 中の B - B 切断部断面図。

10

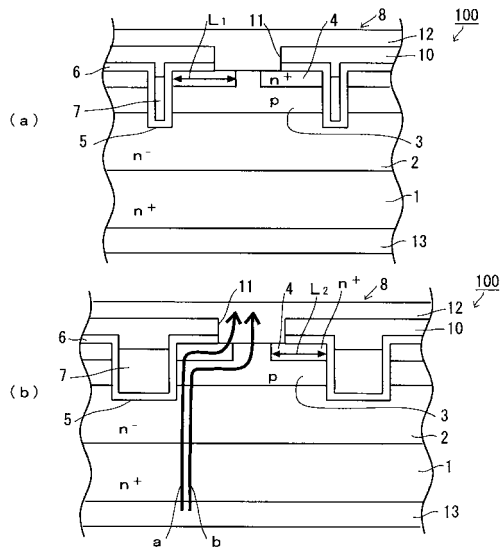
【 図 1 0 】 第 2 の従来例に係る半導体装置の主要部の構成を示す平面図。

【 図 1 1 】 (a) 図 1 0 中の A - A 切断部断面図、 (b) 図 1 0 中の B - B 切断部断面図

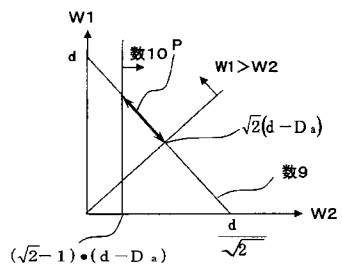
【 図 1 】



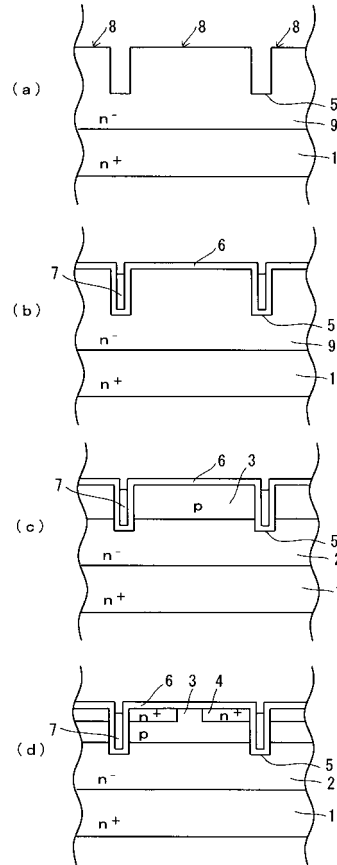
【 図 2 】



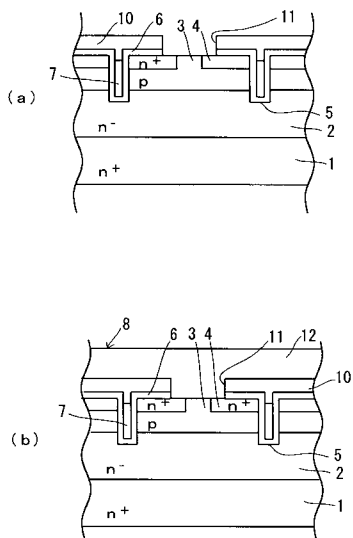
【 図 3 】



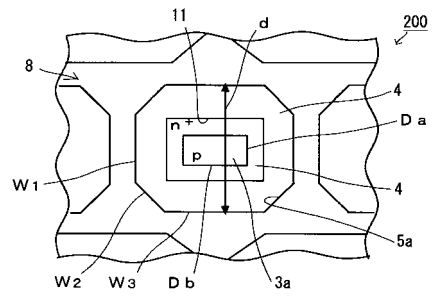
【 図 4 】



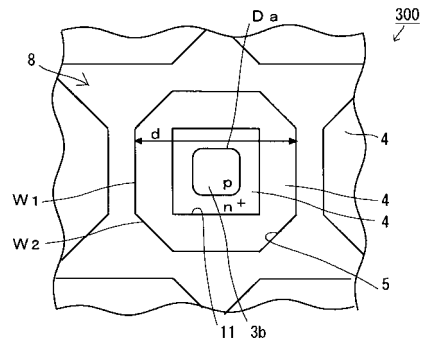
【 図 5 】



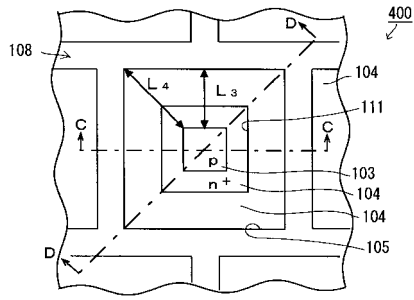
【 図 6 】



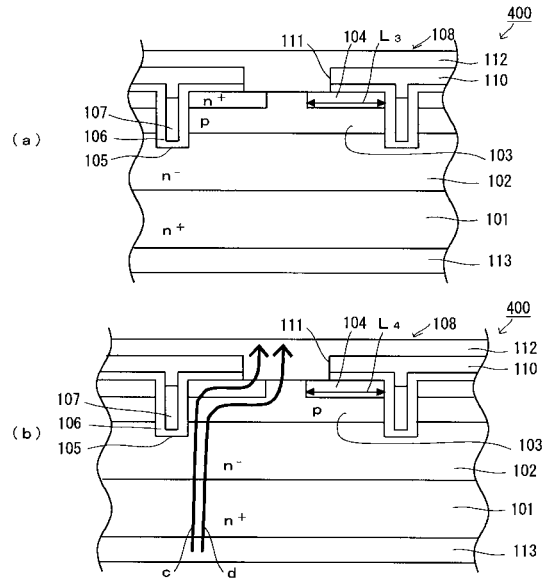
【 図 7 】



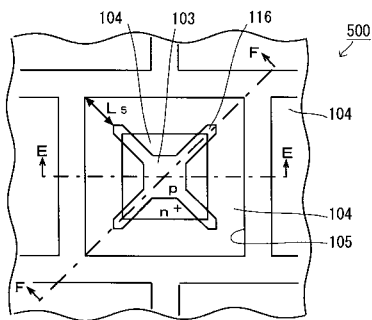
【図8】



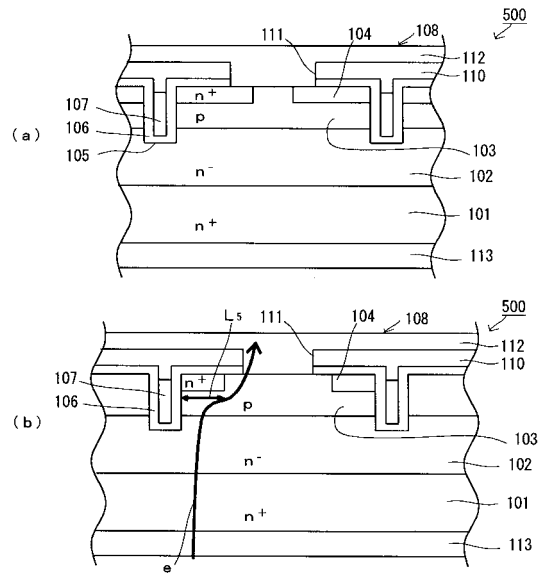
【図9】



【図10】



【図11】



フロントページの続き

(56)参考文献 特開2004-079955(JP,A)
特開平09-213951(JP,A)
特開2002-050760(JP,A)
特開2001-102576(JP,A)
特開2001-060688(JP,A)
特表2002-533936(JP,A)
国際公開第03/079453(WO,A1)

(58)調査した分野(Int.Cl., DB名)
H01L 29/78
H01L 21/336