

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6544958号
(P6544958)

(45) 発行日 令和1年7月17日(2019.7.17)

(24) 登録日 令和1年6月28日(2019.6.28)

(51) Int.Cl.		F I			
GO 1 R	31/28	(2006.01)	GO 1 R	31/28	V
HO 1 L	21/822	(2006.01)	GO 1 R	31/28	G
HO 1 L	27/04	(2006.01)	HO 1 L	27/04	T

請求項の数 17 (全 23 頁)

(21) 出願番号	特願2015-54607 (P2015-54607)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22) 出願日	平成27年3月18日(2015.3.18)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2016-173349 (P2016-173349A)	(72) 発明者	岩田 浩幸 神奈川県横浜市神奈川区金港町3番地1 ルネサスシステムデザイン株式会社内
(43) 公開日	平成28年9月29日(2016.9.29)	審査官	續山 浩二
審査請求日	平成29年11月27日(2017.11.27)		

最終頁に続く

(54) 【発明の名称】 半導体装置及び設計装置、スキャンフリップフロップ

(57) 【特許請求の範囲】

【請求項1】

一以上のスキャンフリップフロップがシリアルに接続された一以上のスキャンチェーンと、組み合わせ回路とを備え、

前記スキャンフリップフロップが、前記スキャンチェーン内の前記スキャンフリップフロップをシフトレジスタとして動作させるスキャンシフト動作と、前記組み合わせ回路の出力をキャプチャするキャプチャ動作とを切り替え可能な半導体装置であって、

前記スキャンフリップフロップは、

前記スキャンシフト動作時において、外部から入力される外部入力テスト信号及び同じ前記スキャンチェーン内の前段のスキャンフリップフロップを介して入力されるシフトテスト信号のいずれかを選択する選択部と、

前記選択部によって選択された外部入力テスト信号又はシフトテスト信号を出力するフリップフロップと、

を有し、

前記半導体装置は、複数の前記スキャンチェーンの出力側に接続され、複数の前記スキャンチェーンからの出力を圧縮変換する圧縮器を備える、

半導体装置。

【請求項2】

前記スキャンフリップフロップに設定されるテストパターンに応じて、前記選択部が前記外部入力テスト信号又は前記シフトテスト信号のいずれを選択するかを制御する制御回

路をさらに備える、

請求項 1 に記載の半導体装置。

【請求項 3】

前記圧縮器は、前記スキャンチェーンの本数に応じて圧縮率を変更する、

請求項 1 に記載の半導体装置。

【請求項 4】

複数の前記スキャンチェーンと前記圧縮器との間に設けられ、複数の前記スキャンチェーンからの出力のうち、特定のテスト結果の一部の前記圧縮器への入力を遮断するマスク回路をさらに備える、

請求項 1 に記載の半導体装置。

10

【請求項 5】

前記スキャンチェーンは、前記スキャンシフト動作と前記キャプチャ動作とを切り替え可能なシフト用スキャンフリップフロップを含み、

前記シフト用スキャンフリップフロップは、

前記スキャンシフト動作時において、入力される前記外部入力テスト信号又は前記シフトテスト信号をそのまま出力する、

請求項 1 に記載の半導体装置。

【請求項 6】

複数の前記スキャンチェーンの入力側に接続され、前記外部入力テスト信号を前記スキャンチェーンの本数に応じて伸張変換する伸張器をさらに備え、

前記シフト用スキャンフリップフロップは、前記伸張器に接続される、

請求項 5 に記載の半導体装置。

20

【請求項 7】

複数の前記スキャンチェーンの入力側に接続され、前記外部入力テスト信号を前記スキャンチェーンの本数に応じて伸張変換する伸張器をさらに備える、

請求項 1 に記載の半導体装置。

【請求項 8】

一以上のスキャンフリップフロップがシリアルに接続された一以上のスキャンチェーン内の該スキャンフリップフロップをシフトレジスタとして動作させるスキャンシフト動作と、組み合わせ回路の出力をキャプチャするキャプチャ動作とを切り替え可能なスキャンフリップフロップを備える半導体装置の設計装置であって、

予め設定されたプログラムに従って所定の処理を実行可能な演算処理装置を備え、

前記演算処理装置は、

前記スキャンシフト動作時において、外部から入力される外部入力テスト信号及び同じ前記スキャンチェーン内の前段のスキャンフリップフロップを介して入力されるシフトテスト信号のいずれかを出力するかを選択可能な前記スキャンフリップフロップを含む半導体装置を、ネットリストを参照して生成する回路生成処理を実行し、

更に、複数の前記スキャンチェーンの出力側に、複数の前記スキャンチェーンからの出力を圧縮変換する圧縮器を挿入する圧縮器挿入処理を実行する、

設計装置。

30

40

【請求項 9】

前記演算処理装置は、

予め入力された故障リストから検出対象候補故障を選択し、当該検出対象候補故障に対応するケアビットを算出するケアビット算出処理と、

前記ケアビットに応じて、前記外部入力テスト信号又は前記シフトテスト信号のいずれを選択するかを制御し、前記スキャンチェーンの構成を切り替える切替処理を実行する、

請求項 8 に記載の設計装置。

【請求項 10】

前記演算処理装置は、

切替えられた前記スキャンチェーンの構成に応じて、テストステップ数が極小となるよ

50

うなテストパターンを生成するテストパターン生成処理を更に実行する、
請求項 9 に記載の設計装置。

【請求項 1 1】

前記演算処理装置は、
切り替えられた前記スキャンチェーンの構成における制約条件下で、他の故障を検出する追加ケアビットを生成する追加ケアビット生成処理を更に実行する、
請求項 1 0 に記載の設計装置。

【請求項 1 2】

前記圧縮器は、前記スキャンチェーンの本数に応じて圧縮率を変更する、
請求項 8 に記載の設計装置。

10

【請求項 1 3】

前記演算処理装置は、
複数の前記スキャンチェーンと前記圧縮器との間に、複数の前記スキャンチェーンからの出力のうち、特定のテスト結果の一部の前記圧縮器への入力を遮断するマスク回路をさらに挿入する処理を実行する、
請求項 8 に記載の設計装置。

【請求項 1 4】

前記演算処理装置は、
前記回路生成処理において、
前記スキャンシフト動作と前記キャプチャ動作とを切り替え可能であり、前記スキャンシフト動作時において、入力される前記外部入力テスト信号又は前記シフトテスト信号をそのまま出力するシフト用スキャンフリップフロップをさらに含む半導体装置を生成する、
請求項 8 に記載の設計装置。

20

【請求項 1 5】

前記演算処理装置は、
複数の前記スキャンチェーンの入力側に、前記外部入力テスト信号を前記スキャンチェーンの本数に応じて伸張変換する伸張器をさらに挿入し、
前記シフト用スキャンフリップフロップを、前記伸張器に接続する処理を実行する、
請求項 1 4 に記載の設計装置。

30

【請求項 1 6】

前記演算処理装置は、
複数の前記スキャンチェーンの入力側に、前記外部入力テスト信号を前記スキャンチェーンの本数に応じて伸張変換する伸張器をさらに挿入する処理を実行する、
請求項 8 に記載の設計装置。

【請求項 1 7】

一以上のスキャンフリップフロップがシリアルに接続された一以上のスキャンチェーン内の該スキャンフリップフロップをシフトレジスタとして動作させるスキャンシフト動作と、組み合わせ回路の出力をキャプチャするキャプチャ動作とを切り替え可能なスキャンフリップフロップであって、

40

前記スキャンフリップフロップは、

前記スキャンシフト動作時において、外部から入力される外部入力テスト信号、又は、同じ前記スキャンチェーン内の前段のスキャンフリップフロップを介して入力されるシフトテスト信号を選択する選択部と、

前記選択部において選択された外部入力テスト信号又はシフトテスト信号を出力するフリップフロップと、

を備え、

前記選択部は、

前記外部入力テスト信号が入力される第 1 スキャンイン端子と、

前記シフトテスト信号が入力される第 2 スキャンイン端子と、

50

前記スキャンシフト動作と前記キャプチャ動作とを切り替える切替信号が入力される第1制御入力端子と、

前記外部入力テスト信号又は前記シフトテスト信号を選択する制御信号が入力される第2制御入力端子と、

を備える、

スキャンフリップフロップ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及び設計装置に関し、例えば可変圧縮スキャンテスト可能な半導体装置及びその設計装置に関する。

10

【背景技術】

【0002】

L S I (Large Scale Integration) の一般的なテスト手法としてスキャンテストがある。スキャンテストでは、回路内のフリップフロップ (F F) がスキャン F F と呼ばれるマルチプレクサ (M U X) 付の F F に置換される。 M U X は、スキャンイネーブル信号により、テスト入力と通常動作入力とを切り替える。

【0003】

スキャンテスト時には、スキャン F F が L S I の外部入出力端子から制御可能なシフトレジスタ (これを「スキャンチェーン」と呼ぶ) として動作するように、スキャン F F 同士がシリアルに接続される。スキャンイネーブル信号に応じて、スキャンチェーンをシフト動作 (これを「スキャンシフト動作」と呼ぶ) させることによって、任意のテストパターンが各スキャン F F に設定される。

20

【0004】

そして、スキャンイネーブル信号を切り替えることにより、通常動作入力からの値がスキャン F F に取り込まれる (これを「キャプチャ動作」と呼ぶ)。キャプチャ動作で取得された値は再びスキャン F F でシフトされ、応答が観測される (アンロード)。このアンロードと同時に、次のテストパターンの印加 (ロード) が行われる。このようにしてスキャンテストが実行される。

【0005】

30

スキャンテストでは、スキャンチェーンに接続されているスキャン F F 数に対応したシフトサイクル数が必要であるため、非常に長いテストステップ数が必要となる。スキャンチェーンの段数が大きい回路ではスキャンテスト時間が長くなり、テストコストに大きく影響してしまう。

【0006】

特許文献 1 には、スキャンチェーンにシフト動作をさせるためのテストパターン数を低減するスキャンチェーンの構築方法が開示されている。特許文献 1 に記載のスキャンチェーンでは、複数のスキャン F F 間にバイパス用のセレクタが挿入されている。この構築方法では、複数のスキャン F F にそれぞれ接続された組み合わせ回路のテストに必要なテストパターン数を算出し、該テストパターン数に対応して複数のスキャン F F がグループ化される。テストが終了した組み合わせ回路に接続されるスキャン F F をグループ単位でバイパスさせることで、シフト動作をパスさせてテストパターン数を低減する。

40

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2 0 0 4 - 7 7 3 5 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

スキャンテスト時間を削減する他の手法として、圧縮スキャンがある。圧縮スキャンで

50

は、外部端子数よりも多くのスキャンチェーンを内部に構築することで、スキャンチェーン1本辺りのスキャンFFの段数を削減する。そして、外部端子から供給した値を、伸張回路を經由して内部のスキャンチェーン本数分に展開し、各スキャンFFにテストパターンを印加する。また、スキャンチェーンからの出力を圧縮回路で圧縮して外部出力チャンネルで観測する。

【0009】

圧縮スキャンでは、伸張回路及び圧縮回路を用いない場合と比較して、故障検出に必要なスキャンFFの設定値(ケアビット)を少ないシフトサイクル数で設定することができる。また、少ないシフトサイクル数で全スキャンFFの観測を行うことができ、外部出力端子1bit(1サイクル)辺りの故障検出数を増やし、テストステップ数を削減す

10

【0010】

従来の圧縮スキャンでは圧縮率を変更することができないため、テストパターン数が少なくなるような最適な圧縮率をユーザが考える必要がある。圧縮率を上げ過ぎると故障検出に必要なケアビットが設定できず、故障検出率が低下し、テストパターン毎の検出効率も落ちる。

【0011】

特定のスキャンFFにおける故障検出に必要なケアビットは、他のスキャンFFの値との組み合わせで決定される。特許文献1では、複数の組み合わせ回路をテストするのに必要なテストパターン数に基づいてスキャンチェーンの構成を変更している。効果的にスキャンチェーン段数を低減させるためには、ケアビットに応じてパターン毎にスキャンチェーン構成を変える必要があり、構成数が増え過ぎるために実用的な面積オーバーヘッドで実現できない。

20

【0012】

また、圧縮スキャンで設定可能なケアビットは、スキャンチェーンの構成によっても変化する。特許文献1では、圧縮スキャンを想定した手法とはなっておらず、圧縮スキャンの場合にスキャンチェーンの段数を低減させることはできない。

【0013】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

30

【課題を解決するための手段】

【0014】

一実施の形態によれば、スキャンチェーンを構成するスキャンフリップフロップは、スキャンシフト動作時において、外部から入力される外部入力テスト信号及び同じ前記スキャンチェーン内の前段のスキャンフリップフロップを介して入力されるシフトテスト信号のいずれかを選択して出力することが可能な論理構造を有する。

【0015】

なお、上記実施の形態の半導体装置の設計装置、設計方法、設計方法の一部の処理をコンピュータに実行せしめるプログラムなども、本発明の態様としては有効である。

40

【発明の効果】

【0016】

前記一実施の形態によれば、テストパターン毎に圧縮率を変更することで、検出効率を低下させることなく、テストステップ数を低減させることが可能となる。

【図面の簡単な説明】

【0017】

【図1】実施の形態1に係る半導体装置の構成を示す図である。

【図2】実施の形態1に係る半導体装置の制御の一例を示す図である。

【図3】実施の形態1に係る半導体装置の制御の他の例を示す図である。

【図4】実施の形態1に係る半導体装置の動作を説明する図である。

50

- 【図 5】実施の形態 2 に係る半導体装置の構成を示す図である。
 【図 6】実施の形態 3 に係る半導体装置の構成を示す図である。
 【図 7】実施の形態 3 に係る半導体装置の動作を説明する図である。
 【図 8】実施の形態 4 に係る半導体装置の構成を示す図である。
 【図 9】実施の形態 5 に係る半導体装置の構成を示す図である。
 【図 10】実施の形態 6 に係る半導体装置の構成を示す図である。
 【図 11】実施の形態 6 に係る半導体装置において、圧縮率が異なる場合のテストステップ数と故障検出率との関係を示すグラフである。
 【図 12】実施の形態 7 に係る半導体装置の設計装置を示す図である。
 【図 13】実施の形態 7 に係る半導体装置の設計フローの一例を示す図である。
 【図 14】実施の形態 7 に係る半導体装置の設計フローの他の例を示す図である。
 【図 15】比較例の半導体装置の構成を示す図である。
 【図 16】比較例の半導体装置において、圧縮率が異なる場合のテストステップ数と故障検出率との関係を示すグラフである。
 【図 17】比較例の半導体装置の設計フローを示す図である。
 【発明を実施するための形態】

10

【0018】

以下、図面を参照しながら、実施の形態について説明する。説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される要素は、ハードウェア的には、CPU、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解される所であり、いずれかに限定されるものではない。以下の実施の形態に示す具体的な値等は、発明の理解を容易とするための例示にすぎず、特に断る場合を除き、それに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

20

【0019】

実施の形態は、圧縮スキャンテストが可能な半導体装置とその設計装置に関する。実施の形態に係る半導体装置は、外部入出力端子数とスキャンチェーンの本数の比である圧縮率をテストパターンごとに切替えてスキャンテストを行うことが可能な論理構造を有する。スキャンチェーンの本数を切替え可能な論理回路は、各スキャンチェーンを構成するスキャンフリップフロップ(SFF)を含む。このSFFは、外部から入力される外部入力テスト信号及びスキャンチェーン上でシフトされるシフトテスト信号のいずれか一方を選択して出力することが可能な構成を有する。制御信号によってスキャンチェーンの経路を変化させることで、スキャンチェーン本数が切替えられる。

30

【0020】

以下、圧縮率を変更可能なスキャンテストを可変圧縮スキャンテストと呼ぶ。実施の形態は、スキャンテスト時間の削減が必要な、MCU(Micro Controller Unit)やSoC(System-on-a-chip)等の半導体装置に適用可能である。また、実施の形態に係る設計装置は、可変圧縮スキャンテストを実現する半導体装置を設計するEDA(electronic design automation)ツールとして用いられる。

40

【0021】

実施の形態 1 .

実施の形態 1 に係る半導体装置について、図 1 を参照して説明する。図 1 は、実施の形態に係る半導体装置 1 の構成を示す図である。図 1 に示すように、半導体装置 1 は、複数のMMSSF(マルチモード対応スキャンフリップフロップ)10、マルチモード制御回路20、圧縮器30を備えている。ここでは、スキャンチェーンの本数が異なる各スキャンチェーン構成をモードと呼び、複数のモードをマルチモードとする。マルチモード対応スキャンフリップフロップとは、外部入力テスト信号又はシフトテスト信号を選択して出

50

力することにより、圧縮スキャンテストの圧縮率を変えた複数のスキャンチェーン構成をとることができるスキャンフリップフロップである。

【0022】

半導体装置1では、一以上のMMSFF10がシリアルに接続されることにより、一以上のスキャンチェーンが構築される。複数のスキャンチェーンの入力側には、伸張器が接続される。伸張器は、外部入力テスト信号をスキャンチェーンの本数に応じて伸張変換する。なお、図1では、ファンアウト構成の伸張器を用いた例を示しており、伸張器の図示は省略されている。伸張器は、線形帰還シフトレジスタ(LSFR)や位相器を用いたものを用いることも可能である。

【0023】

図1に示す例では、8個のMMSFF10がシリアルに接続された状態を示している。各MMSFF10の出力は圧縮器30に接続される。圧縮器30は、複数のスキャンチェーンからの出力を圧縮変換する。圧縮器30は、XOR(exclusive OR)ツリーで構成される。圧縮器30は、各MMSFF10からの出力を1つの出力に圧縮する。最小のスキャンチェーン本数は外部入出力端子ペア数に対応する。図1の例では、最少のスキャンチェーン本数は1本であり、最大のスキャンチェーン本数は8本である。

【0024】

MMSFF10は、スキャンチェーン内のMMSFF10をシフトレジスタとして動作させるスキャンシフト動作と、組み合わせ回路からの出力をキャプチャするキャプチャ動作とを切り替えることが可能である。スキャンシフト動作では、各MMSFF10に値が設定される。キャプチャ動作では、シフト動作において各MMSFF10に設定された値が組み合わせ回路に供給され、組み合わせ回路での論理演算結果がキャプチャされる。ここで、スキャンシフト動作、キャプチャ動作で転送される値をテストパターンとする。

【0025】

MMSFF10は、MUX(マルチプレクサ)11、FF(フリップフロップ)12、データ端子DATA、第1スキャンイン端子SIN1、第2スキャンイン端子SIN2、第1制御入力端子SMC1、第2制御入力端子SMC2、クロック端子CLKを有している。MUX11は、第1制御入力端子SMC1から入力されるスキャンイネーブル信号(scan-en)により、スキャンシフト動作とキャプチャ動作とを切り替える。すなわち、スキャンイネーブル信号(scan-en)は、スキャンシフト動作とキャプチャ動作とを切り替える切替信号である。

【0026】

また、MUX11は、スキャンシフト動作時において、伸張器から入力される外部入力テスト信号、又は、同じスキャンチェーン内の前段のスキャンフリップフロップから入力されるシフトテスト信号を選択する。外部入力テスト信号は、外部から入力される、圧縮スキャンテストを行うためのMMSFF10への設定値である。シフトテスト信号は、外部入力テスト信号がMMSFF10間をシフトされたものである。MMSFF10は、第1スキャンイン端子SIN1と第2スキャンイン端子SIN2の2系統のスキャンイン端子を有している。MUX11には、第1スキャンイン端子SIN1から外部入力テスト信号が入力され、第2スキャンイン端子SIN2からシフトテスト信号が入力される。

【0027】

MMSFF10は、第1制御入力端子SMC1に加えて、外部入力テスト信号とシフトテスト信号の選択制御用の第2制御入力端子SMC2の2系統の制御入力端子を有している。MMSFF10の出力を切り替える圧縮率制御信号は、第2制御入力端子SMC2から入力される。MUX11は、圧縮率制御信号に応じて、外部入力テスト信号又はシフトテスト信号を選択する。すなわち、圧縮率制御信号は、外部入力テスト信号及びシフトテスト信号のいずれかを選択する選択信号である。FF12は、MUX11によって選択された外部入力テスト信号又はシフトテスト信号を保持し、クロック端子CLKから入力されるテストクロック信号に応じて出力する。

【0028】

10

20

30

40

50

換言すると、MMSFF10は、伸張器又はスキャンチェーン内の前段のMMSFF10と選択的に接続可能である。すなわち、MMSFF10は、伸張器と接続される第1の状態と、同じスキャンチェーン内の前段のMMSFF10と接続される第2の状態とを切り替えることができる。MMSFF10には、テストパターン毎にマルチモード制御回路20から圧縮率制御信号が供給される。MMSFF10は、テストパターンに応じて、接続先を伸張器か前段のMMSFF10かに切り替える。

【0029】

例えば、第1制御入力端子SMC1から入力されるスキャンイネーブル信号が、ロウ(0)の時にデータ端子DATAが有効となり、ハイ(1)の時に第1スキャンイン端子SIN1/第2スキャンイン端子SIN2が有効となる。また、第2制御入力端子SMC2から入力される圧縮率制御信号が、ロウ(0)の時に第1スキャンイン端子SIN1の経路が有効となり、ハイ(1)の時に第2スキャンイン端子SIN2の経路が有効となる。各MMSFF10の第1スキャンイン端子SIN1は伸張器が接続され、第2スキャンイン端子SIN2には同じスキャンチェーンの前段のMMSFF10の出力が接続される。

【0030】

マルチモード制御回路20は、MMSFF10に設定されるテストパターンに応じて、MUX11が外部入力テスト信号又はシフトテスト信号のいずれを選択するかを制御する制御回路である。マルチモード制御回路20は、シフトレジスタ21、ホールドレジスタ22、デコーダ23を有する。シフトレジスタ21には、外部から外部入力テスト信号と圧縮率制御信号を含むスキャンイン信号(scan_in)が入力される。

【0031】

図1に示す例では、シフトレジスタ21は、複数のMMSFF10と直列接続されている。スキャンテスト動作期間において、外部入力テスト信号はシフトレジスタ21内で転送され、図示しない伸張器を介してMMSFF10に入力される。なお、マルチモード制御回路20は必ずしも各MMSFF10と直列接続する必要はなく、マルチモード制御回路20に専用の入力端子を設けて、各スキャンチェーンを独立して制御する構成も可能である。

【0032】

圧縮率制御信号はスキャンシフト動作時にシフトレジスタ21に設定され、アップデート信号(update)信号でホールドレジスタ22に取り込まれる。ホールドレジスタ22は、スキャンシフト動作期間中は不変である。アップデート信号に応じて、ホールドレジスタ22に取り込まれた圧縮率制御信号がデコーダ23でデコードされ、各MMSFF10の第2制御入力端子SMC2に供給される。

【0033】

ここで、図2、3を参照して、実施の形態1に係る半導体装置の制御例について説明する。図2はスキャンチェーンが2本のモードであり、図3はスキャンチェーンが4本のモードである。図2に示す例では、圧縮率制御信号として、2番目のMMSFF10から順に、「1110111」の7ビットの値が設定されている。この場合、先頭のMMSFF10と、先頭から5番目のMMSFF10とを先頭とした2本のスキャンチェーンが構築される。各スキャンチェーンは、4段のMMSFF10からなる。先頭のMMSFF10と先頭から5番目のMMSFF10には外部入力テスト信号が入力され、他のMMSFF10には前段のMMSFF10からのシフトテスト信号が入力される。

【0034】

図3に示す例では、圧縮率制御信号として、2番目のMMSFF10から順に、「1010101」の7ビットの値が設定されている。この場合、先頭のMMSFF10と、先頭から3番目、5番目、7番目のMMSFF10とを先頭とした4本のスキャンチェーンが構築される。各スキャンチェーンは、2段のMMSFF10からなる。先頭、3番目、5番目、7番目のMMSFF10には外部入力テスト信号が入力され、他のMMSFF10には前段のMMSFF10からのシフトテスト信号が入力される。同様に、スキャンチェーンを1本8段のモードとする場合は「1111111」、8本1段のモードとする場合

10

20

30

40

50

は、「0000000」の圧縮率制御信号が入力される。

【0035】

構成可能なマルチモード数は、マルチモード制御回路20から出力可能な制御信号の組合せ数に依存する。例えば、ホールドレジスタ22が2ビットであれば、4通りのマルチモードが選択できる。

【0036】

ここで、図4を参照して、半導体装置1の動作について説明する。図4は、実施の形態1に係る半導体装置の動作を説明する図である。図4において、test_clockはテストクロック信号、scan_enはスキャンイネーブル信号、updateはアップデート信号、scan_inはスキャンイン信号を示している。上述したように、スキャンイン信号は、外部入力テスト信号と圧縮率制御信号とを含む。ホールドレジスタ22からの出力信号をmultimode control hold resistorとし、シフトレジスタ21からの出力信号をmultimode control shift resistorと示している。shift1~shift4は、スキャンシフト動作を行うスキャンシフト期間を示しており、capture1~capture3は、キャプチャ動作を行うキャプチャ期間を示している。set_upは、最初にスキャンチェーンを構築するセットアップ期間である。

【0037】

図1に示す回路構成では、マルチモード制御回路20のシフトレジスタ21とスキャンチェーンとが直列に接続されているため、スキャンイン信号として外部入力テスト信号が入力された後に、次のテストパターンに対する圧縮率制御信号が入力される。外部入力テスト信号はスキャンシフト動作で各MMSFF10に印加される。

【0038】

まず、セットアップ期間では、セットアップ期間に続くスキャンシフト期間shift1に入力されるテストパターンに対する圧縮率制御信号が入力される。この圧縮率制御信号は、シフトレジスタ21に設定され、アップデート信号に応じてホールドレジスタ22に取り込まれる。ホールドレジスタ22に取り込まれた圧縮率制御信号は、第2制御入力端子SMC2に出力される。MMSFF10は、第2制御入力端子SMC2から入力された圧縮率制御信号に応じて、スキャンチェーンの経路を変化させる。

【0039】

上述の通り、圧縮率制御信号が1のときは同じスキャンチェーン内の前段のMMSFF10、圧縮率制御信号が0のときは伸張器の出力が選択される。つまり、0の圧縮率制御信号が入力されるMMSFF10は、スキャンチェーンの起点となる。図4に示す例では、スキャンシフト期間shift1のテストパターンに対するマルチモード設定は、2倍設定となっている。セットアップ期間には、2本のスキャンチェーンが構築される圧縮率制御信号がシフトレジスタ21に設定される。

【0040】

そして、アップデート信号に応じてシフトレジスタ21に設定されていた圧縮率制御信号が、ホールドレジスタ22に取り込まれる。この圧縮率制御信号は、スキャンシフト期間shift1中保持される。スキャンシフト期間shift1では、図2に示すように、2本/4段のスキャンチェーンが構築されるモードとなる。

【0041】

その後、スキャンイネーブル信号の立ち上がりに応じて、2本のスキャンチェーンが構築されたモードでスキャンシフト動作が行われる。スキャンシフト期間shift1に入力されるスキャンイン信号は、当該期間で各MMSFF10に設定されるテストパターンに対応する外部入力テスト信号と、次のスキャンシフト期間shift2でMMSFF10に設定されるテストパターンに対する圧縮率制御信号とを含む。スキャンシフト期間shift1では、まず外部入力テスト信号が入力された後に、次のテストパターンに対する圧縮率制御信号が入力される。

【0042】

外部入力テスト信号は伸張器でスキャン本数分に伸張展開される。そして、スキャンチ

10

20

30

40

50

エインの本数に対応するスキャンシフト回数でスキャンシフト動作が実行され、各MMSSF10にそれぞれテストパターンが設定される。外部入力テスト信号が入力された後に、次のテストパターンに対する圧縮率制御信号が入力される。図4に示す例では、次のスキャンシフト期間shift2のテストパターンに対するマルチモードの設定は、4倍設定となっている。スキャンシフト期間shift1には、4本のスキャンチェーンが構築される圧縮率制御信号がシフトレジスタ21に設定される。

【0043】

そして、スキャンイネーブル信号が立ち下がりに応じて、キャプチャ動作が行われる。キャプチャ期間には、データ端子DATAから通常動作信号が入力され、MMSSF10に設定されたテストパターンが図示しない組み合わせ回路に供給される。組み合わせ回路での論理演算結果は、MMSSF10に取り込まれる。キャプチャ動作で取得された値は再びスキャンFFでシフトされ、応答が観測される。

10

【0044】

その後、アップデート信号に応じてシフトレジスタ21に設定されていた圧縮率制御信号が、ホールドレジスタ22に取り込まれる。この圧縮率制御信号は、スキャンシフト期間shift2中保持される。スキャンシフト期間shift2では、図3に示すように4本/2段のスキャンチェーンが構築されるモードとなる。このように、前回のスキャンシフト期間shift1に、次のスキャンシフト期間shift2で設定されるテストパターンに対する圧縮率制御信号がシフトレジスタ21に入力される。そして、スキャンシフト期間shift2では、スキャンイネーブル信号の立ち上がりに応じて、4本のスキャンチェーンが構築されたモードでスキャンシフト動作が行われる。

20

【0045】

同様に、スキャンシフト期間中shift2に、次のスキャンシフト期間中shift3で設定されるテストパターンに対する圧縮率制御信号が入力される。図4に示す例では、次のスキャンシフト期間shift3のテストパターンに対するマルチモードの設定は、1倍設定となっている。スキャンシフト期間shift2には、1本のスキャンチェーンが構築される圧縮率制御信号が入力される。これにより、スキャンシフト期間shift3では、1本のスキャンチェーンが構築されるモードとなる。

【0046】

このように、実施の形態1の半導体装置1では、スキャンテスト時に、マルチモード制御回路20から供給する圧縮率制御信号で、圧縮スキャンテストにおけるスキャンチェーンの本数及び段数をテストパターン毎に任意に変化させることができる。すなわち、マルチモード制御回路20は、テストパターン毎にスキャンチェーンの経路を更新してスキャンテストを行う。これにより、スキャンシフト回数を変化させることが可能となる。

30

【0047】

ここで、比較例の半導体装置について説明する。図15は、比較例の半導体装置の構成を示す図である。図15に示すように、比較例に係る半導体装置は、スキャンシフト動作とキャプチャ動作の切替えのみが可能なスキャンFF101を有している。このようなスキャンFF101を用いた圧縮スキャン設計では、外部端子数よりも多くのスキャンチェーンが構成され、スキャンチェーン1本当たりのスキャンFF101の段数が削減される。スキャンチェーンの入力側には伸張器102が接続され、スキャンチェーンの出力側には圧縮器103が接続されている。

40

【0048】

このような比較例の圧縮スキャンテストでは、圧縮率を変更することができないため、ユーザが、テストステップ数が少なくなるように最適な圧縮率を考える必要がある。圧縮率を上げ過ぎると故障検出に必要なケアビットを設定することができないため、故障検出率が低下し、テストパターン毎の検出効率も落ちる。短いテストステップ数で高故障検出率のテストパターン集合は、各サイクルの各入出力端子の1ビット(1サイクル)辺りの同時検出故障数を上げることで実現できると考えられる。

【0049】

50

比較例の従来の圧縮スキャンでは圧縮率が常に固定になるため、シフトサイクル数が一定になる。このスキャンシフトサイクル中には、故障検出に貢献できていないサイクルが発生している可能性がある。図16に、比較例の半導体装置において、圧縮率が異なる場合のテストステップ数と故障検出率との関係を示す。図16では、任意のテスト回路に対する高圧縮スキャン設計（圧縮率309倍）と、低圧縮スキャン設計（圧縮率32倍）の結果を示している。なお、テスト時間は、テストステップ数に比例する。

【0050】

図16に示すように、故障検出率が94%程度までは高圧縮スキャン設計の方が故障検出率の傾きが大きいのにに対し、それ以降では低圧縮スキャン設計の方が故障検出率の傾きが大きくなった。これから、故障検出率の上昇率が大きくなるように、高圧縮スキャン設計と低圧縮スキャン設計とをテストパターンに応じて切り替えることができれば、テストステップ数を削減できる可能性があることがわかる。例えば、図16の例で、故障検出率94%付近で、高圧縮スキャン設計から低圧縮スキャン設計へと単純に切替えただけでも10%程度のテストステップ数の削減が期待できる。

10

【0051】

上述の通り、実施の形態1に係る半導体装置は、テストパターン毎に任意の圧縮率で圧縮スキャンテストを実行することが可能である。このため、より柔軟に高圧縮スキャン設計と低圧縮スキャン設計の構成を切替えて、故障対象の検出に最適な圧縮率を設定することが可能となる。これにより、さらにテストステップ数を削減し、より効率のよい圧縮スキャンテストを実行することが可能となる。例えば、検出容易な故障については高圧縮スキャン設計を適用することで、テストステップ数を大幅に削減できる。

20

【0052】

なお、MMSFF10は、スキャンFF101と比較して面積が10%程度増加する。スキャンFF101のチップの論理部に占める面積の割合が10%程度である場合、全スキャンFF101をMMSFF10で置換すると、チップの論理部の面積は約1%増加することとなる。このように、MMSFF10を用いた場合でも、チップの面積増加への影響は少ない。このように、実施の形態1では、MMSFF10とマルチモード制御回路20との組み合わせにより、複数のスキャンチェーン構成を切り替えることが可能な論理構造を、低面積で実現することが可能である。

30

【0053】

実施の形態2 .

実施の形態2に係る半導体装置について、図5を参照して説明する。図5は、実施の形態2に係る半導体装置1Aの構成を示す図である。図5に示すように、半導体装置1Aは、複数のMMSFF10、マルチモード制御回路20、圧縮率可変圧縮器30Aを備えている。実施の形態2において、実施の形態1と異なる点は、圧縮器30の代わりに可変圧縮器30Aを備えている点である。

【0054】

可変圧縮器30Aは、スキャンチェーンの本数に応じて圧縮率を変更することができる。可変圧縮器30Aは、XOR (exclusive OR) ツリーと、MUX (マルチプレクサ) 31 (31a ~ 31c) とを備える。各MMSFF10からの出力は、XOR ツリーを構成するXORゲートに入力される。例えば、図5に示すように、先頭と5番目のMMSFF10の出力が第1XORゲートに入力され、3番目と7番目のMMSFF10の出力が第2XORゲートに入力され、2番目と6番目のMMSFF10の出力が第3XORゲートに入力され、4番目と8番目のMMSFF10の出力が第4XORゲートに入力される。MUX31aには、8番目のMMSFF10の出力と第4XORゲートの出力が入力される。

40

【0055】

第1XORゲートと第2XORゲートの出力は2段目の一方のXORゲートに、第3XORゲートと第4XORゲートの出力は2段目の他方のXORゲートに入力される。MUX31bには、2段目の他方のXORゲートの出力と、MUX31aの出力が入力される

50

。2段目の2つのXORゲートの出力は、3段目のXORゲートに入力される。MUX 31cには、3段目の他方のXORゲートの出力と、MUX 31bの出力が入力される。

【0056】

各MUX 31には、マルチモード制御回路20から圧縮率制御信号が入力される。MUX 31は、圧縮率制御信号により、スキャンチェーンの圧縮率と可変圧縮器30Aにおける圧縮率とが同一になるように制御される。したがって、同時に観測されるMMSFF 10数がスキャンチェーンの本数に制限される。圧縮率制御信号により設定されたスキャンチェーンの最終段のMMSFF 10からの出力は、可変圧縮器30Aにより圧縮される。

【0057】

実施の形態1では、MMSFF 10のいずれか1つに不定値(X)が取り込まれた場合、圧縮器30の出力まで不定値が伝搬し、すべてのMMSFF 10の同時観測が不可能となる。この不定値の伝搬により、故障検出率が低下する、又は、テストパターン数が増加して、テスト時間が長くなるという問題が発生する場合がある。

【0058】

これに対し、実施の形態2では、スキャンチェーンの構成の切替えに合わせて、スキャンチェーンの本数に対応するように、可変圧縮器30Aの圧縮率を変化させることができる。このように、可変圧縮器30Aの、圧縮率制御信号により設定されたスキャンチェーンの最終段のMMSFF 10から外部スキャンアウト端子までの経路を変更することにより、不定値の影響により故障検出率の低下やテストパターン数の増加を抑制することが可能となる。

【0059】

実施の形態3 .

実施の形態3に係る半導体装置について、図6を参照して説明する。図6は、実施の形態3に係る半導体装置1Bの構成を示す図である。図6に示すように、半導体装置1Bは、複数のMMSFF 10、マルチモード制御回路20、圧縮率可変圧縮器30B、マスク制御回路40を備えている。実施の形態3において、実施の形態2と異なる点は、可変圧縮器30Aに代えて可変圧縮器30Bを備え、可変圧縮器30Bを制御するマスク制御回路40を有している点である。

【0060】

可変圧縮器30Bは、可変圧縮器30Aと同様に、MUX 31(31a~31c)を有している。また、1段目の4つのXORゲートの入力側にはそれぞれマスク回路32が設けられている。すなわち、マスク回路32は、複数のスキャンチェーンと圧縮器との間に設けられている。マスク回路32は、複数のスキャンチェーンからの出力のうち、特定の論理演算結果の一部の圧縮器への入力を遮断する。

【0061】

マスク制御回路40は、遮断する論理演算結果に応じてマスク回路32の有効/無効を制御する。マスク制御回路40は、シフトレジスタ41、ホールドレジスタ42、デコーダ43を有している。シフトレジスタ41は、マルチモード制御回路20のシフトレジスタ21と直列に接続されている。実施の形態3では、シフトレジスタ21とシフトレジスタ41とMMSFF 10とが直列に接続されている。したがって、実施の形態3では、スキャンイン信号は、外部入力テスト信号、圧縮率制御信号、マスク制御信号を含む。なお、マルチモード制御回路20とマスク制御回路40とスキャンチェーンとを直列接続する必要はなく、別の入力端子を設けて外部より独立して制御する構成も可能である。

【0062】

マスク制御信号がシフトレジスタ41内で転送されることにより、各シフトレジスタにその値が設定される。マスク制御信号は、スキャンシフト期間中にシフトレジスタ41に設定される。シフトレジスタ41に設定されたマスク制御信号は、アップデート信号でホールドレジスタ42に取り込まれる。ホールドレジスタ42の設定値はデコーダ43でデコードされ、マスク回路32に供給される。マスク回路32がマスク制御信号に応じて、スキャンチェーンから入力される論理演算結果の一部を遮断する。

10

20

30

40

50

【 0 0 6 3 】

例えば、マスク回路 3 2 は、スキャンチェーンから入力される不定値の伝搬を阻止することができる。マスク回路 3 2 は、所定のテストパターンでのキャプチャ動作で不定値を取り込んだ M M S F F 1 0 を含むスキャンチェーンに対してマスクする。これにより、不定値の影響による故障検出率の低下やテストパターン数の増加を抑制することが可能となる。

【 0 0 6 4 】

また、所定のテストパターンでマスク対象としたスキャンチェーンの故障観測のために、別のテストパターンではそのスキャンチェーンのマスクを行わないように制御することができる。これにより、当該スキャンチェーン上の不定値を取り込む M M S F F 1 0 以外の M M S F F 1 0 の故障を観測することができる。

10

【 0 0 6 5 】

ここで、図 7 を参照して、半導体装置 1 B の動作について説明する。図 7 は、実施の形態 3 に係る半導体装置 1 B の動作を説明する図である。ホールドレジスタ 4 2 からの出力信号を mask control hold resistor とし、シフトレジスタ 2 1 からの出力信号を mask control shift resistor と示している。上述の通り、実施の形態 3 では、スキャンイン信号は、外部入力テスト信号、圧縮率制御信号、マスク制御信号を含む。なお、他の信号については、図 4 と同様である。

【 0 0 6 6 】

実施の形態 3 では、スキャンイン信号として外部入力テスト信号が入力された後に、次のテストパターンに対するマスク制御信号が入力され、その後、次のテストパターンに対する圧縮率制御信号が入力される。まず、セットアップ期間では、セットアップ期間に続くスキャンシフト期間 s h i f t 1 に入力されるテストパターンに対する圧縮率制御信号が入力される。スキャンシフト期間 s h i f t 1 では、2 本のスキャンチェーンが構築されるモードとなる。

20

【 0 0 6 7 】

その後、スキャンイネーブル信号の立ち上がりに応じて、2 本のスキャンチェーンが構築されたモードでスキャンシフト動作が行われる。スキャンシフト期間 s h i f t 1 に入力されるスキャンイン信号は、当該期間で各 M M S F F 1 0 に設定されるテストパターンに対応する外部入力テスト信号と、次のスキャンシフト期間 s h i f t 2 で M M S F F 1 0 に設定されるテストパターンに対するマスク制御信号と圧縮率制御信号とを含む。

30

【 0 0 6 8 】

外部入力テスト信号は伸張器でスキャン本数分に伸張展開され、スキャンシフト動作により、各 M M S F F 1 0 にそれぞれ値が設定される。外部入力テスト信号が入力された後に、次のテストパターンに対するマスク制御信号が入力される。マスク制御信号はシフトレジスタ 4 1 内で転送され、各シフトレジスタにその値が設定される。その後、次のテストパターンに対する圧縮率制御信号が入力される。

【 0 0 6 9 】

図 7 に示す例では、次のスキャンシフト期間 s h i f t 2 のテストパターンに対するマルチモードの設定は、4 倍設定となっている。スキャンシフト期間 s h i f t 1 には、4 本のスキャンチェーンが構築される圧縮率制御信号がシフトレジスタ 2 1 に設定される。そして、スキャンイネーブル信号が立ち下がりに応じて、キャプチャ動作が行われる。また、圧縮率制御信号は M U X 3 1 a ~ 3 1 c にそれぞれ供給される。可変圧縮器 3 0 B の圧縮率は、スキャンチェーンの圧縮率と同一になるように制御される。

40

【 0 0 7 0 】

その後、アップデート信号に応じて、ホールドレジスタ 4 2 に設定されていたマスク制御信号が、ホールドレジスタ 4 2 に取り込まれる。また、アップデート信号に応じて、シフトレジスタ 2 1 に設定されていた圧縮率制御信号が、ホールドレジスタ 2 2 に取り込まれる。このマスク制御信号、圧縮率制御信号は、スキャンシフト期間 s h i f t 2 中保持される。

50

【 0 0 7 1 】

スキャンシフト期間 $s h i f t 2$ では、4本のスキャンチェーンが構築されるモードとなる。また、マスク制御信号に応じた、マスク回路 3 2 の制御がなされ、任意の論理演算結果の圧縮器への入力遮断される。以降、同様に、次のスキャンシフト期間中で設定されるテストパターンに対するマスク制御信号、圧縮率制御信号が設定される。

【 0 0 7 2 】

実施の形態 2 では、不定値を取り込んだ $M M S F F 1 0$ の観測サイクルにおいて、他のスキャンチェーンの不定値を取り込んだ $M M S F F 1 0$ と同じ段数にあるすべての $M M S F F 1 0$ の観測が不可能であった。これに対し、実施の形態 3 では、スキャンチェーン毎に不定値の伝搬を遮断することができる。これにより、不定値の影響で観測不可能となっていた $M M S F F 1 0$ の観測が可能となり、故障検出率の低下を抑制することが可能となる。

10

【 0 0 7 3 】

なお、実施の形態 3 では、可変圧縮器 3 0 B は、圧縮率を変更する $M U X 3 1$ とマスク回路 3 2 とを備える構成としたが、 $M U X 3 1$ を備えず、マスク回路 3 2 のみを備えた構成とすることも可能である。

【 0 0 7 4 】

実施の形態 4 .

実施の形態 4 に係る半導体装置について、図 8 を参照して説明する。図 8 は、実施の形態 4 に係る半導体装置 1 C の構成を示す図である。図 8 に示すように、半導体装置 1 C は、複数の $M M S F F 1 0$ 、マルチモード制御回路 2 0、圧縮率可変圧縮器 3 0 B、マスク制御回路 4 0 A を備えている。実施の形態 4 に係る半導体装置は、伸張器の圧縮率と可変圧縮器の圧縮率とを独立して制御可能な構造を有する。

20

【 0 0 7 5 】

実施の形態 3 では、可変圧縮器 3 0 B がマルチモード制御回路 2 0 からの圧縮率制御信号で制御されていたのに対し、実施の形態 4 では、マスク制御回路 4 0 A から供給される圧縮器制御信号により制御される。マスク制御回路 4 0 A は、マスク回路 3 2 を制御する機能に加えて、可変圧縮器 3 0 B の圧縮率の変更を制御する機能を有する。

【 0 0 7 6 】

マスク制御回路 4 0 A は、シフトレジスタ 4 1 A、ホールドレジスタ 4 2 A、デコーダ 4 3 A を有している。シフトレジスタ 4 1 A は、マルチモード制御回路 2 0 のシフトレジスタ 2 1 と直列に接続されている。実施の形態 3 では、シフトレジスタ 2 1 とシフトレジスタ 4 1 と $M M S F F 1 0$ とが直列に接続されている。

30

【 0 0 7 7 】

シフトレジスタ 4 1 A には、マスク制御信号とともに、可変圧縮器 3 0 B の圧縮率を制御する圧縮器制御信号の値が、 $M M S F F 1 0$ に入力される圧縮率制御信号とは別に設定される。したがって、実施の形態 4 では、スキャンイン信号は、外部入力テスト信号、圧縮率制御信号、マスク制御信号、圧縮器制御信号を含む。可変圧縮器 3 0 B は、スキャンチェーンの圧縮率（伸張器の圧縮率）と異なる圧縮率に設定することが可能である。

【 0 0 7 8 】

実施の形態 2、3 では、伸張器と圧縮器とが同じ圧縮率となるため、前のテストパターンに対する圧縮率と次のテストパターンに対する圧縮率とに相互に依存関係があった。このように前後の圧縮率に依存関係が発生するため、テストパターンの値を各 $M M S F F 1 0$ に設定するときに制限が生じる。

40

【 0 0 7 9 】

これに対し、実施の形態 4 では、伸張器と可変圧縮器 3 0 B の圧縮率を独立して制御することができる。このため、前のテストパターンに対する圧縮率の影響を受けることなく、次のテストパターンを各 $M M S F F 1 0$ に設定することが可能となる。

【 0 0 8 0 】

例えば、マスク回路 3 2 でマスクされるスキャンチェーンを考慮して、可変圧縮器 3 0

50

Bの圧縮率を変更することで、圧縮器30の圧縮効率低下を抑制することが可能となる。すなわち、圧縮器30の圧縮効率低下を抑制するような組み合わせで、可変圧縮器30Bの圧縮率の変更とマスク回路32の制御を行うことができる。

【0081】

また、不定値が存在するスキャンチェーンをマスクする場合、マスク回路32による圧縮効率低下を抑制するような、可変圧縮器30Bの圧縮率、マスク回路32の制御を選択することができる。例えば、1本のスキャンチェーンのみをマスクする場合、高圧縮スキャン構成の方がマスク対象となるMMSFF10の数が少なくなる。このように、伸張器と圧縮器をそれぞれ異なる圧縮率とすることで、マスク回路32によるマスク処理による圧縮効率低下を抑制することができ、テストパターン数を削減することが可能となる

10

【0082】

実施の形態5 .

実施の形態5に係る半導体装置について、図9を参照して説明する。図9は、実施の形態5に係る半導体装置1Dの構成を示す図である。図9に示すように、半導体装置1Dは、複数のMMSFF10、複数のSFF(スキャンフリップフロップ)50、マルチモード制御回路20、圧縮率可変圧縮器30C、マスク制御回路40Bを備えている。テストステップ数削減の観点では、細か過ぎるマルチモード制御は不必要となる場合がある。実施の形態5では、スキャンチェーンがMMSFF10とSFF50とを含み、実施の形態4よりも最大圧縮率を抑制している。

【0083】

20

SFF50は、スキャンシフト動作とキャプチャ動作とを切り替え可能なシフト用スキャンフリップフロップであり、スキャンシフト動作時において、入力される外部入力テスト信号又はシフトテスト信号をそのまま出力する。図9に示すように、半導体装置1Dでは、先頭、2番目、4番目、6番目、8番目にSFF50が配置されており、3番目、5番目、7番目にMMSFF10が配置されている。

【0084】

先頭のSFF50は、外部から入力される外部入力テスト信号を後段のSFF50にそのまま出力する。2番目のSFF50は、先頭のSFF50から入力されたシフトテスト信号を3番目のMMSFF10に出力する。3番目のMMSFF10は、圧縮率制御信号に応じて、外部入力テスト信号とシフトテスト信号のいずれか一方を出力する。

30

【0085】

実施の形態4の半導体装置1CのようにすべてがMMSFF10の場合と比較すると、実施の形態5の半導体装置1Dでは最大圧縮率が1/2となる。すなわち、図8の回路構成では最大圧縮率が8倍だったのに対し、図9の回路構成では最大圧縮率が4倍となる。任意の最大圧縮率に合わせて一部のMMSFF10をSFF50に置換することができる。全てMMSFF10の場合に達成可能な最大圧縮率の1/N倍にする場合、最低圧縮率のスキャンチェーン構成のときにN個毎に1個MMSFF10を配置する。

【0086】

実施の形態5によれば、すべてをMMSFF10で構成した場合と比較して、面積を小さくすることができる。例えば、最大圧縮率を1/10とすると、スキャンチェーン内のMMSFF10による置換対象が1/10となる。MMSFF10、SFF50のチップの論理部に占める面積の割合が10%程度である場合、最大圧縮率を1/10とするとチップの論理部に対する面積の影響は約0.1%となる。なお、先頭のSFF50には外部入力テスト信号のみが入力されるため、先頭はSFF50に固定することができる。当該SFF50は、伸張器に接続される。これにより、さらに半導体装置の面積の増加を抑制することができる。

40

【0087】

実施の形態6 .

実施の形態6に係る半導体装置について、図10を参照して説明する。図10は、実施の形態5に係る半導体装置1Eの構成を示す図である。図10に示すように、半導体装置

50

1 E は、複数の M M S F F 1 0、マルチモード制御回路 2 0、圧縮率可変圧縮器 3 0 B、マスク制御回路 4 0 A を備えている。実施の形態 6 に係る半導体装置 1 E は、伸張器として、ファンアウト構成の伸張器ではなく、リングジェネレータ 6 0 を有している。

【 0 0 8 8 】

リングジェネレータ 6 0 は、マルチモード制御回路 2 0、マスク制御回路 4 0 A と直列接続されている。外部から入力されたスキャンイン信号は、外部入力テスト信号、圧縮器制御信号、マスク制御信号、圧縮率制御信号を含む。外部入力制御信号が、マルチモード制御回路 2 0 のシフトレジスタ 2 1、マスク制御回路 4 0 A のシフトレジスタ 4 1 A を抜けて、リングジェネレータ 6 0 に供給される。外部入力テスト信号は、リングジェネレータ 6 0 でスキャンチェーンの本数に応じて伸張・展開され、各スキャンチェーンの先頭の M M S F F 1 0 に供給される。

10

【 0 0 8 9 】

図 1 1 に、ファンアウト構成の伸張器を用いた場合とリングジェネレータを用いた場合の、テストステップ数と故障検出率の関係を示す。図 1 1 に示すように、リングジェネレータを用いた場合、少ないテストステップ数で、故障検出率が高いことがわかる。このように、伸張器としてリングジェネレータを用いることで、ファンアウト構成の伸張器を用いる場合よりもテストステップ数の削減、故障検出率を向上させることができる。ただし、リングジェネレータを用いることで、ファンアウト構成の伸張器を用いた場合よりも面積が大きくなる。

【 0 0 9 0 】

20

実施の形態 7 .

実施の形態 7 に係る設計装置 1 0 0 について、図 1 2 を参照して説明する。設計装置 1 0 0 は、スキャンチェーン本数を切替えながら圧縮スキャンテスト可能な半導体装置を設計し、その半導体装置を利用してスキャンチェーン本数をテストパターン毎に切替えながら圧縮スキャンテストを行うテストパターンを生成する設計装置である。

【 0 0 9 1 】

設計装置 1 0 0 は、演算処理装置 1 1 0、記憶装置 1 2 0、制御入力装置 1 3 0、表示出力装置 1 3 1 を有する。演算処理装置 1 1 0 は、半導体装置の設計に必要なプログラムをロードして設計に必要な各機能プロセスを実行可能な装置であり、C P U やメモリ等を含む。演算処理装置 1 1 0 は、スキャン化実行プログラム 1 1 1、圧縮・制御回路付加プログラム 1 1 2、A T P G プログラム 1 1 3 を有している。

30

【 0 0 9 2 】

記憶装置 1 2 0 は、ネットリスト 1 2 1、機能ライブラリ 1 2 2、テスト制約 D B 1 2 3、スキャン化ネットリスト 1 2 4、圧縮回路付加ネットリスト 1 2 5、テストパターン D B 1 2 6 を有している。記憶装置 1 2 0 は、ライブラリやネットリストの情報を保存する H D D ディスクやメモリなどの記憶媒体を指す。設計装置 1 0 0 は、演算処理装置 1 1 0 のプログラムを使用し、記憶装置 1 2 0 のネットリストやライブラリを参照して、上述の実施の形態で説明した可変圧縮スキャンテスト可能な半導体装置を生成し、これのテストを行うためのテストパターンを生成する。

【 0 0 9 3 】

40

制御入力装置 1 3 0 は、ユーザが演算処理装置 1 1 0 及び記憶装置 1 2 0 を操作するための装置の総称で、キーボードやマウス等が挙げられる。表示出力装置 1 3 1 は、ユーザが演算処理装置 1 1 0 及び記憶装置 1 2 0 の動作を確認するためのもので、ディスプレイ等が挙げられる。

【 0 0 9 4 】

ネットリスト 1 2 1 には、A N D ゲートや、O R ゲート、E O R ゲート等のセル情報や端子間の接続情報等が記憶されている。機能ライブラリには、セルの機能や置換リスト等が記憶されている。置換リストには、例えば、スキャンチェーンを構成する S F F を M M S F F で置換する情報が含まれる。演算処理装置 1 1 0 は、スキャン化プログラム 1 1 1 を実行することにより、ネットリスト 1 2 1、機能ライブラリ 1 2 2 を参照して、可変圧

50

縮スキャンテストが可能な半導体装置のスキャン化ネットリストを生成する。

【0095】

スキャン化プログラム111は、一般的なスキャンチェーンの構築機能に加えて、圧縮率制御信号によって複数のスキャンチェーン構成に切替可能な半導体装置を生成する。スキャンチェーン構成の切替えに必要な論理として、SFF50の挿入か又はMMSFF10による置換を行う。また、スキャン化プログラム111は、図9のように、SFF50とMMSFF10とを含むようにしてもよい。この場合、スキャン化プログラム111は、SFF50を伸張器に接続する処理を実行することも可能である。

【0096】

また、演算処理装置110は、圧縮・制御回路付加プログラム112を実行することにより、スキャン化ネットリスト124、機能ライブラリ122を参照して、圧縮回路付加ネットリスト125を生成する。圧縮・制御回路付加プログラム112は、マルチモード制御回路20の挿入や、圧縮率が変更可能な伸張器の挿入、圧縮率が変更可能な圧縮器の挿入、マルチモード制御回路20とスキャンチェーン切替論理との接続、伸張器とスキャンチェーンとの接続、圧縮器とスキャンチェーンとの接続を行う。また、圧縮・制御回路付加プログラム112は、実施の形態2のように、スキャンチェーンの本数に応じて可変圧縮器30Aの圧縮率を変更することも可能である。

10

【0097】

さらに、演算処理装置110は、ATPGプログラム113を実行することにより、圧縮回路付加ネットリスト125、機能ライブラリ122、テスト制約DB123を参照することにより、テストパターンを生成する。テスト制約DB123には、テスト時の回路動作に必要な情報が格納されている。テスト制約DB123に格納される情報には、例えば、外部出力端子を0に固定する等の情報が含まれる。

20

【0098】

ATPGプログラム113は、切替可能なスキャンチェーン構成を考慮して、テストパターン毎にスキャンチェーン構成を切替えることでテストステップ数が極小となるようなテストパターンを生成する機能を有する。生成されたテストパターンは、テストパターンDB126に格納される。半導体装置では、テストパターンDB126に保存されたテストパターンを用いて、可変圧縮スキャンテストが実行される。

【0099】

ここで、図13を参照して、半導体装置の設計フローについて説明する。図13は、実施の形態7に係る半導体装置の設計フローの一例を示す図である。図13に示すように、まずネットリスト121、機能ライブラリ122が入力される(ステップS11)。その後、回路解析が行われ、当該回路の持つ切替可能なスキャンチェーン構成(圧縮率構成等)の回路情報が識別される(ステップS12)。

30

【0100】

そして、識別された回路に対して故障仮定が実行される(ステップS13)。そして、予め入力された故障リストから検出対象候補故障を選択し(ステップS14)、当該検出対象候補故障に対応するケアビットを算出するケアビット算出処理が実行される(ステップS15)。ケアビットの生成に失敗した場合は、その故障を未検出故障として識別して故障リストから除外される。そして、別の検出対象候補故障が選択され、ケアビットの生成が成功するまで繰り返される。

40

【0101】

検出対象候補故障を検出可能なケアビットの生成が成功した場合は、そのケアビットを正当化可能な最大圧縮率構成が計算・決定される(ステップS16)。ケアビットに応じて、外部入力テスト信号又はシフトテスト信号のいずれを選択するかを制御し、スキャンチェーンの構成を切り替える切替処理が実行される。そして、その圧縮率制約条件下でケアビットを追加し、同時に検出可能な故障数を増やす(動的圧縮)(ステップS17)。

【0102】

その後、生成したテストパターンに対する故障シミュレーションを行い(ステップS1

50

8)、検出可能な範囲を識別し、故障リストから取り除く。そして、生成されたテストパターンをメモリ上に記憶するか、又は、ディスクに出力する。故障リストに検出対象候補故障が残っている場合は、再度ケアビット生成からテストパターンの保存までを繰り返す(ステップS19)。故障リストに含まれる全ての故障を検出か未検出とし、検出対象候補故障となっていない未対象故障がなくなるとATPGプログラム113が終了する(ステップS20)。

【0103】

図17に、比較例の圧縮スキャンでの設計フローを示す。図17に示すように、圧縮率を変更できない圧縮スキャンテスト設計では、初めに、入力ネットリスト・機能ライブラリに対して回路解析を行い(ステップS101、102)、故障仮定が実行される(ステップS103)。そして、故障仮定の中から1個のケアビット検出対象候補故障を選択し、回路制約又は圧縮率制約下でその故障を検出可能なケアビットの生成を試みる(ステップS104)。回路制約又は圧縮率制約によりケアビットの生成に失敗した場合は、その故障が故障リストから除外される。そして、別の検出対象候補故障を選択し、ケアビットの生成が成功するまで繰り返す(ステップS105)。

【0104】

対象故障を検出可能なケアビットの生成が成功した場合は、ケアビットを追加することで同時に検出可能な故障数を増やす(ステップS106)。動的圧縮が終わった後は、故障シミュレーションを行い、生成したテストパターンによって検出可能な範囲が識別される(S107)。そして、生成したテストパターンをメモリ上に記憶するか、又は、ディスク出力する(S108)。故障リストに検出対象候補故障となっていない未対象故障が残っている場合は、再度ケアビット生成からテストパターンの保存までを繰り返す(ステップS109)。全ての故障を検出か未検出に判定し未対象故障がなくなると、ATPGプログラムが終了する。このように比較例では、圧縮率を変更することができないため、短いテストステップ数で高故障検出率のテストパターンを生成することが難しい。

【0105】

これに対し、実施の形態7に係る設計装置を用いることで、スキャンチェーン本数を切替え可能な半導体装置を設計することができる。また、この半導体装置に対してスキャンチェーン本数をテストパターン毎に切替える制御を行いながら、圧縮スキャンテストを実行することが可能なテストパターンを生成することが可能となる。これにより、短いテストステップ数で高い故障検出率が達成可能な圧縮スキャンテストが実現できる。

【0106】

なお、圧縮・制御回路付加プログラム112は、複数のスキャンチェーンと圧縮器との間に、複数のスキャンチェーンからの出力のうち、特定のテスト結果の一部の圧縮器への入力を遮断するマスク回路をさらに挿入する処理を実行してもよい。図14に、マスク回路32を有する圧縮器を使用した場合の、半導体装置の設計フローが示される。このような回路構成の場合は、ケアビット生成後に生成ケアビットに対して適用可能な伸張器の最大圧縮構成を計算、適用し(ステップS30)、ケアビットの追加(動的圧縮)後に、必要なマスク制御を決定する(ステップS31)ことができる。なお、マスク制御とともに、可変圧縮器の圧縮率を計算して適用することが可能である。

【0107】

また、上述の実施の形態において、先頭のSFF50には外部入力テスト信号のみが入力されるため、先頭はSFF50に固定することも可能である。

【0108】

上述したプログラムは、様々なタイプの非一時的なコンピュータ可読媒体(non-transitory computer readable medium)を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体(tangible storage medium)を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体(例えばフレキシブルディスク、磁気テープ、ハードディスクドライブ)、光磁気記録媒体(例えば光磁気ディス

10

20

30

40

50

ク)、CD-ROM(Read Only Memory)CD-R、CD-R/W、半導体メモリ(例えば、マスクROM、PROM(Programmable ROM)、EPROM(Erasable PROM)、フラッシュROM、RAM(Random Access Memory))を含む。また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体(transitory computer readable medium)によってコンピュータに供給されてもよい。一時的なコンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

【0109】

10

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【符号の説明】

【0110】

1 半導体装置

1A~1D 半導体装置

10 MMSFF

11 MUX

12 FF

20

20 マルチモード制御回路

21 シフトレジスタ

22 ホールドレジスタ

23 デコーダ

30 圧縮器

30A 可変圧縮器

30B 可変圧縮器

30C 可変圧縮器

31 MUX

32 マスク回路

30

40 マスク制御回路

40A マスク制御回路

40B マスク制御回路

41 シフトレジスタ

41A シフトレジスタ

41B シフトレジスタ

42 ホールドレジスタ

42A ホールドレジスタ

42B ホールドレジスタ

43 デコーダ

40

43A デコーダ

43B デコーダ

50 SFF

60 リングジェネレータ

100 設計装置

110 演算処理装置

111 スキャン化プログラム

112 圧縮・制御回路付加プログラム

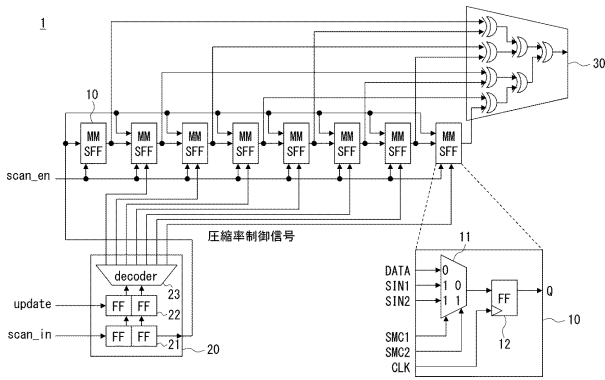
113 ATPGプログラム

120 記憶装置

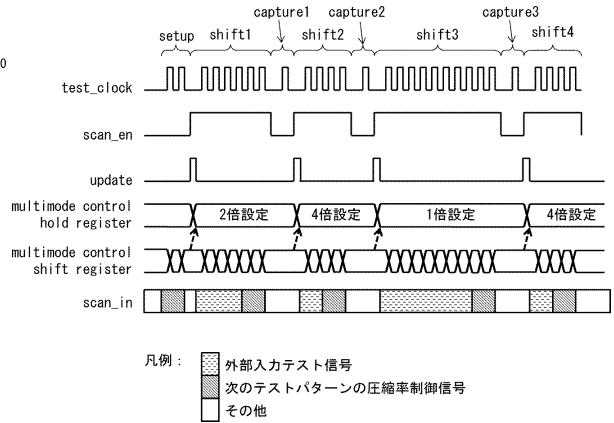
50

- 1 2 1 ネットリスト
- 1 2 2 機能ライブラリ
- 1 2 3 テスト制約 D B
- 1 2 4 スキャン化ネットリスト
- 1 2 5 圧縮回路付加ネットリスト
- 1 2 6 テストパターン D B
- 1 3 0 制御入力装置
- 1 3 1 表示出力装置

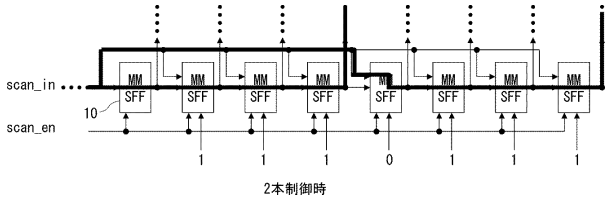
【図1】



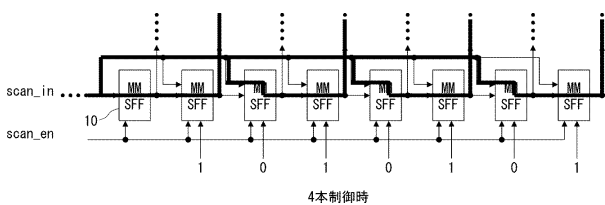
【図4】



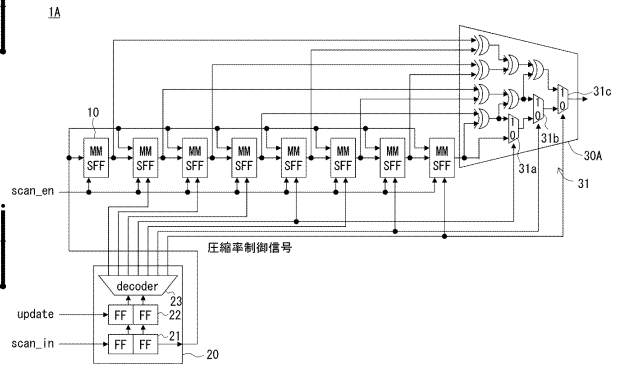
【図2】



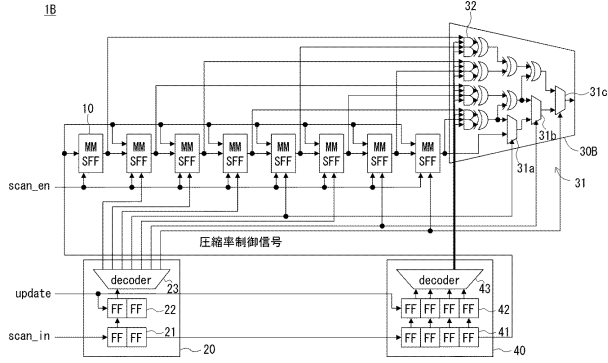
【図3】



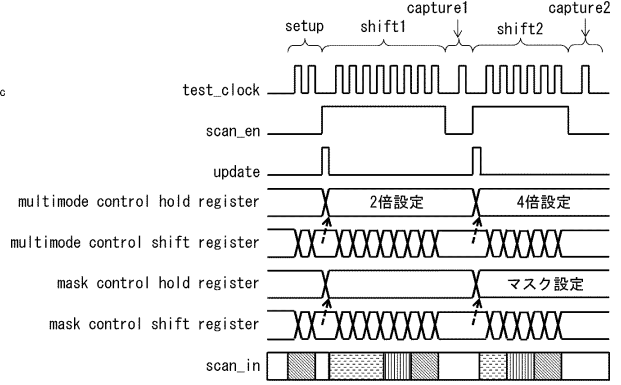
【図5】



【図6】



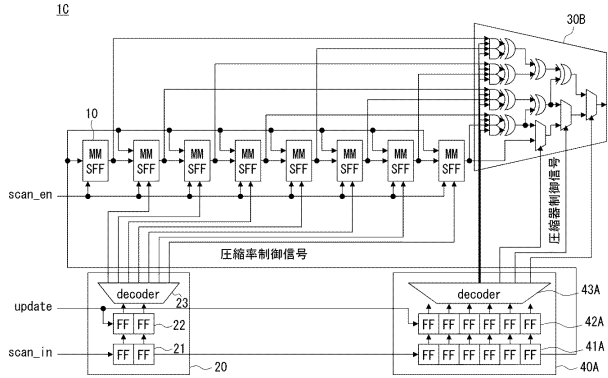
【図7】



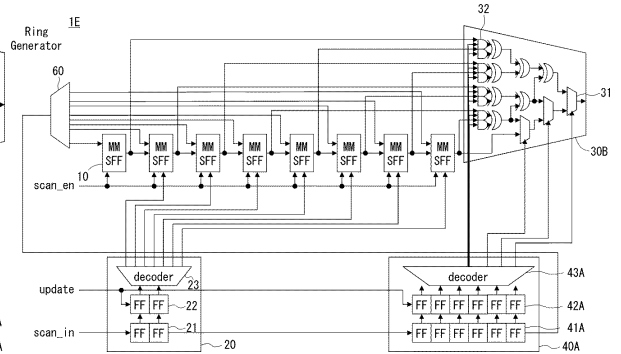
凡例：

 外部入力テスト信号
 次のテストパターンの圧縮率制御信号
 次のテストパターンのマスク制御信号
 その他

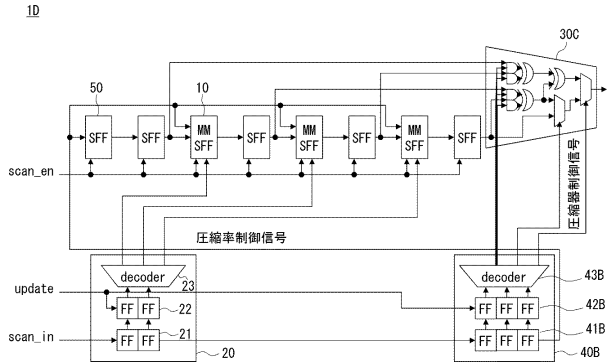
【図8】



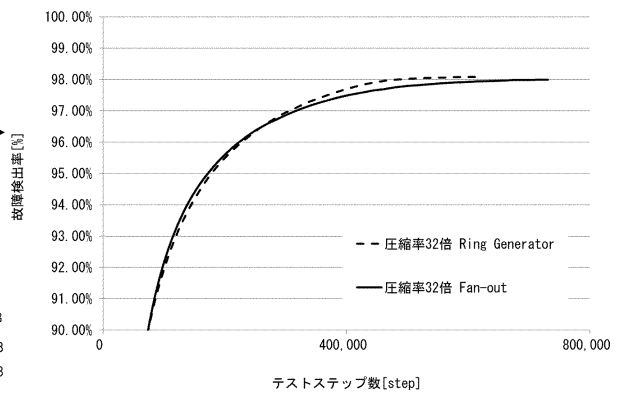
【図10】



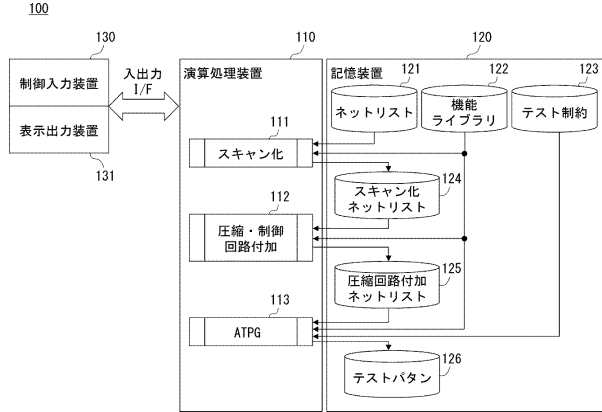
【図9】



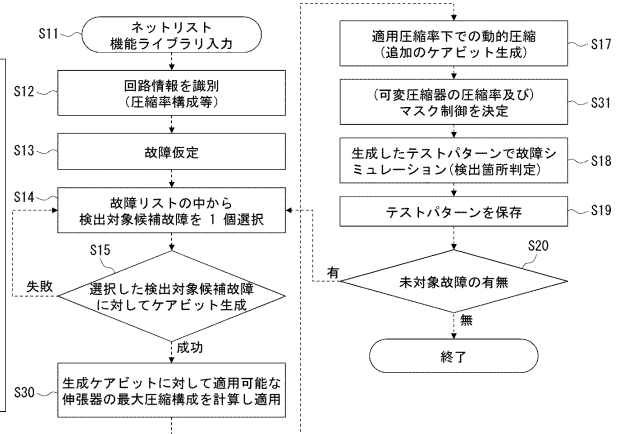
【図11】



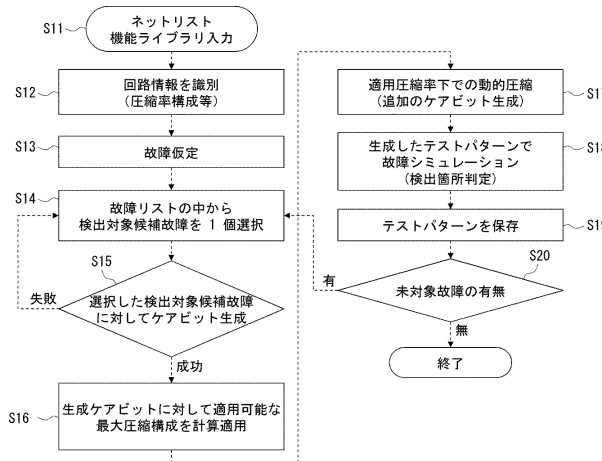
【図12】



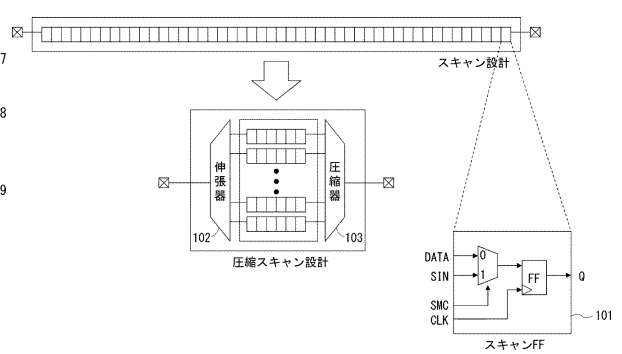
【図14】



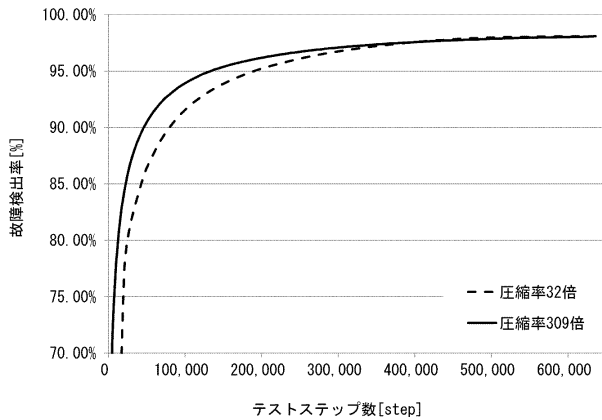
【図13】



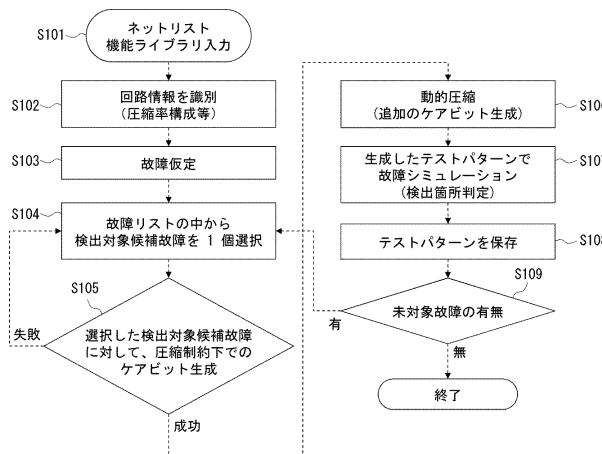
【図15】



【図16】



【図17】



フロントページの続き

- (56)参考文献 特開平03 - 252569 (JP, A)
特開2012 - 198078 (JP, A)
特開2004 - 286549 (JP, A)
特開2012 - 208000 (JP, A)
特開2011 - 099835 (JP, A)
米国特許出願公開第2011 / 0307748 (US, A1)
特開2004 - 012420 (JP, A)
米国特許出願公開第2008 / 0276140 (US, A1)
特開昭62 - 093672 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28
G01R 31/317 - 31/3193
H01L 21/822
H01L 27/04