

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-39106

(P2012-39106A)

(43) 公開日 平成24年2月23日(2012.2.23)

(5) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 3 2 1	5 F 0 8 3
HO 1 L 21/8242 (2006.01)	HO 1 L 29/78 6 1 3 B	5 F 1 0 1
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 1 0
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	5 M 0 2 4
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	

審査請求 未請求 請求項の数 7 O L (全 37 頁) 最終頁に続く

(21) 出願番号 特願2011-155488 (P2011-155488)
 (22) 出願日 平成23年7月14日 (2011.7.14)
 (31) 優先権主張番号 特願2010-162134 (P2010-162134)
 (32) 優先日 平成22年7月16日 (2010.7.16)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 加藤 清
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 松崎 隆徳
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 長塚 修平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 井上 広樹
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

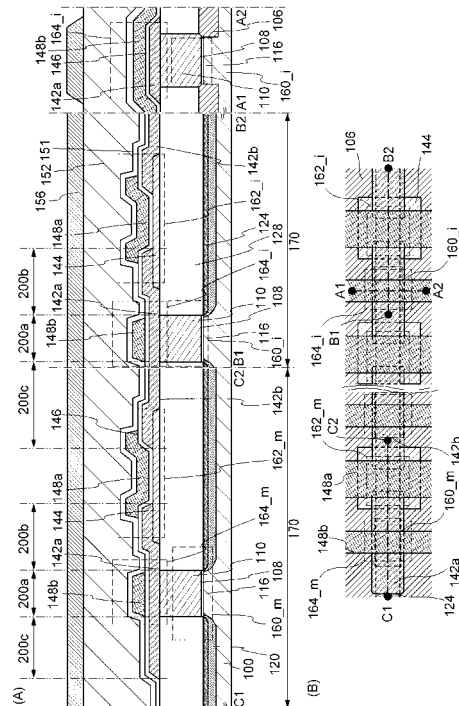
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

【解決手段】トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。また、メモリセルアレイを有する半導体装置において、直列に接続された第1乃至第mのメモリセルに含まれる各ノードに生じる寄生容量の値を同等の値とすることで、安定して動作可能な半導体装置とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

m本（mは2以上の整数）の書き込みワード線と、m本の読み出しワード線と、ビット線と、ソース線と、信号線と、前記ビット線と前記ソース線との間に直列に接続された第1乃至第mのメモリセルと、を有し、

前記第1乃至第mのメモリセルはそれぞれ、

第1のゲート電極、第1のソース電極、第1のドレイン電極および第1のチャンネル形成領域を含む第1のトランジスタと、

第2のゲート電極、第2のソース電極、第2のドレイン電極および第2のチャンネル形成領域を含む第2のトランジスタと、

容量素子と、を有し、

前記第1のチャンネル形成領域は、前記第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、

前記第1乃至第mのメモリセルのそれぞれにおいて、前記第1のゲート電極と、前記第2のソース電極または前記第2のドレイン電極と、前記容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、

前記第mのメモリセルのノードに生じる寄生容量の値は、第i（iは、1以上（m-1）以下の整数）のメモリセルのノードに生じる寄生容量の値の半分以上である半導体装置。

10

【請求項 2】

m本（mは2以上の整数）の書き込みワード線と、m本の読み出しワード線と、ビット線と、ソース線と、信号線と、前記ビット線と前記ソース線との間に直列に接続された第1乃至第mのメモリセルと、を有し、

前記第1乃至第mのメモリセルはそれぞれ、

第1のゲート電極、第1のソース電極、第1のドレイン電極および第1のチャンネル形成領域を含む第1のトランジスタと、

第2のゲート電極、第2のソース電極、第2のドレイン電極および第2のチャンネル形成領域を含む第2のトランジスタと、

容量素子と、を有し、

前記第1のチャンネル形成領域は、前記第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、

前記第1乃至第mのメモリセルのそれぞれにおいて、前記第1のゲート電極と、前記第2のソース電極または前記第2のドレイン電極と、前記容量素子の電極の一方と、は電氣的に接続されて電荷が保持されるノードを構成し、

前記第1乃至第mのメモリセルの各ノードに生じる寄生容量は、同等の値である半導体装置。

20

30

【請求項 3】

m本（mは2以上の整数）の書き込みワード線と、m本の読み出しワード線と、ビット線と、ソース線と、信号線と、前記ビット線と前記ソース線との間に直列に接続された第1乃至第mのメモリセルと、を有し、

前記第1乃至第mのメモリセルはそれぞれ、

第1のゲート電極、第1のソース電極、第1のドレイン電極および第1のチャンネル形成領域を含む第1のトランジスタと、

第2のゲート電極、第2のソース電極、第2のドレイン電極および第2のチャンネル形成領域を含む第2のトランジスタと、

容量素子と、を有し、

前記第1のチャンネル形成領域は、前記第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、

前記第2のトランジスタは、絶縁層を介して、前記第1のトランジスタの少なくとも一部と重畳して設けられ、

40

50

前記第2のソース電極または前記第2のドレイン電極の一方は、前記第1のゲート電極上に接して設けられ、

前記第1乃至第mの各メモリセルにおいて、

前記第2のソース電極または第2のドレイン電極の一方は、前記第1のゲート電極と接する第1の領域と、前記第1のゲート電極よりも前記第2のチャンネル形成領域側に伸長した第2の領域と、前記第1のゲート電極よりも前記第2のチャンネル形成領域と逆側に伸長した第3の領域と、を有し、

前記第mのメモリセルに含まれる、前記第3の領域と前記第1のトランジスタとの間に生じる寄生容量と、第i (iは、1以上(m-1)以下の整数)のメモリセルに含まれる、前記第3の領域と前記第1のトランジスタとの間に生じる寄生容量の値は同等の値である、半導体装置。 10

【請求項4】

前記第1乃至第mのメモリセルに各々含まれる、前記第2のソース電極のチャンネル長方向の長さは、同じ長さである、請求項3に記載の半導体装置。

【請求項5】

前記第mのメモリセルにおいて、

前記第2のソース電極は、

前記第2の領域の一部であって、前記第2のゲート電極と重畳する第4の領域と、

前記第3の領域の一部であって、前記ソース線と重畳する第5の領域と、を有し、

前記第5の領域と前記ソース線との間に生じる寄生容量と、前記第(m-1)のメモリセルに含まれる前記第2のソース電極と前記第mのメモリセルに含まれる第2のゲート電極との間に生じる寄生容量の値は、同等の値である、請求項3または請求項4に記載の半導体装置。 20

【請求項6】

前記第5の領域のチャンネル長方向の長さは、

前記第(m-1)のメモリセルに含まれる前記第2のソース電極と、前記第mのメモリセルに含まれる第2のゲート電極と、が重畳する領域におけるチャンネル長方向の長さと同じ長さである、請求項5に記載の半導体装置。

【請求項7】

前記第1のチャンネル形成領域は、シリコンを含んで構成され、 30

前記第2のチャンネル形成領域は、酸化物半導体を含んで構成される、請求項1乃至請求項6のいずれか一に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその駆動方法に関するものである。

【背景技術】

【0002】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。 40

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流 (オフ電流) 等によ 50

って、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM（Static Random Access Memory）がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

10

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャンネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、書き込みを何度も繰り返すことで、記憶素子が機能しなくなるという問題が生じる。この問題を回避するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

20

【0008】

また、フローティングゲートに電荷を注入し、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。

40

【課題を解決するための手段】

【0011】

開示する発明では、トランジスタのオフ電流を十分に小さくすることができる材料、例えば、ワイドギャップ半導体である酸化物半導体材料を用いて半導体装置を構成する。トランジスタのオフ電流を十分に小さくすることができる半導体材料を用いることで、長期間にわたって情報を保持することが可能である。

【0012】

本発明の一態様は、 m 本（ m は2以上の整数）の書き込みワード線と、 m 本の読み出しワード線と、ビット線と、ソース線と、信号線と、ビット線とソース線との間に直列に接続された第1乃至第 m のメモリセルと、を有し、第1乃至第 m のメモリセルはそれぞれ、

50

第1のゲート電極、第1のソース電極、第1のドレイン電極および第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極および第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、第1乃至第mのメモリセルのそれぞれにおいて、第1のゲート電極と、第2のソース電極または第2のドレイン電極と、容量素子の電極の一方と、は電気的に接続されて電荷が保持されるノードを構成し、第mのメモリセルのノードに生じる寄生容量の値は、第i (iは、1以上(m-1)以下の整数)のメモリセルのノードに生じる寄生容量の値の半分以上である半導体装置である。

【0013】

また、本発明の一態様は、m本(mは2以上の整数)の書き込みワード線と、m本の読み出しワード線と、ビット線と、ソース線と、信号線と、ビット線とソース線との間に直列に接続された第1乃至第mのメモリセルと、を有し、第1乃至第mのメモリセルはそれぞれ、第1のゲート電極、第1のソース電極、第1のドレイン電極および第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極および第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、第1乃至第mのメモリセルのそれぞれにおいて、第1のゲート電極と、第2のソース電極または第2のドレイン電極と、容量素子の電極の一方と、は電気的に接続されて電荷が保持されるノードを構成し、第1乃至第mのメモリセルの各ノードに生じる寄生容量は、同等の値である半導体装置である。

【0014】

また、本発明の一態様は、m本(mは2以上の整数)の書き込みワード線と、m本の読み出しワード線と、ビット線と、ソース線と、信号線と、ビット線とソース線との間に直列に接続された第1乃至第mのメモリセルと、を有し、第1乃至第mのメモリセルはそれぞれ、第1のゲート電極、第1のソース電極、第1のドレイン電極および第1のチャンネル形成領域を含む第1のトランジスタと、第2のゲート電極、第2のソース電極、第2のドレイン電極および第2のチャンネル形成領域を含む第2のトランジスタと、容量素子と、を有し、第1のチャンネル形成領域は、第2のチャンネル形成領域とは異なる半導体材料を含んで構成され、第2のトランジスタは、絶縁層を介して、第1のトランジスタの少なくとも一部と重畳して設けられ、第2のソース電極または第2のドレイン電極の一方は、第1のゲート電極上に接して設けられ、第1乃至第mの各メモリセルにおいて、第2のソース電極または第2のドレイン電極の一方は、第1のゲート電極と接する第1の領域と、第1のゲート電極よりも第2のチャンネル形成領域側に伸長した第2の領域と、第1のゲート電極よりも第2のチャンネル形成領域と逆側に伸長した第3の領域と、を有し、第mのメモリセルに含まれる、第3の領域と第1のトランジスタとの間に生じる寄生容量と、第i (iは、1以上(m-1)以下の整数)のメモリセルに含まれる、第3の領域と第1のトランジスタとの間に生じる寄生容量の値は同等の値である、半導体装置である。

【0015】

上記の半導体装置において、第1乃至第mのメモリセルに各々含まれる、第2のソース電極のチャンネル長方向の長さは、同じ長さであるのが好ましい。

【0016】

また、上記の半導体装置において、第mのメモリセルにおいて、第2のソース電極は、第2の領域の一部であって、第2のゲート電極と重畳する第4の領域と、第3の領域の一部であって、ソース線と重畳する第5の領域と、を有していてもよい。第5の領域とソース線との間に生じる寄生容量と、第(m-1)のメモリセルに含まれる第2のソース電極と第mのメモリセルに含まれる第2のゲート電極との間に生じる寄生容量の値は、同等の値であるのが好ましい。

【0017】

また、上記の半導体装置において、第5の領域のチャンネル長方向の長さは、第(m-1)

10

20

30

40

50

)のメモリセルに含まれる第2のソース電極と、第mのメモリセルに含まれる第2のゲート電極と、が重畳する領域におけるチャンネル長方向の長さ、と同じ長さであるのが好ましい。

【0018】

また、上記の半導体装置において、第1のチャンネル形成領域は、シリコンを含んで構成されていてもよく、第2のチャンネル形成領域は、酸化物半導体を含んで構成されていてもよい。

【0019】

なお、上記半導体装置において、酸化物半導体を用いてトランジスタを構成することがあるが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップE_gが3 eVより大きい半導体材料）などを適用してもよい。

10

【0020】

なお、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」という用語は説明の便宜のために用いる表現に過ぎない。

【0021】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

20

【0022】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0023】

また、本明細書等において、程度を示す「同じ」、「同等」などという用語は、諸条件や数値等が厳密に同一である状態に限らず、合理的な逸脱をその語義の範疇に含むものである。

30

【0024】

また、本明細書等において、第1または第2などとして付される序数詞は便宜上用いるものであって、工程順または積層順を示すものではない。また、本明細書等において発明を特定するための事項として固有の名称を示すものではない。またこれらの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【発明の効果】

40

【0025】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0026】

また、開示する発明の一形態に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティ

50

ングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明の一形態に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【0027】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせるにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

10

【図面の簡単な説明】

【0028】

【図1】半導体装置の断面図および平面図。

【図2】半導体装置の断面図および平面図。

【図3】半導体装置の作製工程に係る断面図。

【図4】半導体装置の作製工程に係る断面図。

【図5】半導体装置の作製工程に係る断面図。

【図6】半導体装置の作製工程に係る断面図。

20

【図7】半導体装置の回路図。

【図8】半導体装置の回路図。

【図9】半導体装置の回路図。

【図10】半導体装置を用いた電子機器を説明するための図。

【図11】半導体装置の断面図。

【図12】半導体装置の回路図。

【発明を実施するための形態】

【0029】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0030】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0031】

（実施の形態1）

本実施の形態では、開示する発明の一態様に係る回路構成および動作について、図面を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。また、該回路構成を適用した半導体装置の構成およびその作製方法について図面を参照して説明する。

40

【0032】

<基本回路>

はじめに、基本的な回路構成およびその動作について、図7を参照して説明する。図7（A）に示す半導体装置において、第1の配線（1st Line）とトランジスタ160のソース電極（またはドレイン電極）とは、電氣的に接続され、第2の配線（2nd Line）とトランジスタ160のドレイン電極（またはソース電極）とは、電氣的に接続されている。また、第3の配線（3rd Line）とトランジスタ162のソース電極（またはドレイン電極）とは、電氣的に接続され、第4の配線（4th Line）と

50

、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、トランジスタ160のゲート電極と、トランジスタ162のドレイン電極（またはソース電極）は、容量素子164の電極の一方と電氣的に接続され、第5の配線（5th Line）と、容量素子164の電極の他方は電氣的に接続されている。

【0033】

ここで、トランジスタ162には、例えば、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、トランジスタ160のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子164を有することにより、トランジスタ160のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

10

【0034】

なお、トランジスタ160については特に限定されない。情報の読み出し速度を向上させるといふ観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【0035】

また、図7（C）に示すように、容量素子164を設けない構成とすることも可能である。

【0036】

図7（A）に示す半導体装置では、トランジスタ160のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

20

【0037】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極、および容量素子164に与えられる。すなわち、トランジスタ160のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極に与えられた電荷が保持される（保持）。

30

【0038】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電荷は長時間にわたって保持される。

【0039】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ160のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ160をnチャネル型とすると、トランジスタ160のゲート電極に電荷 Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ160のゲート電極に電荷 Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値とは、トランジスタ160を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ160のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、電荷 Q_H が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ160は「オン状態」となる。電荷 Q_L が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ160は「オフ状態」のままである。このため、第2の配線の

40

50

電位を見ることで、保持されている情報を読み出すことができる。

【0040】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないためには、トランジスタ160が並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ160が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を与えればよい。また、トランジスタ160が直列に接続されている場合には、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

10

【0041】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位にして、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極および容量素子164に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位にして、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0042】

このように、開示する発明の一形態に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

20

【0043】

なお、トランジスタ162のドレイン電極（またはソース電極）は、トランジスタ160のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ162のドレイン電極（またはソース電極）とトランジスタ160のゲート電極が電氣的に接続される部位をノードFGと呼ぶ場合がある。トランジスタ162がオフの場合、当該ノードFGは絶縁体中に埋設されたと見ることができ、ノードFGには電荷が保持される。酸化物半導体を用いたトランジスタ162のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ162のリークによる、ノードFGに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ162により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

30

【0044】

例えば、トランジスタ162の室温（25℃）でのオフ電流が 10 z A （ 1 z A （zeptoアンペア）は $1 \times 10^{-21}\text{ A}$ ）以下であり、容量素子164の容量値が 10 f F 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

40

【0045】

また、開示する発明の一形態の半導体装置においては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

【0046】

図7(A)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が

50

抵抗および容量を含むものとして、図7(B)のように考えることが可能である。つまり、図7(B)では、トランジスタ160および容量素子164が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子164の抵抗値および容量値であり、抵抗値R1は、容量素子164を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ160の抵抗値および容量値であり、抵抗値R2はトランジスタ160がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、および、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

【0047】

トランジスタ162がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、トランジスタ162のゲートリーク電流が十分に小さい条件において、R1およびR2が、R1=ROS、R2=ROSを満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ162のオフ電流によって決定されることになる。

【0048】

逆に、当該条件を満たさない場合には、トランジスタ162のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ162のオフ電流以外のリーク電流(例えば、トランジスタ160におけるソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、R1=ROS、およびR2=ROSの関係を満たすものであることが望ましいといえる。

【0049】

一方、C1とC2は、C1=C2の関係を満たすことが望ましい。C1を大きくすることで、第5の配線によってノードFGの電位を制御する際に、第5の配線の電位を効率よくノードFGに与えることができるようになり、第5の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0050】

このように、上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ160のゲート絶縁層や容量素子164の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0051】

本実施の形態で示す半導体装置においては、ノードFGが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードFGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【0052】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0053】

一方、本実施の形態に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0054】

10

20

30

40

50

また、本実施の形態に係る半導体装置は高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対する優位点である。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下とすることができる。

【0055】

さらに、容量素子164を構成する絶縁層の比誘電率 r_1 と、トランジスタ160を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子164を構成する絶縁層の面積 S_1 と、トランジスタ160においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 \leq S_1$ （望ましくは $S_2 \leq S_1$ ）を満たしつつ、 $C_1 \leq C_2$ を実現することが容易である。すなわち、容量素子164を構成する絶縁層の面積を小さくしつつ、 $C_1 \leq C_2$ を実現することが容易である。具体的には、例えば、容量素子164を構成する絶縁層においては、酸化ハフニウムなどの high-k 材料でなる膜、または酸化ハフニウムなどの high-k 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$ とすることができる。

10

【0056】

このような構成を併せて用いることで、開示する発明の一形態に係る半導体装置の、より一層の高集積化が可能である。

20

【0057】

なお、半導体装置の記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの一に3段階以上の情報を書き込む構成とすることで、2段階（1ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷 Q_L 、高電位を与える電荷 Q_H に加え、他の電位を与える電荷 Q をトランジスタ160のゲート電極に与えることで、多値化を実現することができる。この場合、比較的規模の大きい回路構成（例えば、 $15F^2 \sim 50F^2$ など：Fは最小加工寸法）を採用しても十分な記憶容量を確保することができる。

【0058】

< 応用例 >

30

次に、図7に示す回路を応用したより具体的な回路構成および動作について、図8および図9を参照して説明する。

【0059】

図8に示す半導体装置は、 m 個のメモリセル170を有する半導体装置の回路図の一例である。図8中のメモリセル170の構成は、図7(A)と同様である。すなわち、図7(A)における第1の配線が図8におけるビット線 B_L に相当し、図7(A)における第2の配線が図8におけるソース線 S_L に相当し、図7(A)における第3の配線が図8における信号線 S に相当し、図7(A)における第4の配線が図8における書き込みワード線 WW_L に相当し、図7(A)における第5の配線が図8における読み出しワード線 RWL に相当する。図8は、メモリセル170がビット線 B_L とソース線 S_L との間に直列に接続された、いわゆる NAND 型の半導体装置の回路図である。図8に示す構成において、ビット線 B_L と、第1行目のメモリセル170が有するトランジスタ160のドレイン電極とが、選択トランジスタ180を介して電氣的に接続されている。選択トランジスタ180はゲート電極において、選択トランジスタ180のオンオフを切り替えるための選択線 G と電氣的に接続されている。また、第 m 行目のメモリセル170のみがソース線 S_L と直接接続している。第2行目乃至第 $(m-1)$ 行目のメモリセル170は、同じ列の他のメモリセル170を介してビット線 B_L およびソース線 S_L と電氣的に接続される。

40

【0060】

図8に示す半導体装置は、 m 本（ m は2以上の整数）の書き込みワード線 WW_L と、 m 本の読み出しワード線 RWL と、ソース線 S_L と、ビット線 B_L と、信号線 S と、縦に m

50

個（行）配置されたメモリセル170と、を有する。なお、図8では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。例えば、m本の書き込みワード線WWLと、m本の読み出しワード線RWLと、ソース線SLと、n本（nは2以上の整数）のビット線BLと、n本の信号線Sと、メモリセル170が縦m個（行）×横n個（列）のマトリクス状に配置されたメモリセルアレイと、を有する構成としてもよい。

【0061】

各メモリセル170において、トランジスタ160のゲート電極と、トランジスタ162のソース電極またはドレイン電極の一方と、容量素子164の電極の一方とは、電氣的に接続されている。また、信号線Sとトランジスタ162のソース電極またはドレイン電極の他方とは、電氣的に接続され、書き込みワード線WWLと、トランジスタ162のゲート電極とは、電氣的に接続されている。そして、読み出しワード線RWLと、容量素子164の電極の他方は電氣的に接続されている。

10

【0062】

また、メモリセル170が有するトランジスタ160のソース電極は、隣接するメモリセル170のトランジスタ160のドレイン電極と電氣的に接続され、メモリセル170が有するトランジスタ160のドレイン電極は、隣接するメモリセル170のトランジスタ160のソース電極と電氣的に接続される。また、メモリセル170が有するトランジスタ162のソース電極は、隣接するメモリセル170のトランジスタ162のドレイン電極と電氣的に接続され、メモリセル170が有するトランジスタ162のドレイン電極は、隣接するメモリセル170のトランジスタ162のソース電極と電氣的に接続される。

20

【0063】

なお、図8に示す半導体装置において、信号線Sとビット線BLは別々に設けられているが、開示する発明はこれに限られるものではなく、信号線Sとビット線BLを同一の配線とする構成としても良い。

【0064】

図8に示す半導体装置は、行ごとの書き込み動作および読み出し動作を行うことができる。書き込み動作は次のように行われる。

【0065】

書き込み動作は、行ごとに第m行から順番に行われる。第k行（kは1以上m以下の整数）の書き込みを行う場合には、書き込みを行う行（第k行）の書き込みワード線WWL_kにトランジスタ162_kがオン状態となる電位を与え、書き込みを行う行のトランジスタ162_kをオン状態にする。ここで、トランジスタ162_kと信号線Sとの間にトランジスタ162₁乃至トランジスタ162_(k-1)が存在する場合には、書き込みを行う行までのトランジスタ162₁乃至トランジスタ_(k-1)もオン状態として、書き込みを行う行（第k行）のメモリセル170に信号線Sの電位が与えられるようにする。これにより、指定した行のトランジスタ160_kのゲート電極に信号線Sの電位が与えられ、該ゲート電極に所定の電荷が与えられる。それから、書き込みワード線WWL_kの電位をGNDに固定すると、トランジスタ160_kのゲート電極に与えられた電荷が固定される。このようにして、指定した行（第k行）のメモリセルにデータを書き込むことができる。同様の方法で第（k-1）行より前側の行のメモリセルにデータを書き込むことができる。

30

40

【0066】

なお、図8に示す半導体装置では、各メモリセル170を構成するトランジスタ162を直列に接続するため、任意の行のデータのみを書き換えることは困難である。図8に示す半導体装置の書き換え方法としては、ビット線BLから最も遠い行（第m行）のメモリセルから順番にデータを書き込むとよい。なお、ビット線BLから最も遠い行（第m行）のメモリセルにデータ"0"を書き込むことで、第1行目～第（m-1）行目のメモリセルにもデータ"0"が書き込まれる。これにより、第1行目～第m行目のメモリセルから

50

なるブロックの一括消去を行うことも可能である。

【0067】

また、読み出し動作は次のように行われる。まず、選択線 G_1 に電位を与えることにより、選択トランジスタをオンにする。また、読み出しを行う行（例えば、第 k 行）以外の読み出しワード線 RWL に、トランジスタ 160_k のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ 160 がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ 160 をオン状態とする。それから、読み出しを行う行の読み出しワード線 RWL_k に、トランジスタ 160_k のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ 160_k のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。また、ソース線 SL に定電位を与え、ビット線 BL に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線 SL - ビット線 BL 間の複数のトランジスタ $160_1 \sim 160_m$ のうち、読み出しを行う行のトランジスタ 160_k を除いてオン状態となっているため、ソース線 SL - ビット線 BL 間のコンダクタンスの大小は、読み出しを行う行のトランジスタ 160_k の状態（オン状態またはオフ状態）によって決定される。読み出しを行う行のトランジスタ 160_k のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ 160_k の状態（オン状態またはオフ状態）は異なるから、それに応じて、ビット線 BL の電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

10

【0068】

20

次に、図8に示す半導体装置などに用いることができる読み出し回路の一例について図9を用いて説明する。

【0069】

図9(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0070】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線 BL に接続される。また、トランジスタのゲート電極にはバイアス電位 V_{bias} が印加され、トランジスタに流れる電流が制御される。

【0071】

30

読み出し回路の端子Aに接続される負荷は、ソース線 SL - ビット線 BL 間のコンダクタンスの大小によって決まる。ソース線 SL - ビット線 BL 間のコンダクタンスの大小は、読み出しを行うメモリセルが有するトランジスタの状態（オン状態またはオフ状態）によって決定される。つまり、読み出しを行うメモリセルが有するトランジスタのゲート電極が有する電荷がどのデータに対応するかによって、ソース線 SL - ビット線 BL 間のコンダクタンスの大小が異なる値をとることになる。

【0072】

読み出しを行うメモリセルが有するトランジスタがオン状態の場合には、ソース線 SL - ビット線 BL 間のコンダクタンスは大きくなり、端子Aの電位は参照電位 V_{ref} より低くなる。その結果、センスアンプ回路は Low の信号を出力する。読み出しを行うメモリセルが有するトランジスタがオフ状態の場合には、ソース線 SL - ビット線 BL 間のコンダクタンスは小さくなり、端子Aの電位は参照電位 V_{ref} より高くなる。その結果、センスアンプ回路は $High$ の信号を出力する。

40

【0073】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。例えば、参照電位 V_{ref} の代わりに参照用のビット線 BL が接続される構成としても良い。また、あらかじめビット線 BL をプリチャージしておいて、プリチャージした電荷が放電されるかどうかによって決まる端子Aの電位を読み出しても良い。プリチャージした電荷が放電されるかどうかは、ソース線 SL - ビット線 BL 間のコンダクタンスの大小によって決まる。この場合、図9

50

(A) に示したトランジスタのような電流源を有さなくてもよい。また、プリチャージ回路を有しても良い。

【0074】

図9(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子 $V_{in}(+)$ と $V_{in}(-)$ と出力端子 V_{out} を有し、 $V_{in}(+)$ と $V_{in}(-)$ の電位の差を増幅する。 $V_{in}(+)$ の電位が $V_{in}(-)$ の電位よりも高ければ V_{out} は、High信号を出力し、 $V_{in}(+)$ の電位が $V_{in}(-)$ の電位よりも低ければ V_{out} は、Low信号を出力する。当該差動型センスアンプを読み出し回路に用いる場合、 $V_{in}(+)$ と $V_{in}(-)$ の一方は入力端子Aと接続し、 $V_{in}(+)$ と $V_{in}(-)$ の他方には参照電位 V_{ref} を与える。

10

【0075】

図9(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子 V_1 および V_2 と、制御用信号 S_p 、 S_n の入力端子を有する。まず、信号 S_p をHigh、信号 S_n をLowとして、電源を遮断する。そして、比較を行う電位を V_1 と V_2 にそれぞれ与える。その後、ノード Q_1 とノード Q_2 を浮遊状態とする。さらに信号 S_p をLow、信号 S_n をHighとして電源を供給する。その結果、 V_1 の電位が V_2 の電位よりも高ければ、ノード Q_1 はHigh、ノード Q_2 はLowとなり、 V_1 の電位が V_2 の電位よりも低ければ、ノード Q_1 はLow、ノード Q_2 はHighとなる。そして、ノード Q_1 もしくはノード Q_2 と出力端子とを導通させることで、信号が出力される。当該ラッチ型センスアンプを読み出し回路に用いる場合、例えば、ノード Q_1 と端子Aとをスイッチを介して接続し、ノード Q_2 と参照電位 V_{ref} とをスイッチを介して接続する。そして、ノード Q_1 と出力端子とをスイッチを介して接続すればよい。

20

【0076】

<半導体装置の断面構成および平面構成>

次に、図8に示す回路構成を適用した半導体装置の具体的な構成について、図面を参照して説明する。図1は、半導体装置の構成の一例である。図1(A)には、半導体装置の断面を、図1(B)には、半導体装置の平面を、それぞれ示す。ここで、図1(A)は、図1(B)のA1-A2、B1-B2およびC1-C2における断面に相当する。

【0077】

図1に示される半導体装置は、下部に第1の半導体材料を用いたトランジスタ160を有し、上部に第2の半導体材料を用いたトランジスタ162を有するものである。ここで、第1の半導体材料と第2の半導体材料とは異なる材料とすることが望ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

30

【0078】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ162に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

40

【0079】

本実施の形態で示す半導体装置は、トランジスタ160、トランジスタ162および容量素子164を含むメモリセル170を複数個有している。なお、以下の説明において、k行目(kは、1以上m以下の整数)のメモリセルに用いるトランジスタ160等を、特に、トランジスタ160_k等と示すことがある。図1においては、m行(mは2以上の整数)のメモリセル170を有する半導体装置を示し、最後の行のメモリセル170に含

50

まれるトランジスタ 160_m、トランジスタ 162_m および容量素子 164_m と、
i 行目 (i は 1 以上 (m - 1) 以下の整数) のメモリセル 170 に含まれるトランジスタ
160_i、トランジスタ 162_i および容量素子 164_i における平面図および断面
図を示している。

【0080】

図 1 におけるトランジスタ 160 は、半導体材料 (例えば、シリコンなど) を含む基板
100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設
けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャ
ネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設け
られたゲート電極 110 と、を有する。なお、図において、明示的にはソース電極やドレ
イン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ
場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域や
ドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細
書において、ソース電極との記載には、ソース領域が含まれる。

10

【0081】

また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設け
られており、トランジスタ 160 を覆うように絶縁層 128 が設けられている。なお、高
集積化を実現するためには、図 1 に示すようにトランジスタ 160 がサイドウォール絶縁
層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する
場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる
領域を含む不純物領域 120 を設けても良い。

20

【0082】

図 1 におけるトランジスタ 162 は、絶縁層 128 上に設けられたソース電極 (ドレ
イン電極) 142 a と、ドレイン電極 (ソース電極) 142 b と、ソース電極 142 a およ
びドレイン電極 142 b と電気的に接続されている酸化物半導体層 144 と、ソース電極
142 a、ドレイン電極 142 b、酸化物半導体層 144 を覆うゲート絶縁層 146 と、
ゲート絶縁層 146 上に酸化物半導体層 144 と重畳するように設けられたゲート電極 1
48 a と、を有する。

【0083】

ここで、酸化物半導体層 144 は水素などの不純物が十分に除去されることにより、ま
たは、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。
具体的には、例えば、酸化物半導体層 144 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$
以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは 5×10^{17}
 atoms/cm^3 以下とする。なお、上述の酸化物半導体層 144 中の水素濃度は、二
次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) で測定されるものである。このように、水素濃度が十分に低減されて高純
度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位
が低減された酸化物半導体層 144 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 未満、望
ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満、より望ましくは $1.45 \times 10^{10} / \text{cm}^3$ 未満
となる。この場合、例えば、室温 (25) でのオフ電流 (ここでは、単位チャネル幅 (40
 $1 \mu\text{m}$) あたりの値) は 100 zA (1 zA (zeptoampere) は $1 \times 10^{-21} \text{ A}$) 以
下、望ましくは 10 zA 以下となる。このように、i 型化 (真性化) または実質的に i 型
化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162
を得ることができる。

30

40

【0084】

なお、図 1 のトランジスタ 162 では、微細化に起因して素子間に生じるリークを抑制
するために、島状に加工された酸化物半導体層 144 を用いているが、島状に加工されて
いない構成を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際の
エッチングによる酸化物半導体層 144 の汚染を防止できる。

【0085】

50

図1における容量素子164は、ソース電極142a、ゲート絶縁層146、および電極148b、で構成される。すなわち、ソース電極142aは、容量素子164の一方の電極として機能し、電極148bは、容量素子164の他方の電極として機能することになる。

【0086】

なお、図1の容量素子164では、酸化物半導体層144とゲート絶縁層146を積層させる構成の容量素子164を採用しても良い。さらに、容量が不要の場合は、容量素子164を設けない構成とすることも可能である。

【0087】

なお、トランジスタ162および容量素子164において、ソース電極142a、およびドレイン電極142bの端部は、テーパ形状であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状とすることにより、ゲート絶縁層146の被覆性を向上し、段切れを防止することができるためである。ここで、テーパ角は、例えば、30°以上60°以下とする。なお、テーパ角とは、テーパ形状を有する層（例えば、ソース電極142a）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

10

【0088】

本実施の形態では、トランジスタ162および容量素子164が、トランジスタ160と重畳するように設けられている。このような、平面レイアウトを採用することにより、高集積化が可能である。

20

【0089】

トランジスタ162および容量素子164の上には、絶縁層151が設けられており、絶縁層151上には絶縁層152が設けられている。そして、絶縁層152上には配線156（ビット線BL）が形成される。

【0090】

図1に示す半導体装置において、トランジスタ160は、ソース領域またはドレイン領域として機能する不純物領域120および金属化合物領域124を共有して、第1行目から第m行目まで直列に接続される。また、トランジスタ162は、ソース電極またはドレイン電極を共有して、第1行目から第m行目まで直列に接続される。つまり第i行目（iは1以上（m-1）以下の整数）のトランジスタ160のソース領域として機能する不純物領域120および金属化合物領域124は、第（i+1）行目のトランジスタ160のドレイン領域として機能する。また、第i行目のトランジスタ162のソース電極142aは、隣接する第（i+1）行目のトランジスタ162の、ドレイン電極142bとして機能する。このように、メモリセルに含まれるトランジスタ160またはトランジスタ162を直列に接続することによって、メモリセルの占有面積の低減を図ることができる。

30

【0091】

図1に示す半導体装置において、第1行目から第m行目の各メモリセル170に含まれるソース電極142aは、ゲート電極110上に接して設けられている。また、第i行目におけるトランジスタ162_iのソース電極142aは、トランジスタ160_iのゲート電極110と接する第1の領域200aと、該ゲート電極110からトランジスタ162_iに含まれる酸化物半導体層144側に伸長した第2の領域200bと、該ゲート電極110から第2の領域200bと逆側（トランジスタ162_(i+1)に含まれる酸化物半導体層144側）に伸長した第3の領域200cと、を有している。また、第m行目のメモリセルにおいても同様に、トランジスタ162_mのソース電極142aは、トランジスタ160_mのゲート電極110と接する第1の領域200aと、該ゲート電極110からトランジスタ162_mに含まれる酸化物半導体層144側に伸長した第2の領域200bと、ゲート電極110から第2の領域200bと逆側に伸長した第3の領域200cと、を有する。

40

【0092】

メモリセル170において、ソース電極142aとゲート電極110とが電氣的に接続

50

される部位が、図 8 に示す回路図におけるノード F G に相当する。ここで、第 i 行目のメモリセルのノード F G に生じる寄生容量の値は、第 2 の領域 2 0 0 b とトランジスタ 1 6 0 $_i$ のソース領域（またはドレイン領域）との間の寄生容量と、第 3 の領域 2 0 0 c とトランジスタ 1 6 0 $_i$ のドレイン領域（またはソース領域）との間の寄生容量と、第 2 の領域 2 0 0 b とトランジスタ 1 6 2 $_i$ のゲート電極 1 4 8 a との間の寄生容量と、第 3 の領域 2 0 0 c とトランジスタ 1 6 2 $_(i + 1)$ のゲート電極 1 4 8 a との間の寄生容量の値と、の合計の値となる。

【 0 0 9 3 】

上述したように、トランジスタ 1 6 2 $_i$ のソース電極 1 4 2 a は、トランジスタ 1 6 2 $_(i + 1)$ のドレイン電極 1 4 2 b としても機能しているが、最終行に含まれるトランジスタ 1 6 2 $_m$ のソース電極 1 4 2 a は、隣接する行のトランジスタのドレイン電極として機能することはない。したがって、レイアウト縮小のためには、第 m 行目のソース電極 1 4 2 a における第 3 の領域 2 0 0 c を省略することが可能である。しかしながら、本実施の形態で示す半導体装置は、第 m 行目のトランジスタ 1 6 2 $_m$ においても、ソース電極 1 4 2 a に第 3 の領域 2 0 0 c を設けることで、第 m 行目のメモリセルのノード F G に生じる寄生容量の値を、その他の行（第 i 行目）のメモリセルのノード F G に生じる寄生容量の値に近づけることができる。具体的には、第 m 行目のメモリセルのノード F G に生じる寄生容量の値は、第 2 の領域 2 0 0 b とトランジスタ 1 6 0 $_m$ のソース領域（またはドレイン領域）との間の寄生容量と、第 3 の領域 2 0 0 c とトランジスタ 1 6 0 $_m$ のドレイン領域（またはソース領域）との間の寄生容量と、第 2 の領域 2 0 0 b とトランジスタ 1 6 2 $_m$ のゲート電極 1 4 8 a との間の寄生容量と、の合計の値となる。これによって、第 1 乃至第 m 行目までのメモリセルにおけるノード F G の電位のばらつきを抑制することができ、安定した動作が可能な半導体装置とすることができる。

【 0 0 9 4 】

なお、第 m 行目のメモリセルのノード F G に生じる寄生容量の値を、第 i 行目のメモリセルのノード F G に生じる寄生容量の値と、より近づけるために、第 m 行目のメモリセルに含まれる第 3 の領域 2 0 0 c とトランジスタ 1 6 0 $_m$ との間に生じる寄生容量と、第 i 行目のメモリセルに含まれる第 3 の領域 2 0 0 c とトランジスタ 1 6 0 $_i$ との間に生じる寄生容量の値は同等の値とするのが好ましい。例えば、トランジスタ 1 6 2 $_m$ における第 3 の領域 2 0 0 c のチャンネル長方向の長さを、トランジスタ 1 6 2 $_i$ における第 3 の領域 2 0 0 c のチャンネル長方向の長さと同じ長さにするのが好ましい。また、トランジスタ 1 6 2 $_m$ における第 3 の領域 2 0 0 c とトランジスタ 1 6 2 $_m$ のソース領域またはドレイン領域とが重畳する面積を、トランジスタ 1 6 2 $_i$ における第 3 の領域 2 0 0 c とトランジスタ 1 6 0 $_i$ のソース領域またはドレイン領域とが重畳する面積と同じにするのがより好ましい。

【 0 0 9 5 】

また、半導体装置の別の構成例を図 2 に示す。図 2 (A) には、半導体装置の断面を、図 2 (B) には、半導体装置の平面を、それぞれ示す。ここで、図 2 (A) は、図 2 (B) の D 1 - D 2 における断面に相当する。図 2 (A) および図 2 (B) に示される半導体装置は、図 1 の半導体装置と同様に、下部に第 1 の半導体材料を用いたトランジスタ 1 6 0 を有し、上部に第 2 の半導体材料を用いたトランジスタ 1 6 2 を有するものである。

【 0 0 9 6 】

図 2 に示す半導体装置は、第 m 行目のメモリセルに含まれるトランジスタ 1 6 2 $_m$ において、ソース電極 1 4 2 a は、ゲート電極 1 1 0 と接する第 1 の領域 2 0 0 a と、ゲート電極 1 1 0 よりも酸化物半導体層 1 4 4 側に伸長した第 2 の領域 2 0 0 b と、ゲート電極 1 1 0 よりも酸化物半導体層 1 4 4 と逆側に伸長した第 3 の領域 2 0 0 c と、を有している。さらに、第 2 の領域 2 0 0 b の一部には、ゲート電極 1 4 8 a と重畳する第 4 の領域 2 0 0 d を含み、第 3 の領域 2 0 0 c の一部には、配線 1 3 8 と重畳する第 5 の領域 2 0 0 e を含む。図 2 において、配線 1 3 8 は、図 8 の回路図におけるソース線 S L に相当する。あるいは、配線 1 3 8 はソース線 S L とは別の信号線（図示せず）であっても構わ

ない。

【0097】

図2に示す半導体装置において、第m行目のメモリセルのノードFGに生じる寄生容量の値は、第2の領域200bとトランジスタ160_mのソース領域（またはドレイン領域）との間の寄生容量と、第3の領域200cとトランジスタ160_mのドレイン領域（またはソース領域）との間の寄生容量と、第4の領域200dとトランジスタ162_mのゲート電極148aとの間の寄生容量と、第5の領域200eと配線138との間の寄生容量の値と、の合計の値となる。したがって、第m行目のメモリセルのノードFGに生じる寄生容量の値を、その他の行（第i行目）のメモリセルのノードFGに生じる寄生容量の値により近づけることができ、好ましくは同等の値とすることができる。これによ

10

【0098】

なお、第m行目のメモリセルのノードFGに生じる寄生容量の値と、第i行目のメモリセルのノードFGに生じる寄生容量の値とをより近づけるために、第m行目のメモリセルに含まれる第3の領域200cとトランジスタ160_mとの間に生じる寄生容量と、第i行目のメモリセルに含まれる第3の領域200cとトランジスタ160_iとの間に生じる寄生容量の値は同等の値とするのが好ましい。例えば、トランジスタ162_mにおける第3の領域200cのチャンネル長方向の長さを、トランジスタ162_iにおける第3の領域200cのチャンネル長方向の長さと同じ長さにするのが好ましい。また、トラン

20

【0099】

さらに、第5の領域200eと配線138との間に生じる寄生容量の値と、第i行目のメモリセルに含まれる第3の領域200c（具体的には、第3の領域200cの一部であって、トランジスタ162_(i+1)のゲート電極148aと重畳する領域）とトランジスタ162_(i+1)のゲート電極148aとの間の寄生容量の値とを、同等の値とするのが好ましい。例えば、トランジスタ162_mにおける第5の領域200eのチャ

30

【0100】

なお、図2に示す半導体装置において、配線138は、トランジスタ160_mのソース領域またはドレイン領域と接続されている。図2に示す半導体装置の構成は、配線138および配線138と重畳する第5の領域200eを有すること以外は、図1に示す半導

40

【0101】

図1または図2に示す半導体装置において、第1乃至第m行目のメモリセルは、同様のレイアウトを有するのが好ましい。例えば、m行目のメモリセルに含まれるトランジスタ162_mにおいて、ソース電極142aのチャンネル長方向の長さは、第i行目のメモリセルに含まれるトランジスタ162_iにおけるソース電極142aのチャンネル長方向の長さと同一致しているのが好ましい。

【0102】

また、第1行目のメモリセル170の断面図の例を図11に示す。本実施の形態において、第1行目のトランジスタ160₁は、選択トランジスタ180を介して配線156

50

と電氣的に接続されている。したがって、第 1 行目のトランジスタ 160__1 のドレイン領域として機能する不純物領域 120 および金属化合物領域 124 は、選択トランジスタ 180 のソース領域として機能する。ここで、選択トランジスタ 180 は、トランジスタ 160 と同様の構成とすることができる。つまり、選択トランジスタ 180 は、半導体材料（例えば、シリコンなど）を含む基板 100 に設けられたチャンネル形成領域 116 と、チャンネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャンネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、を有する。

【0103】

なお、選択トランジスタ 180 のゲート電極 110 は、図 8 に示す回路図における選択線 G として機能する。また、ゲート絶縁層 146、絶縁層 150、絶縁層 151 などに形成された開口に設けられた電極 154 と、ソース電極 142a と同じ層に設けられた電極 140 と、絶縁層 128 に埋め込まれた電極 126 と、を介して配線 156 と選択トランジスタ 180 のドレイン領域として機能する金属化合物領域 124 とが電氣的に接続される。ここで、配線 156 は、図 8 に示す回路における、ビット線 BL として機能する。

【0104】

図 12 に、図 8 に示すメモリセルのうち、 i 行目 (i は 1 以上 ($m - 1$) 以下の整数) のメモリセルと、($i + 1$) 行目のメモリセルの一部を抜粋して、寄生容量を加えた回路モデル図を示す。

【0105】

図 12 において、 $C_w(i)$ は容量素子が有する容量、 $C_{g1}(i)$ はトランジスタ 160 のゲート容量、 $C_{s1}(i)$ はノード FG とトランジスタ 160__ i のソース領域またはドレイン領域（回路図におけるソース線 SL 側）の間の寄生容量、 $C_{b1}(i)$ はノード FG とトランジスタ 160__ i のソース領域またはドレイン領域（回路図におけるビット線 BL 側）の間の寄生容量、 $C_{s2}(i)$ はノード FG とトランジスタ 162__ i のゲート電極との間の寄生容量、 $C_{b2}(i + 1)$ はノード FG と、ソース線側に隣接するメモリセルのトランジスタ 162__ i のゲート電極との間の寄生容量、をそれぞれ表す。

【0106】

ノード FG に接続される容量 (C_{fg}) は、 $C_{fg}(i) = C_w(i) + C_{g1}(i) + C_{para}(i)$ と表される。また、ここで、 C_{para} は寄生容量であり、上述したモデルにもとづいて、 $C_{para}(i) = C_{s1}(i) + C_{b1}(i) + C_{s2}(i) + C_{b2}(i + 1)$ で表される。

【0107】

寄生容量 (C_{para}) が十分小さく、 $C_w + C_{gate1} \gg C_{para}$ の関係が成り立つ場合には、半導体装置の動作に C_{para} のばらつきが影響を与えることはない。しかしながら、例えば、プロセスが微細化され、ノード FG に接続される容量 (C_{fg}) が小さくなると、相対的に寄生容量 (C_{para}) の割合が大きくなる。その結果、寄生容量 (C_{para}) のばらつきは重要になり、動作に影響を及ぼす恐れがある。

【0108】

また、例えば、メモリセルに記憶させる状態数を、3 値以上の多値とした場合には、状態間を区別するために必要なノード FG の電位差が小さくなるため、各メモリセルのノード FG の電位を精度良く制御する必要がある。その場合においても、寄生容量 (C_{para}) のばらつきが、動作に影響を及ぼす恐れがある。

【0109】

半導体装置の駆動方法によるが、寄生容量 (C_{para}) がばらつくと、読み出しを行う際に、メモリセルのノード FG の電位がばらつく要因となる。例えば、選択したメモリセルにおいて、書き込み時に読み出しワード線に 0V を与え、読み出し時に読み出しワード線に V_{R} (例えば -2V) を与えるとする。この場合、書き込み時のノード FG の電位を V_{FG0} とすると、読み出し時のノード FG の電位は、 $V_{FG1} = V_{FG0} + V_{RL} \times C_w / C_{fg}$ と表される。ここで、ノード FG に接続される容量 (C_{fg}) には寄生容量

10

20

30

40

50

(C_{para})が含まれるために、寄生容量(C_{para})がばらつくと、読み出し時の読み出しを行うメモリセルのノードFGの電位(V_{FG1})がばらつくことがわかる。

【0110】

図1に示すように、第1乃至第($m-1$)行目のメモリセルは、同じレイアウトおよび構造を採用することが可能であるため、ノードFGに接続される容量の大きさは同等である。一方、第 m 行目のメモリセルにおいては、($m+1$)行目のメモリセルが存在しないため、第1乃至($m-1$)行目のメモリセルと全く同じレイアウトおよび構造を用いることが出来ない。例えば、第 m 行目のメモリセルのノードFGに接続される容量には、 $C_{b2}(m+1)$ の成分は存在しない。したがって、第 m 行目のメモリセルの寄生容量($C_{para}(m)$)は、他の行のメモリセルの寄生容量($C_{para}(i)$)よりも小さくなる。また、仮に、第 m 行目のメモリセルにおいて、第3の領域200cを設けない場合には、 $C_{s1}(m)$ は、 $C_{s1}(i)$ より小さくなるため、第 m 行目のメモリセルの寄生容量($C_{para}(m)$)と、他の行のメモリセルの寄生容量($C_{para}(i)$)との相違がより大きくなる。

10

【0111】

このことは、各メモリセルが同じデータを記憶している場合であっても、第 i 行目のメモリセルの読み出し時のノードFGの電位と、第 m 行目のメモリセルの読み出し時のノードFGの電位とが異なることを意味する。その結果、半導体装置の読み出し動作の安定性を低減させてしまう。

【0112】

一方、本実施の形態で示す半導体装置では、加工精度上は、第 m 行目のメモリセルをさらに縮小できるにもかかわらず、意図的に、トランジスタ162_mに第3の領域200cを設けている。これにより、第 m 行目のメモリセルの寄生容量 $C_{s1}(m)$ を他のメモリセルの寄生容量 $C_{s1}(i)$ に近い値とすることが可能である。ここで、意図的に設けるとは、加工精度上の最小値よりも大きく設計するという意味である。

20

【0113】

本発明において、第 m 行目のメモリセルの第3の領域200cとトランジスタ160のソース領域もしくはドレイン領域との間の寄生容量 $C_{s1}(m)$ は、他の行のメモリセルが有する寄生容量 $C_{s1}(i)$ に必ずしも一致しなくてよい。寄生容量の値を近づけることで、メモリセル間の寄生容量のばらつきを低減させることができるためである。すなわち、半導体装置の動作を正常に行える程度にばらつきを低減させることができれば、有効といえる。例えば、第 m 行目のメモリセルの寄生容量 $C_{s1}(m)$ を、他の行のメモリセルの寄生容量 $C_{s1}(i)$ の半分以上となるように第3の領域200c(m)を設けた例は、意図的に第3の領域200cを設けた例ということができ、メモリセル間の寄生容量のばらつきを低減させることができるため、好ましい。

30

【0114】

より好ましくは、第 m 行目のメモリセルの寄生容量 $C_{s1}(m)$ が他の行のメモリセルの寄生容量 $C_{s1}(i)$ と同等となるように第3の領域200cを設ける。例えば、第 m 行目のメモリセルの第3の領域200cのレイアウトパターンを、他の行のメモリセルの第3の領域200cのレイアウトパターンと同じとすることが好ましい。あるいは、第 m 行目のメモリセルにおける、第3の領域200cとトランジスタ160のソース領域もしくはドレイン領域との重なり面積を、他の行のメモリセルにおける、第3の領域200cとトランジスタ160のソース領域もしくはドレイン領域との重なり面積と同じとすることが好ましい。なお、実際には、プロセスばらつき(トランジスタの作製工程において生じるばらつき)が存在するから、完全に一致することはなく、プロセスばらつきの範囲で一致することとなる。従って、寄生容量が同等であるとは、プロセスばらつきを許容した範囲で一致することを意味する。したがって、第3の領域200c(m)の形状と第3の領域200c(i)の形状がプロセスばらつきを許容した範囲で一致することが好ましい。あるいは、第3の領域200c(m)とトランジスタ160_mのソース領域またはドレイン領域とが重畳する面積と、第3の領域200c(i)とトランジスタ160_iのソー

40

50

ス領域またはドレイン領域とが重畳する面積とがプロセスばらつきを許容した範囲で一致することが好ましい。

【0115】

また、図2に示す半導体装置では、第m行目のメモリセルに第5の領域200eを設けることで、配線138と第5の領域200eとの間に寄生容量が生じる。これは、第m行目のメモリセルには存在しなかった、ノードFGと、ソース線側に隣接するメモリセルのトランジスタ162のゲート電極との間の寄生容量($C_{b2}(i+1)$)と同等の寄生容量が形成されることを意味する。その結果、第m行目のメモリセルの寄生容量($C_{para}(m)$)は、その他の行のメモリセルの寄生容量($C_{para}(i)$)に近い値とすることができる。

10

【0116】

なお、第m行目のメモリセルにおいて、第5の領域200eによって形成された寄生容量が、第i行目のメモリセルにおける、ノードFGと、ソース線側に隣接するメモリセルのトランジスタ162__($i+1$)のゲート電極との間の寄生容量($C_{b2}(i+1)$)と同等となるように第5の領域200eを設けることが好ましい。例えば、第i行目のメモリセルのノードFGとトランジスタ162__($i+1$)のゲート電極とが重なりを有する場合、第m行目のメモリセルのノードFGと配線138とも重なりを有するように設けることが好ましく、その重なりを面積を同等とすることがより好ましい。また、第i行目のメモリセルのノードFGとトランジスタ162__($i+1$)のゲート電極とが重なりを有さない場合(いわゆるオフセット構造)であっても、配線138を設けることは有効である。その場合、第m行目のメモリセルのノードFGと配線138も重なりを有さないことが好ましく、トランジスタ162__mにおけるソース電極142aから、配線138までのチャンネル長方向の長さ、オフセット幅とを同等とすることがより好ましい。

20

【0117】

<半導体装置の作製方法>

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ160の作製方法について図3および図4を参照して説明し、その後、上部のトランジスタ162および容量素子164の作製方法について図5および図6を参照して説明する。

【0118】

<下部のトランジスタの作製方法>

30

【0119】

まず、半導体材料を含む基板100を用意する(図3(A)参照)。半導体材料を含む基板100としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを適用することができる。ここでは、半導体材料を含む基板100として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

40

【0120】

半導体材料を含む基板100として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【0121】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図3(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不

50

純物元素や p 型の導電性を付与する不純物元素を基板 100 に添加してもよい。半導体がシリコンの場合、n 型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p 型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【0122】

次に、上記の保護層 102 をマスクとしてエッチングを行い、保護層 102 に覆われていない領域（露出している領域）の、基板 100 の一部を除去する。これにより他の半導体領域と分離された半導体領域 104 が形成される（図 3（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

10

【0123】

次に、基板 100 上に絶縁層を形成し、半導体領域 104 に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層 106 を形成する（図 3（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP（化学的機械的研磨）などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 104 の形成後、または、素子分離絶縁層 106 の形成後には、上記保護層 102 を除去する。

【0124】

次に、半導体領域 104 の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

20

【0125】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域 104 表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、He、Ar、Kr、Xe などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD 法やスパッタリング法などを用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ HfSi_xO_y （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ HfAl_xO_y （ $x > 0$ 、 $y > 0$ ））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

30

【0126】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD 法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

40

【0127】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層 108、ゲート電極 110 を形成する（図 3（C）参照）。

【0128】

次に、半導体領域 104 にリン（P）やヒ素（As）などを添加して、チャンネル形成領域 116 および不純物領域 120 を形成する（図 3（D）参照）。なお、ここでは n 型トランジスタを形成するためにリンやヒ素を添加しているが、p 型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化さ

50

れる場合には、その濃度を高くすることが望ましい。

【0129】

なお、ゲート電極110の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0130】

次に、ゲート電極110、不純物領域120等を覆うように金属層122を形成する(図4(A)参照)。当該金属層122は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層122は、半導体領域104を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

10

【0131】

次に、熱処理を施して、上記金属層122と半導体材料とを反応させる。これにより、不純物領域120に接する金属化合物領域124が形成される(図4(A)参照)。なお、ゲート電極110として多結晶シリコンなどを用いる場合には、ゲート電極110の金属層122と接触する部分にも、金属化合物領域が形成されることになる。

【0132】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域124を形成した後には、金属層122は除去する(図4(B)参照)。

20

【0133】

次に、上述の工程により形成された各構成を覆うように、絶縁層128を形成する(図4(C)参照)。絶縁層128は、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層128に誘電率の低い(low-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層128には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層128は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層128を単層構造としているが、開示する発明の一態様はこれに限定されない。絶縁層は、2層以上の積層構造としても良い。

30

【0134】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される(図4(C)参照)。このようなトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

40

【0135】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁層128にCMP処理を施して、ゲート電極110の上面を露出させる(図4(D)参照)。ゲート電極110の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能であるが、トランジスタ162の特性を向上させるために、絶縁層128の表面は可能な限り平坦にしておくことが望ましい。

【0136】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造で

50

なる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0137】

<上部のトランジスタの作製方法>

ゲート電極110、絶縁層128などの上に酸化物半導体層を形成し、該酸化物半導体層を選択的にエッチングして、酸化物半導体層144を形成する(図5(A)参照)。なお、絶縁層128の上には、下地として機能する絶縁層を設けても良い。当該絶縁層は、PVD法やCVD法などを用いて形成することができる。

【0138】

酸化物半導体層は、四元系金属酸化物であるIn-Sn-Ga-Zn系酸化物半導体や、三元系金属酸化物であるIn-Ga-Zn系酸化物半導体、In-Sn-Zn系酸化物半導体、In-Al-Zn系酸化物半導体材料、Sn-Ga-Zn系酸化物半導体、Al-Ga-Zn系酸化物半導体、Sn-Al-Zn系酸化物半導体や、二元系金属酸化物であるIn-Zn系酸化物半導体、In-Ga系酸化物半導体、Sn-Zn系酸化物半導体、Al-Zn系酸化物半導体、Zn-Mg系酸化物半導体、Sn-Mg系酸化物半導体、In-Mg系酸化物半導体や、単元系金属酸化物であるIn系酸化物半導体、Sn系酸化物半導体、Zn系酸化物半導体などを用いて形成することができる。

10

【0139】

中でも、In-Ga-Zn系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

20

【0140】

In-Ga-Zn系の酸化物半導体材料の代表例としては、 $InGaO_3(ZnO)_m$ ($m > 0$) で表記されるものがある。また、Gaに代えてMの表記を用い、 $InMO_3(ZnO)_m$ ($m > 0$) のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

30

【0141】

本実施の形態では、酸化物半導体層を、In-Ga-Zn系の酸化物半導体成膜用ターゲットを用いたスパッタリング法により形成する。

【0142】

酸化物半導体層としてIn-Ga-Zn系の材料を用いる場合、 $In : Ga : Zn = 1 : x : y$ (x は0以上、 y は0.5以上5以下)の組成式で表されるものを用いるのが好適である。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol比] ($x = 1$ 、 $y = 1$)の組成比を有する酸化物半導体成膜用ターゲットなどを用いることができる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol比] ($x = 1$ 、 $y = 0.5$)の組成比を有する酸化物半導体成膜用ターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ ($x = 1$ 、 $y = 2$)の組成比を有する酸化物半導体成膜用ターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 0 : 2$ [mol比] ($x = 0$ 、 $y = 1$)の組成比を有する酸化物半導体成膜用ターゲットを用いることもできる。

40

【0143】

本実施の形態では、非晶質構造の酸化物半導体層を、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いるスパッタ法により形成することとする。

【0144】

また、酸化物半導体としてIn-Zn系の酸化物材料を用いることもできる。酸化物半導体としてIn-Zn系の酸化物材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ (mol比に換算すると $In_2O_3 : ZnO = 2$

50

5 : 1 ~ 1 : 4)、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ (mol比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$)、さらに好ましくは $In : Zn = 15 : 1 \sim 1 : 5 : 1$ (mol比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$) とする。例えば、 $In - Zn$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0145】

酸化物半導体成膜用ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

10

【0146】

酸化物半導体層の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度1ppm以下(望ましくは濃度10ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

【0147】

酸化物半導体層の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層の形成の際の被処理物の温度は、室温(25 ± 10)としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を形成する。被処理物を熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物を低減することができる。また、スパッタによる酸化物半導体層の損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

20

【0148】

酸化物半導体層の形成条件としては、例えば、被処理物とターゲットとの間の距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質(パーティクル、ゴミともいう)が軽減でき、膜厚のばらつきも小さくなるため好ましい。酸化物半導体層の厚さは、1nm以上50nm以下、好ましくは1nm以上30nm以下、より好ましくは1nm以上10nm以下とする。このような厚さの酸化物半導体層を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

30

40

【0149】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面(例えば絶縁層128の表面)の付着物を除去するのが好適である。ここで、逆スパッタとは、通常スパッタは、スパッタターゲットにイオンを衝突させる方法を指すが、逆に、基板の処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

50

【0150】

その後、酸化物半導体層に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300 以上550 未満、好ましくは400 以上500 以下とする。

【0151】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450、1時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

10

【0152】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA (Lamp Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

20

【0153】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【0154】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは7N (99.99999%) 以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

30

【0155】

いずれにしても、第1の熱処理によって不純物を低減し、酸素を補填することでi型（真性）半導体またはi型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0156】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

40

【0157】

酸化物半導体層のエッチングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行って良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

50

【0158】

次に、ゲート電極110、絶縁層128、酸化物半導体層144などの上に導電層を形成し、該導電層を選択的にエッチングして、ソース電極142a、ドレイン電極142bを形成する(図5(B)参照)。

【0159】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガ、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

10

【0160】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜、アルミニウム膜、チタン膜が順に積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパ形状を有するソース電極142a、およびドレイン電極142bへの加工が容易であるというメリットがある。

【0161】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($In_2O_3-SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金(In_2O_3-ZnO)、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

20

【0162】

導電層のエッチングは、形成されるソース電極142a、およびドレイン電極142bの端部が、テーパ形状となるように行うことが好ましい。ここで、テーパ角は、例えば、 30° 以上 60° 以下であることが好ましい。ソース電極142a、ドレイン電極142bの端部をテーパ形状となるようにエッチングすることにより、後に形成されるゲート絶縁層146の被覆性を向上し、段切れを防止することができる。

30

【0163】

上部のトランジスタのチャンネル長(L)は、ソース電極142a、およびドレイン電極142bの下端部の間隔によって決定される。なお、チャンネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm~数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長(L)を、10nm以上1000nm($1\mu m$)以下とする 것도可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

40

【0164】

次に、酸化物半導体層144の一部、ソース電極142a、およびドレイン電極142bに接するゲート絶縁層146を形成し、その後、ゲート絶縁層146上において酸化物半導体層144と重畳する領域にゲート電極148aを形成し、ゲート電極110、ソース電極142aと重畳する領域に電極148bを形成する(図5(C)参照)。

【0165】

ゲート絶縁層146は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層146は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート($HfSi_xO_y$ ($x > 0$, $y > 0$))、窒素が添加されたハフニウムシリケート($HfSi_x$

50

O_y ($x > 0$ 、 $y > 0$)、窒素が添加されたハフニウムアルミネート ($HfAl_xO_y$ ($x > 0$ 、 $y > 0$)) などを含むように形成するのが好適である。ゲート絶縁層 146 は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

【0166】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 146 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート、窒素が添加されたハフニウムシリケート、窒素が添加されたハフニウムアルミネートなどの高誘電率 (high-k) 材料を用いると良い。high-k 材料をゲート絶縁層 146 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k 材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

10

【0167】

また、酸化物半導体層 144 に接する絶縁層 (本実施の形態においては、ゲート絶縁層 146) は、第 13 族元素および酸素を含む絶縁材料としてもよい。酸化物半導体材料には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁層に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

20

【0168】

ここで、第 13 族元素を含む絶縁材料とは、絶縁材料に一または複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量 (原子%) よりアルミニウムの含有量 (原子%) が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量 (原子%) がアルミニウムの含有量 (原子%) 以上のものを示す。

30

【0169】

例えば、ガリウムを含有する酸化物半導体層に接してゲート絶縁層を形成する場合に、ゲート絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層とゲート絶縁層の界面特性を良好に保つことができる。また、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のピルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

40

【0170】

また、酸化物半導体層 144 に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーブなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーブとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーブには、プラズマ化した酸素をバルクに添加する酸素プラズマドーブが含まれる。また、酸素ドーブは、イオン注入法またはイオンドーピング法を用いて行ってもよい。

【0171】

例えば、酸化物半導体層 144 に接する絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーブを行うことにより、酸化ガリウムの組成を Ga_2O_x ($x = 3 +$ 、 $0 < < 1$) とすることができる。また、酸化物半導体層 144 に接す

50

る絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_x ($x = 3 + \delta$ 、 $0 < \delta < 1$) とすることができる。または、酸化物半導体層 144 に接する絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_xAl_{2-x}O_3 + \delta$ ($0 < x < 2$ 、 $0 < \delta < 1$) とすることができる。

【0172】

酸素ドーピング処理等を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素欠陥を低減し、酸化物半導体層を i 型化または i 型に限りなく近い酸化物半導体とすることができる。

10

【0173】

なお、化学量論的組成比より酸素が多い領域を有する絶縁層は、ゲート絶縁層 146 に代えて、酸化物半導体層 144 の下地膜として形成する絶縁層に適用しても良く、ゲート絶縁層 146 および下地絶縁層の双方に適用しても良い。

【0174】

ゲート絶縁層 146 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、望ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、 i 型（真性）半導体または i 型に限りなく近い酸化物半導体層を形成することもできる。

20

【0175】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

30

【0176】

上述のように、第 1 の熱処理と第 2 の熱処理の少なくとも一方を適用することで、酸化物半導体層 144 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

【0177】

ゲート電極 148 a および電極 148 b は、ゲート絶縁層 146 上に導電層を形成した後、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 148 a および電極 148 b となる導電層は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極 142 a などの場合と同様であり、これらの記載を参酌できる。

40

【0178】

次に、ゲート絶縁層 146、ゲート電極 148 a、および電極 148 b 上に、絶縁層 151 および絶縁層 152 を形成する（図 6 (A) 参照）。絶縁層 151 および絶縁層 152 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒素化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

【0179】

なお、絶縁層 151 や絶縁層 152 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 151 や絶縁層 152 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることが

50

できるためである。

【0180】

なお、本実施の形態では、絶縁層151と絶縁層152の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。また、絶縁層を設けない構成とすることも可能である。

【0181】

なお、上記絶縁層152は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層152を形成することで、半導体装置を微細化した場合などにおいても、絶縁層152上に、電極や配線などを好適に形成することができるためである。なお、絶縁層152の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

10

【0182】

次に、ゲート絶縁層146、絶縁層151、絶縁層152に、ドレイン電極142bにまで達する開口を形成する。当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。その後、上記開口に電極（図示せず）を形成し、絶縁層152上に該電極に接する配線156を形成する（図6（B）参照）。

【0183】

電極は、例えば、開口を含む領域にPVD法やCVD法などを用いて導電層を形成した後、エッチング処理やCMPといった方法を用いて、上記導電層の一部を除去することにより形成することができる。

20

【0184】

配線156は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせ合わせた材料を用いてもよい。詳細は、ソース電極142aなどと同様である。

【0185】

以上により、高純度化された酸化物半導体層144を用いたトランジスタ162、および容量素子164が完成する。

30

【0186】

本実施の形態において示すトランジスタ162では、酸化物半導体層144が高純度化されているため、その水素濃度は、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下である。また、酸化物半導体層144のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ $1 \times 10^{14} / \text{cm}^3$ 程度）と比較して、十分に小さい値（例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満）をとる。そして、トランジスタ162のオフ電流も十分に小さくなる。例えば、トランジスタ162の室温（25℃）でのオフ電流（ここでは、単位チャネル幅（ $1 \mu\text{m}$ ）あたりの値）は 100 zA （ 1 zA （zeptoアンペア）は $1 \times 10^{-21} \text{ A}$ ）以下、望ましくは 10 zA 以下となる。

40

【0187】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。そして、このようなトランジスタを用いることで、極めて長期にわたり記憶内容を保持することが可能な半導体装置が得られる。

【0188】

また、本実施の形態に示す半導体装置は、最終行（第m行目）のメモリセルに含まれるトランジスタ162_mにおいて、ソース電極142aは、ゲート電極110よりも酸化

50

物半導体層 144 と逆側（ソース線 SL 側）に伸長した第 3 の領域 200c を有している。これによって、第 1 乃至第 m のメモリセルにおいて、ソース電極 142a とゲート電極 110 とが電氣的に接続される部位（ノード FG）に生じる寄生容量の値を近づける、好ましくは同等の値とすることができる。したがって、第 1 乃至第 m のメモリセルにおけるノード FG の電位のばらつきを抑制することができ、安定した動作が可能な半導体装置とすることができる。

【0189】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【0190】

（実施の形態 2）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 10 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0191】

図 10（A）は、ノート型のパーソナルコンピュータであり、筐体 701、筐体 702、表示部 703、キーボード 704 などによって構成されている。筐体 701 と筐体 702 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ、消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0192】

図 10（B）は、携帯情報端末（PDA）であり、本体 711 には、表示部 713 と、外部インターフェイス 715 と、操作ボタン 714 等が設けられている。また、携帯情報端末を操作するスタイラス 712 などを備えている。本体 711 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減された携帯情報端末が実現される。

【0193】

図 10（C）は、電子ペーパーを実装した電子書籍 720 であり、筐体 721 と筐体 723 の 2 つの筐体で構成されている。筐体 721 および筐体 723 には、それぞれ表示部 725 および表示部 727 が設けられている。筐体 721 と筐体 723 は、軸部 737 により接続されており、該軸部 737 を軸として開閉動作を行うことができる。また、筐体 721 は、電源 731、操作キー 733、スピーカー 735 などを備えている。筐体 721、筐体 723 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減された電子書籍が実現される。

【0194】

図 10（D）は、携帯電話機であり、筐体 740 と筐体 741 の 2 つの筐体で構成されている。さらに、筐体 740 と筐体 741 は、スライドし、図 10（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体 741 は、表示パネル 742、スピーカー 743、マイクロフォン 744、操作キー 745、ポインティングデバイス 746、カメラ用レンズ 747、外部接続端子 748 などを備えている。また、筐体 740 は、携帯電話機の充電を行う太陽電池セル 749、外部メモリスロット 750 などを備えている。また、アンテナは、筐体 741 に内蔵されている。筐体 740 と筐体 741 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減された携帯電話機が実現される。

10

20

30

40

50

【 0 1 9 5 】

図 1 0 (E) は、デジタルカメラであり、本体 7 6 1、表示部 7 6 7、接眼部 7 6 3、操作スイッチ 7 6 4、表示部 7 6 5、バッテリー 7 6 6 などによって構成されている。本体 7 6 1 内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減されたデジタルカメラが実現される。

【 0 1 9 6 】

図 1 0 (F) は、テレビジョン装置 7 7 0 であり、筐体 7 7 1、表示部 7 7 3、スタンド 7 7 5 などで構成されている。テレビジョン装置 7 7 0 の操作は、筐体 7 7 1 が備えるスイッチや、リモコン操作機 7 8 0 により行うことができる。筐体 7 7 1 およびリモコン操作機 7 8 0 には、先の実施の形態に示す半導体装置が搭載されている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力が十分に低減されたテレビジョン装置が実現される。

10

【 0 1 9 7 】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

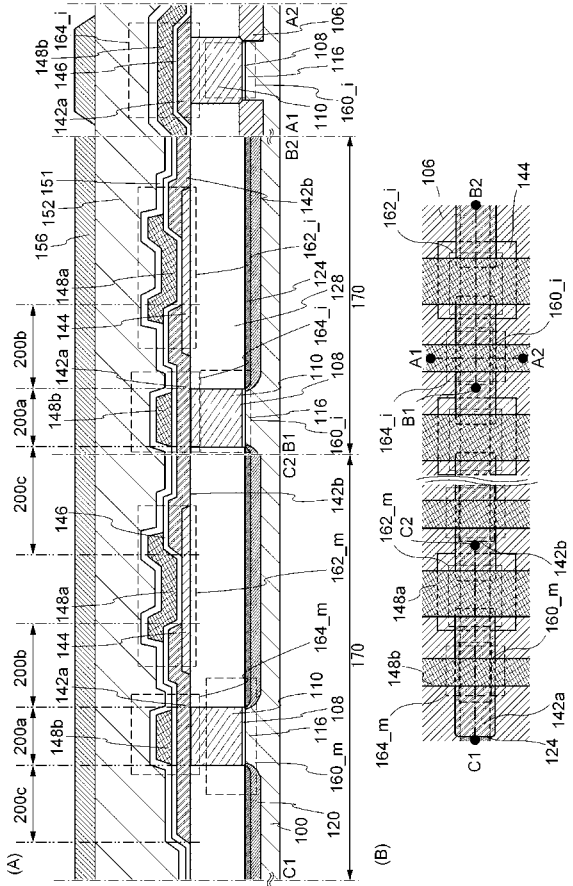
【 符号の説明 】

【 0 1 9 8 】

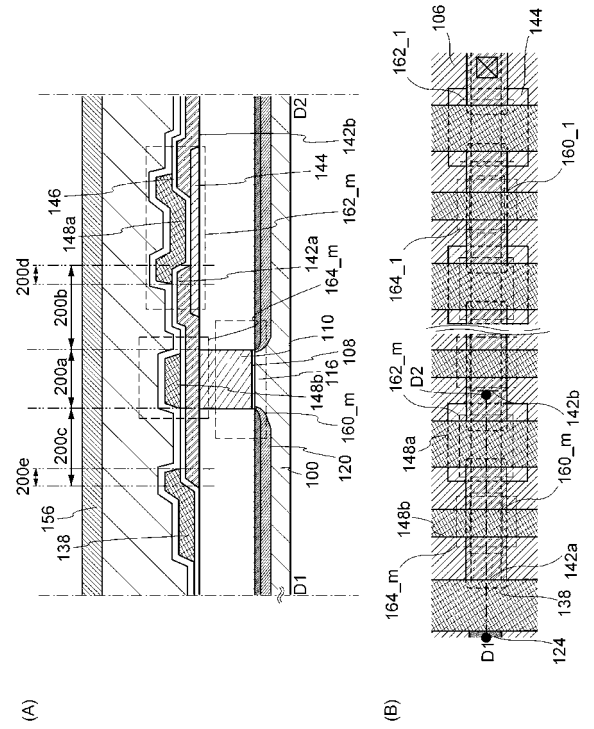
1 0 0	基板	
1 0 2	保護層	20
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極	
1 1 6	チャンネル形成領域	
1 2 0	不純物領域	
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 6	電極	
1 2 8	絶縁層	30
1 3 8	配線	
1 4 0	電極	
1 4 2 a	ソース電極	
1 4 2 b	ドレイン電極	
1 4 4	酸化物半導体層	
1 4 6	ゲート絶縁層	
1 4 8 a	ゲート電極	
1 4 8 b	電極	
1 5 0	絶縁層	
1 5 1	絶縁層	40
1 5 2	絶縁層	
1 5 4	電極	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
1 7 0	メモリセル	
1 8 0	選択トランジスタ	
2 0 0 a	第 1 の領域	
2 0 0 b	第 2 の領域	50

2 0 0 c	第 3 の領域	
2 0 0 d	第 4 の領域	
2 0 0 e	第 5 の領域	
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キーボード	
7 1 1	本体	
7 1 2	スタイラス	
7 1 3	表示部	10
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	20
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	操作キー	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	30
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	40
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	

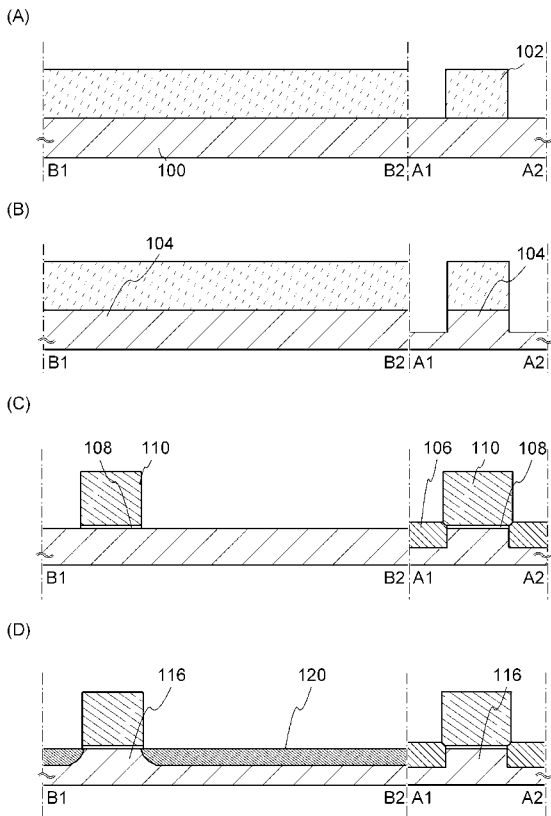
【 図 1 】



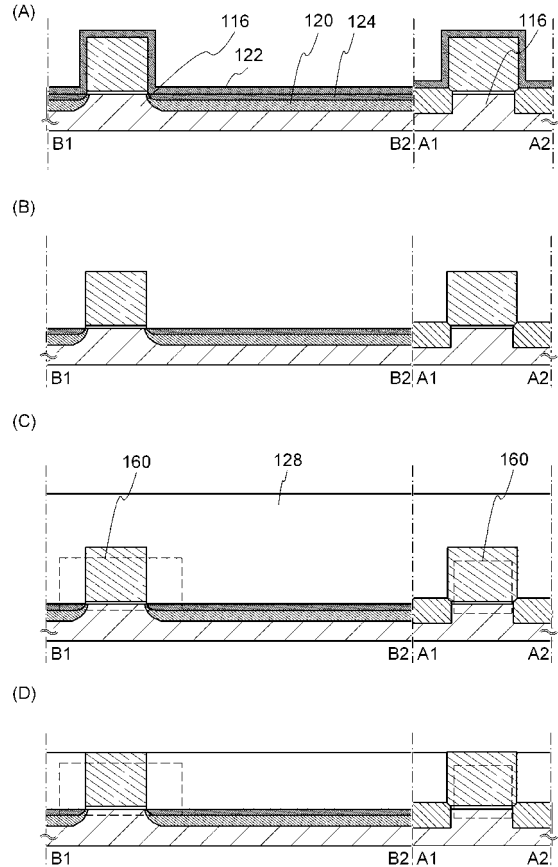
【 図 2 】



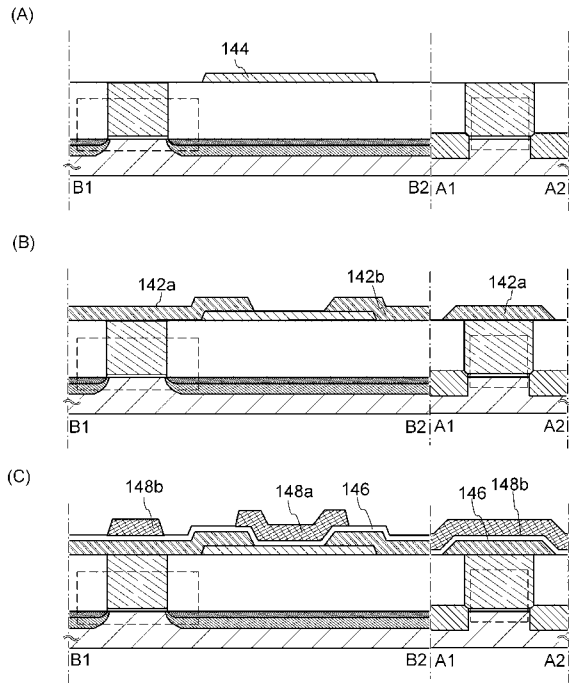
【 図 3 】



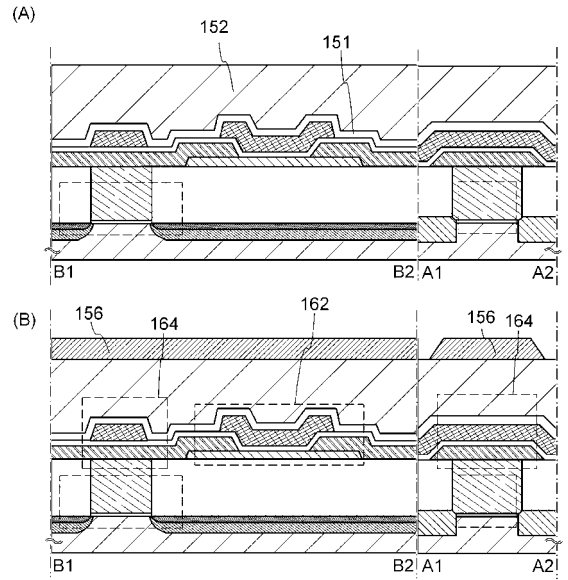
【 図 4 】



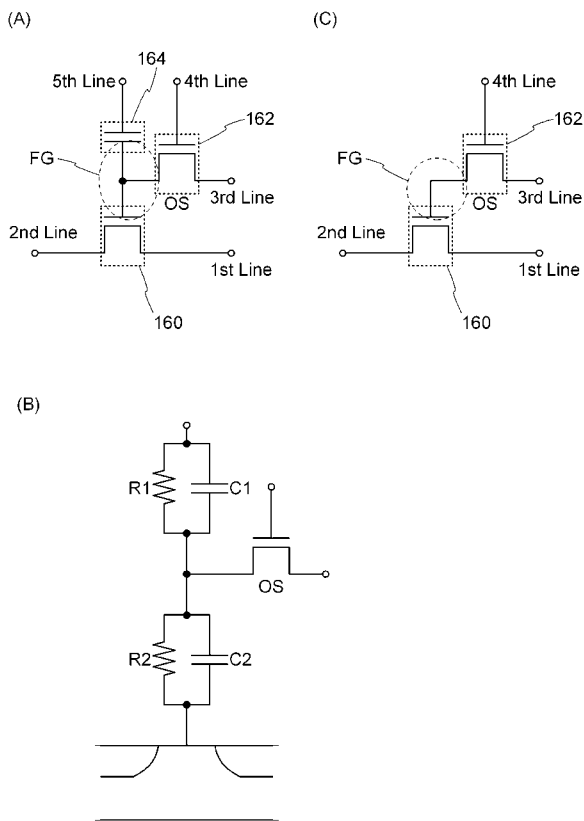
【 図 5 】



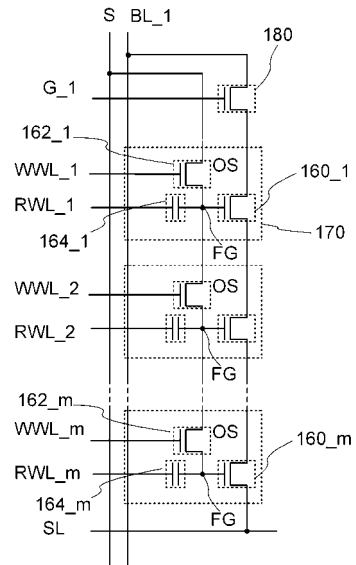
【 図 6 】



【 図 7 】

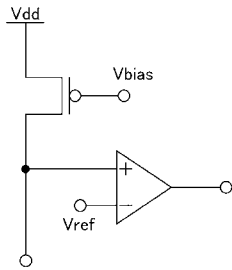


【 図 8 】

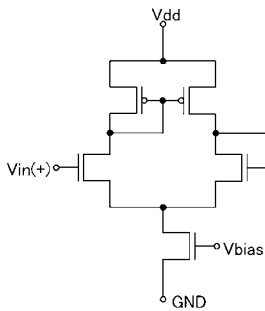


【 図 9 】

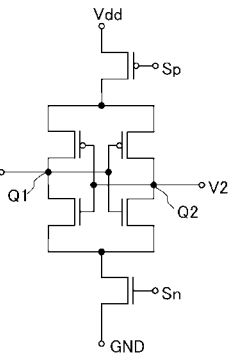
(A)



(B)

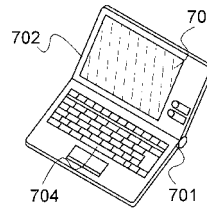


(C)

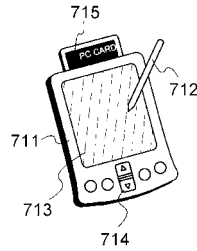


【 図 1 0 】

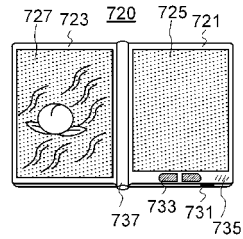
(A)



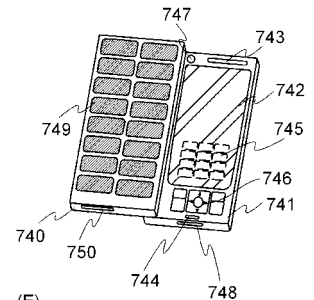
(B)



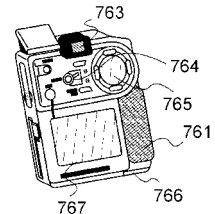
(C)



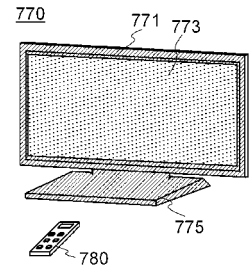
(D)



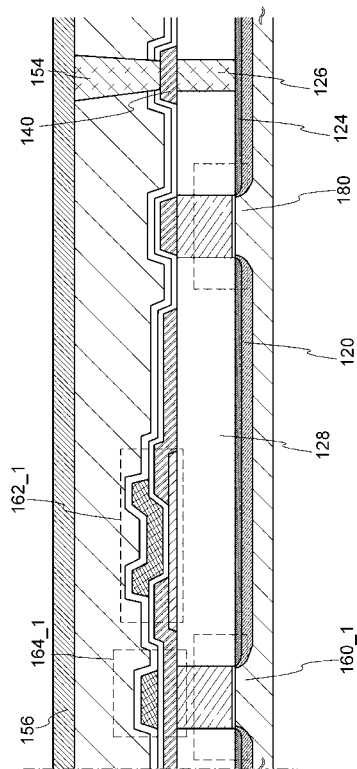
(E)



(F)



【 図 1 1 】



【 図 1 2 】

