



(12) 发明专利

(10) 授权公告号 CN 113327848 B

(45) 授权公告日 2024.03.08

(21) 申请号 202110591283.1

H10B 41/30 (2023.01)

(22) 申请日 2021.05.28

(56) 对比文件

(65) 同一申请的已公布的文献号

CN 105826364 A, 2016.08.03

申请公布号 CN 113327848 A

CN 108878529 A, 2018.11.23

(43) 申请公布日 2021.08.31

CN 1689149 A, 2005.10.26

(73) 专利权人 上海华力微电子有限公司

JP 2006196736 A, 2006.07.27

地址 201315 上海市浦东新区良腾路6号

JP 2012178582 A, 2012.09.13

(72) 发明人 田志 杨振兴 陈昊瑜 邵华

US 2008173955 A1, 2008.07.24

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

US 2015340229 A1, 2015.11.26

专利代理师 周耀君

审查员 王建霞

(51) Int. Cl.

H01L 21/28 (2006.01)

H01L 29/423 (2006.01)

H01L 29/06 (2006.01)

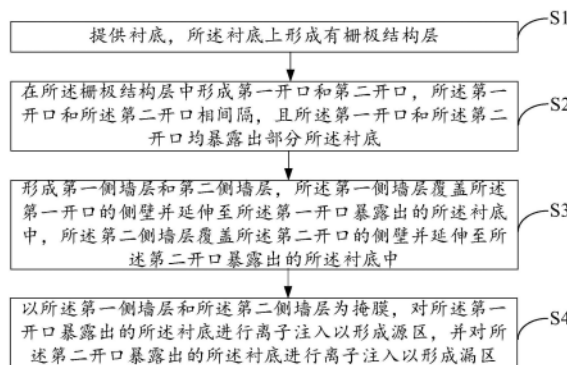
权利要求书2页 说明书6页 附图3页

(54) 发明名称

闪存器件及其制造方法

(57) 摘要

在本发明提供的闪存器件及其制造方法中,第一侧墙层覆盖栅极结构层中的第一开口的侧壁并延伸至所述第一开口暴露出的衬底中,第二侧墙层覆盖所述栅极结构层中的第二开口的侧壁并延伸至所述第二开口暴露出的衬底中,在所述衬底中形成源区和漏区以后,所述第一侧墙层和所述第二侧墙层的底部均低于导电沟道,由此可阻挡漏区(即漏端)的电场,从而降低源漏之间的漏电,并改善闪存器件的抗电压能力。



1. 一种闪存器件的制造方法,其特征在于,包括:

提供衬底,所述衬底上形成有栅极结构层;

在所述栅极结构层中形成第一开口和第二开口,所述第一开口和所述第二开口相间隔,且所述第一开口和所述第二开口均暴露出部分所述衬底;

在所述第一开口暴露出的所述衬底中形成第一凹槽,所述第一凹槽的宽度小于或者等于所述第一开口的宽度;

在所述第二开口暴露出的所述衬底中形成第二凹槽,所述第二凹槽的宽度小于所述第二开口的宽度,且所述第二凹槽的深度大于所述第一凹槽的深度;

形成第一侧墙层和第二侧墙层,所述第一侧墙层覆盖所述第一开口的侧壁并延伸至所述第一开口暴露出的所述衬底中,且覆盖所述第一凹槽的侧壁,所述第二侧墙层覆盖所述第二开口的侧壁并延伸至所述第二开口暴露出的所述衬底中,并且所述第二侧墙层填满所述第二凹槽,其中,所述第二侧墙层延伸至所述第二开口暴露出的所述衬底中的深度大于所述第一侧墙层延伸至所述第一开口暴露出的所述衬底中的深度;以及,

以所述第一侧墙层和所述第二侧墙层为掩膜,对所述第一开口暴露出的所述衬底进行离子注入以形成源区,并对所述第二开口暴露出的所述衬底进行离子注入以形成漏区,所述第二侧墙层的底部低于所述漏区的底部。

2. 如权利要求1所述的闪存器件的制造方法,其特征在于,在所述第一开口暴露出的所述衬底中形成第一凹槽,以及在所述第二开口暴露出的所述衬底中形成第二凹槽的方法包括:

在所述第一开口的侧壁和所述第二开口的侧壁形成保护层;

以所述保护层为掩膜刻蚀所述第一开口暴露出的所述衬底,以形成所述第一凹槽;以及,

以所述保护层为掩膜刻蚀所述第二开口暴露出的所述衬底,以形成所述第二凹槽。

3. 如权利要求2所述的闪存器件的制造方法,其特征在于,所述保护层的材质包括氧化硅。

4. 如权利要求2所述的闪存器件的制造方法,其特征在于,在刻蚀所述第二开口暴露出的所述衬底时,还刻蚀所述栅极结构层,以去除部分厚度的所述栅极结构层。

5. 如权利要求1所述的闪存器件的制造方法,其特征在于,所述源区形成于所述第一凹槽底部的所述衬底中,所述漏区形成于所述第二凹槽外的所述衬底中。

6. 如权利要求1所述的闪存器件的制造方法,其特征在于,所述第一侧墙层和所述第二侧墙层均包括氧化层和覆盖所述氧化层的氮化层,其中,所述氧化层通过炉管工艺形成,所述氮化层通过化学气相沉积工艺形成。

7. 一种闪存器件,其特征在于,包括:

衬底;

形成于所述衬底上的栅极结构层,所述栅极结构层中形成有第一开口和第二开口,所述第一开口和所述第二开口相间隔,且所述第一开口和所述第二开口均暴露出部分所述衬底,所述第一开口暴露出的所述衬底中形成有第一凹槽,所述第一凹槽的宽度小于或者等于所述第一开口的宽度,所述第二开口暴露出的所述衬底中形成有第二凹槽,所述第二凹槽的宽度小于所述第二开口的宽度,且所述第二凹槽的深度大于所述第一凹槽的深度;

第一侧墙层,覆盖所述第一开口的侧壁并延伸至所述第一开口暴露出的所述衬底中,且覆盖所述第一凹槽的侧壁;

第二侧墙层,覆盖所述第二开口的侧壁并延伸至所述第二开口暴露出的所述衬底中,并且所述第二侧墙层填满所述第二凹槽,其中,所述第二侧墙层延伸至所述第二开口暴露出的所述衬底中的深度大于所述第一侧墙层延伸至所述第一开口暴露出的所述衬底中的深度;

源区,形成于所述第一开口暴露出的所述衬底中;以及,

漏区,形成于所述第二开口暴露出的所述衬底中,所述第二侧墙层的底部低于所述漏区的底部。

闪存器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造技术领域,特别涉及一种闪存器件及其制造方法。

背景技术

[0002] 闪存(Flash)因具有高密度、低价格和电可编程、擦除的优点,使其已被广泛作为非易失性记忆体应用的最优选择。目前闪存主要是在65纳米的技术节点进行,随着对大容量闪存的要求,利用现有技术节点,每片硅片上的芯片数量将会减少。而随着新的技术节点的日益成熟,也督促闪存单元采用高节点的技术进行生产,这就意味着需要将闪存单元的尺寸进行缩减。目前业界对于闪存器件的尺寸进行缩减的方法主要是减小闪存器件的有源区的宽度和沟道的长度,但闪存器件的有源区的宽度和沟道的长度减小后,会影响闪存器件的性能。并且如果进一步缩减闪存器件中的沟道的长度,会增加源区和漏区之间的漏电,并会降低沟道的击穿电压,导致无法满足闪存器件在编程时的电压要求,基于此,闪存器件的有源区的宽度和沟道的长度减小后,需要对闪存器件的工艺进行优化,以减小闪存器件的性能影响。因此,需要一种新的闪存器件及其制造方法,以解决由沟道变短而导致的漏电,从而造成闪存器件的电压能力不足的问题。

发明内容

[0003] 本发明的目的在于提供一种闪存器件及其制造方法,以解决因源区和漏区之间的漏电而造成闪存器件的电压能力不足的问题。

[0004] 为解决上述技术问题,本发明提供一种闪存器件的制造方法,包括:

[0005] 提供衬底,所述衬底上形成有栅极结构层;

[0006] 在所述栅极结构层中形成第一开口和第二开口,所述第一开口和所述第二开口相间隔,且所述第一开口和所述第二开口均暴露出部分所述衬底;

[0007] 形成第一侧墙层和第二侧墙层,所述第一侧墙层覆盖所述第一开口的侧壁并延伸至所述第一开口暴露出的所述衬底中,所述第二侧墙层覆盖所述第二开口的侧壁并延伸至所述第二开口暴露出的所述衬底中;

[0008] 以所述第一侧墙层和所述第二侧墙层为掩膜,对所述第一开口暴露出的所述衬底进行离子注入以形成源区,并对所述第二开口暴露出的所述衬底进行所述离子注入以形成漏区。

[0009] 可选的,在所述的闪存器件的制造方法中,所述第二侧墙层延伸至所述第二开口暴露出的所述衬底中的深度大于所述第一侧墙层延伸至所述第一开口暴露出的所述衬底中的深度。

[0010] 可选的,在所述的闪存器件的制造方法中,所述第一侧墙层和所述第二侧墙层的形成方法包括:

[0011] 在所述第一开口暴露出的所述衬底中形成第一凹槽,所述第一凹槽的宽度小于或者等于所述第一开口的宽度;

[0012] 在所述第二开口暴露出的所述衬底中形成第二凹槽,所述第二凹槽的宽度小于所述第二开口的宽度,且所述第二凹槽的深度大于所述第一凹槽的深度;

[0013] 形成第一侧墙层和第二侧墙层,所述第一侧墙层覆盖所述第一开口的侧壁,并延伸覆盖所述第一凹槽的侧壁,所述第二侧墙层覆盖所述第二开口的侧壁,并填满所述第二凹槽。

[0014] 可选的,在所述的闪存器件的制造方法中,在所述第一开口暴露出的所述衬底中形成第一凹槽,以及在所述第二开口暴露出的所述衬底中形成第二凹槽的方法包括:

[0015] 在所述第一开口的侧壁和所述第二开口的侧壁形成保护层;

[0016] 以所述保护层为掩膜刻蚀所述第一开口暴露出的所述衬底,以形成所述第一凹槽;以及,

[0017] 以所述保护层为掩膜刻蚀所述第二开口暴露出的所述衬底,以形成所述第二凹槽。

[0018] 可选的,在所述的闪存器件的制造方法中,所述保护层的材质包括氧化硅。

[0019] 可选的,在所述的闪存器件的制造方法中,在刻蚀所述第二开口暴露出的所述衬底时,还刻蚀所述栅极结构层,以去除部分厚度的所述栅极结构层。

[0020] 可选的,在所述的闪存器件的制造方法中,所述源区形成于所述第一凹槽底部的所述衬底中,所述漏区形成于所述第二沟槽外的所述衬底中。

[0021] 可选的,在所述的闪存器件的制造方法中,所述第一侧墙层和所述第二侧墙层均包括氧化层和覆盖所述氧化层的氮化层,其中,所述氧化层通过炉管工艺形成,所述氮化层通过化学气相沉积工艺形成。

[0022] 基于同一发明构思,本发明还提供一种闪存器件,包括:

[0023] 衬底;

[0024] 形成于所述衬底上的栅极结构层,所述栅极结构层中形成有第一开口和第二开口,所述第一开口和所述第二开口相间隔,且所述第一开口和所述第二开口均暴露出部分所述衬底;

[0025] 第一侧墙层,覆盖所述第一开口的侧壁并延伸至所述第一开口暴露出的所述衬底中;

[0026] 第二侧墙层,覆盖所述第二开口的侧壁并延伸至所述第二开口暴露出的所述衬底中;

[0027] 源区,形成于所述第一开口暴露出的所述衬底中;以及,

[0028] 漏区,形成于所述第二开口暴露出的所述衬底中。

[0029] 可选的,在所述的闪存器件中,所述第二侧墙层延伸至所述第二开口暴露出的所述衬底中的深度大于所述第一侧墙层延伸至所述第一开口暴露出的所述衬底中的深度。

[0030] 在本发明提供的闪存器件及其制造方法中,第一侧墙层覆盖栅极结构层中的第一开口的侧壁并延伸至所述第一开口暴露出的衬底中,第二侧墙层覆盖所述栅极结构层中的第二开口的侧壁并延伸至所述第二开口暴露出的衬底中,对所述第一开口暴露出的所述衬底进行离子注入以形成源区,以及对所述第二开口暴露出的所述衬底进行离子注入以形成漏区之后,所述第一侧墙层和第二侧墙层的底部均低于导电沟道,由此可阻挡漏区(即漏端)的电场,从而降低源漏之间的漏电,并改善闪存器件的抗电压能力。

附图说明

- [0031] 图1是本发明实施例的闪存器件的制造方法的流程示意图；
- [0032] 图2至图7是本发明实施例的闪存器件的制造方法中形成的结构示意图；
- [0033] 图8是本发明实施例的闪存器件的俯视图；
- [0034] 其中,附图标记说明如下:
- [0035] 100-衬底;110-栅极结构层;110a-第一开口;110b-第二开口;111-遂穿氧化层;112-浮栅层;113-栅间介质层;114-控制栅层;120-保护层;130a-第一凹槽;130b-第二凹槽;140-第一侧墙层;150-第二侧墙层;160-源区;170-漏区。

具体实施方式

[0036] 以下结合附图和具体实施例对本发明提出的闪存器件及其制造方法作进一步详细说明。根据下面说明,本发明的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本发明实施例的目的。

[0037] 图1本发明实施例的闪存器件的制造方法的流程示意图。如图1所示,所述闪存器件的制造方法包括:

[0038] 步骤S1:提供衬底,所述衬底上形成有栅极结构层;

[0039] 步骤S2:在所述栅极结构层中形成第一开口和第二开口,所述第一开口和所述第二开口相间隔,且所述第一开口和所述第二开口均暴露出部分所述衬底;

[0040] 步骤S3:形成第一侧墙层和第二侧墙层,所述第一侧墙层覆盖所述第一开口的侧壁并延伸至所述第一开口暴露出的所述衬底中,所述第二侧墙层覆盖所述第二开口的侧壁并延伸至所述第二开口暴露出的所述衬底中;

[0041] 步骤S4:以所述第一侧墙层和所述第二侧墙层为掩膜,对所述第一开口暴露出的所述衬底进行离子注入以形成源区,并对所述第二开口暴露出的所述衬底进行离子注入以形成漏区。

[0042] 图2至图7是本发明实施例的闪存器件的制造方法中形成的结构示意图;

[0043] 图8是本发明实施例的闪存器件的俯视图。下文将结合图2至图8对本发明实施例所提供的闪存器件的制造方法进行更详细的说明。

[0044] 首先,执行步骤S1,如图2所示,提供衬底100,所述衬底100上形成有栅极结构层110。所述衬底100的材料可以为硅、锗、硅锗或碳化硅等,也可以是绝缘体上硅(SOI)或者绝缘体上锗(GOI),或者还可以为其他的材料,例如砷化镓等Ⅲ、V族化合物。本实施例中,所述衬底100可以为硅衬底100。所述衬底100中可以定义有源区(未图示),所述栅极结构层110覆盖部分所述有源区。

[0045] 继续参考图2,所述栅极结构层110包括形成于所述衬底100上的浮栅层112以及堆叠在所述浮栅层112上的控制栅层114,通常,在所述浮栅层112和所述衬底100之间还形成有一遂穿氧化层111;在所述浮栅层112和所述控制栅层114之间还形成有一栅间介质层113(如ON0隔离层),所述浮栅层112和所述控制栅层114均为多晶硅层。本实施例的所述栅极结构层110可以但不限于上述结构。

[0046] 接着,执行步骤S2,如图3所示,在所述栅极结构层110中形成第一开口110a和第二开口110b,所述第一开口110a和所述第二开口110b相间隔,且所述第一开口110a和所述第

二开口110b均暴露出部分所述衬底100。所述第一开口110a和所述第二开口110b均贯穿所述栅极结构层110,即所述第一开口110a和所述第二开口110b均贯穿所述遂穿氧化层111、所述浮栅层112、所述栅间介质层113及所述控制栅层。在所述栅极结构层110中形成所述第一开口110a和所述第二开口110b时,可采用干法刻蚀工艺。

[0047] 接着,执行步骤S3,参考图4~图6,形成第一侧墙层140和第二侧墙层150,如图6所示,所述第一侧墙层140覆盖所述第一开口110a的侧壁并延伸至所述第一开口110a暴露出的所述衬底100中,所述第二侧墙层150覆盖所述第二开口110a的侧壁并延伸至所述第二开口110b暴露出的所述衬底100中。在所述衬底100中形成源区和漏区之后,所述第一侧墙层140和所述第二侧墙层150的底部均低于导电沟道,由此可阻挡漏区(即漏端)的电场,从而降低源漏之间的漏电,并改善闪存器件的抗电压能力。

[0048] 较佳的,所述第二侧墙层150延伸至所述第二开口110b暴露出的所述衬底100中的深度大于所述第一侧墙层140延伸至所述第一开口110a暴露出的所述衬底100中的深度。如此,可以使得漏区170完全位于第二开口110b中的两个第二侧墙层(即第一开口110a相对侧壁上的第二侧墙层)150之间的衬底100中,从而可进一步的阻挡漏区170的电场。

[0049] 其中,所述第一侧墙层140和所述第二侧墙层150均包括氧化层和覆盖所述氧化层的氮化层(未图示),所述氧化层和所述氮化层可在后续的离子注入中保护所述栅极结构层110,避免离子注入击穿所述栅极结构层110。所述氧化层的材质例如可以为氧化硅,其可以通过炉管工艺形成,以使得所述氧化层的成膜质量较高,并具有较好的覆盖性。所述氮化层的材质例如可以为氮化硅,其可以通过化学气相沉积工艺(CVD)形成。

[0050] 所述第一侧墙层140和所述第二侧墙层150的形成方法包括:首先,如图5所示,在所述第一开口110a暴露出的所述衬底100中形成第一凹槽130a,所述第一凹槽130a的宽度小于或者等于所述第一开口110a的宽度。然后,在所述第二开口110b暴露出的所述衬底100中形成第二凹槽130b,所述第二凹槽130b的宽度小于所述第二开口110b的宽度,且所述第二凹槽130b的深度大于所述第一凹槽130a的深度,例如,所述第一凹槽130a的深度可以为150埃~250埃,所述第二凹槽130b的深度可以为250埃~350埃。接着,形成第一侧墙层140和第二侧墙层150,所述第一侧墙层140覆盖所述第一开口110a的侧壁,并延伸覆盖所述第一凹槽130a的侧壁,所述第二侧墙层150覆盖所述第二开口110b的侧壁,并填满所述第二凹槽130b。

[0051] 进一步的,在所述第一开口110a暴露出的所述衬底100中形成第一凹槽130a,以及在所述第二开口110b暴露出的所述衬底100中形成第二凹槽130b的方法包括:首先,如图4所示,在所述第一开口110a的侧壁及所述第二开口110b的侧壁形成保护层120。所述保护层120可通过热氧化工艺形成;然后,以所述保护层120为掩膜刻蚀所述第一开口110a暴露出的所述衬底100,以形成所述第一凹槽130a;以及,以所述保护层120为掩膜刻蚀所述第二开口110b暴露出的所述衬底100,以形成所述第二凹槽130b。即,在刻蚀所述第一开口110a和所述第二开口110b暴露出的所述衬底100之前,在所述第一开口110a的侧壁及所述第二开口110b的侧壁上形成所述保护层120,以在刻蚀过程中保护所述栅极结构层110的侧壁,避免所述栅极结构层110的侧壁被损伤。

[0052] 此外,继续参考图5所示,在刻蚀所述第二开口110b暴露出的所述衬底100时,还刻蚀所述栅极结构层110,以去除部分厚度的所述栅极结构层110,从而可使得所述栅极结构

层110的顶面的形貌较为平整,有利于后续形成均匀的金属硅化物层于所述栅极结构层110的顶面。

[0053] 在前道的工艺中,例如刻蚀所述第一开口110a暴露出的所述衬底100的过程中,较容易造成栅极结构层110顶面的形貌损伤,从而导致栅极结构层110顶面的均匀性较差,并且会影响后续形成于栅极结构层110顶面的金属硅化物层的均匀性。基于此,本实施例中,在刻蚀所述第二开口110b暴露出的所述衬底100时,还刻蚀所述栅极结构层110,以去除部分厚度的所述栅极结构层110,从而使所述栅极结构层110的顶面形貌较为平整,有利于后续形成均匀的金属硅化物层于所述栅极结构层110的顶面。在此,在刻蚀所述栅极结构层110时,主要刻蚀位于所述栅极结构层110顶部的控制栅层114,即去除部分厚度的所述控制栅层114,以使得所述控制栅层114的顶面较为平整。

[0054] 本实施例中,在刻蚀所述第一开口110a暴露出的所述衬底100、刻蚀所述第二开口110b暴露出的所述衬底100以及刻蚀所述栅极结构层110时,均采用干法刻蚀工艺,所述干法刻蚀工艺采用的气体为本领域所知的刻蚀多晶硅或硅的常规气体,在此不再赘述。

[0055] 继续参考图6所示,在形成所述第一侧墙层140和所述第二侧墙层150之后,所述第一侧墙层140覆盖所述第一开口110a的侧壁上的所述保护层120,所述第二侧墙层150覆盖所述第二开口110b的侧壁上的所述保护层120。所述保护层120的材质可以为氧化硅,所述保护层120的材质可与所述第一侧墙层140和所述第二侧墙层150中的氧化层的材质相同,以使得所述保护层120可与所述第一侧墙层140和所述第二侧墙层150较好的粘合。

[0056] 接着,执行步骤S3,参考图7并结合图8所示,以所述第一侧墙层140和所述第二侧墙层150为掩膜,对所述第一开口110a暴露出的所述衬底100进行离子注入以形成源区160,并对所述第二开口110b暴露出的所述衬底100进行离子注入以形成漏区170。在此,应当理解,所述源区160和所述漏区170均形成于所述衬底100的有源区(未图示)中。

[0057] 本实施例中,可采用垂直于所述衬底100表面的角度或者倾斜于所述衬底100表面的法线的角度,对所述衬底100进行离子注入。所述源区160可形成于所述第一凹槽130a底部的所述衬底100中,所述漏区170可形成于所述第二凹槽130b外的所述衬底100中。如此,可使得漏区170的电场被所述第二侧墙层150阻挡,从而降低源区160和漏区170之间的漏电流,进而提高所述栅极结构层110施加电压(在此指控制栅层所施加的电压)的均匀性。

[0058] 本实施例中,在对所述衬底100进行离子注入时,所述离子注入中的离子包括N型离子,例如砷(As)、磷或者锑(Sb)中的一种或者组合。在另外的实施例中,所述离子注入的离子也可以包括P型离子。此外,在离子注入完成之后,可以执行退火工艺,以使所述源区160和所述漏区170中的离子分布均匀。

[0059] 继续参考图7~图8所示,基于同一发明构思,本发明还提供一种闪存器件,所述闪存器件包括:衬底100;形成于所述衬底100上的栅极结构层110,所述栅极结构层中形成有第一开口110a和第二开口110b,所述第一开口110a和所述第二开口110b相间隔,且所述第一开口110a和所述第二开口110b均暴露出部分所述衬底100;第一侧墙层140,覆盖所述第一开口110a的侧壁并延伸至所述第一开口110a暴露出的所述衬底100中;第二侧墙层150,覆盖所述第二开口110b的侧壁并延伸至所述第二开口110b暴露出的所述衬底100中;源区160,所述源区160形成于所述第一开口110a暴露出的所述衬底100中;以及,所述闪存器件还包括漏区170,所述漏区170形成于所述第二开口110b暴露出的所述衬底100中。所述第一

侧墙层140和所述第二侧墙层150可阻挡所述漏区(即源端)170的电场,由此降低源漏之间的漏电,并改善闪存器件的抗电压能力。

[0060] 较佳的,所述第二侧墙层150延伸至所述第二开口110b暴露出的所述衬底100中的深度大于所述第一侧墙层140延伸至所述第一开口110a暴露出的所述衬底100中的深度。如此,可以进一步的阻挡漏区的电场,并可避免侧墙形成工艺中的波动。

[0061] 综上所述,在本发明提供的闪存器件及其制造方法中,第一侧墙层覆盖第一开口的侧壁并延伸至所述第一开口暴露出的所述衬底中,第二侧墙层覆盖第二开口的侧壁并延伸至所述第二开口暴露出的所述衬底中,对所述第一开口暴露出的所述衬底进行离子注入以形成源区,以及对所述第二开口暴露出的所述衬底进行离子注入以形成漏区之后,所述第一侧墙层和所述第二侧墙层可阻挡漏区(即源端)的电场,从而可降低源漏区的漏电,进而改善闪存器件的抗电压能力。

[0062] 上述描述仅是对本发明较佳实施例的描述,并非对本发明范围的任何限定,本发明领域的普通技术人员根据上述揭示内容做的任何变更、修饰,均属于权利要求书的保护范围。

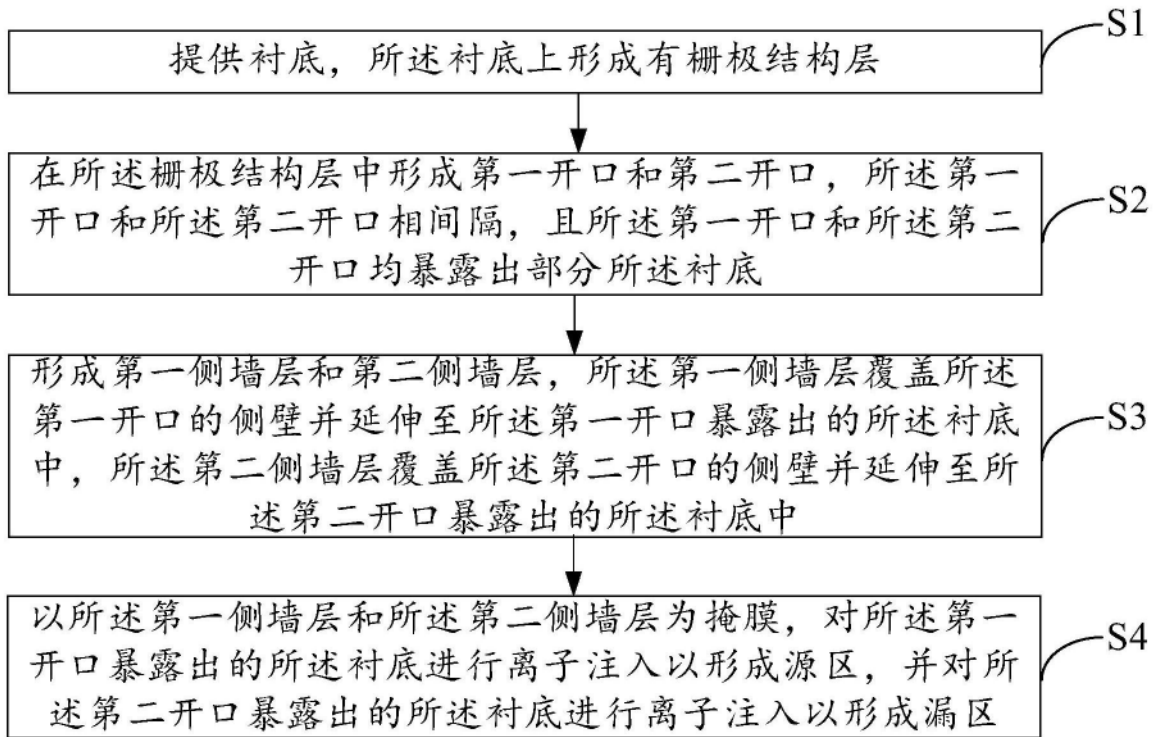


图1

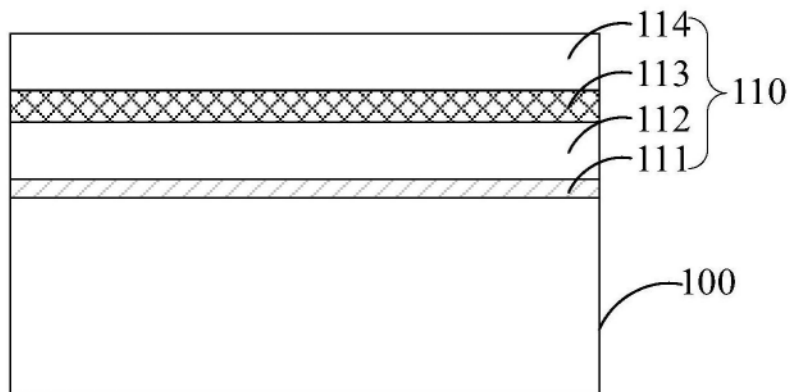


图2

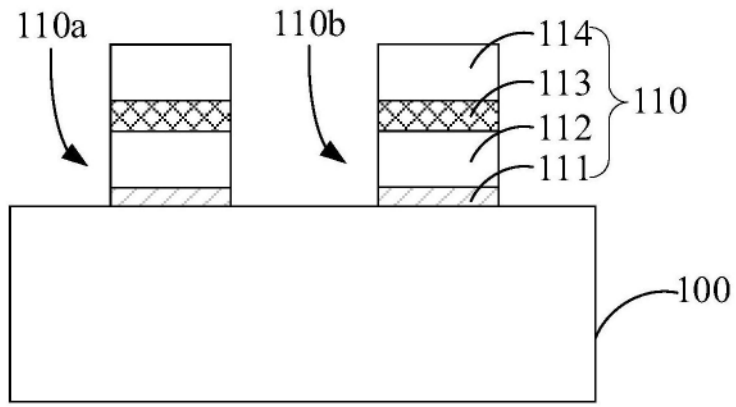


图3

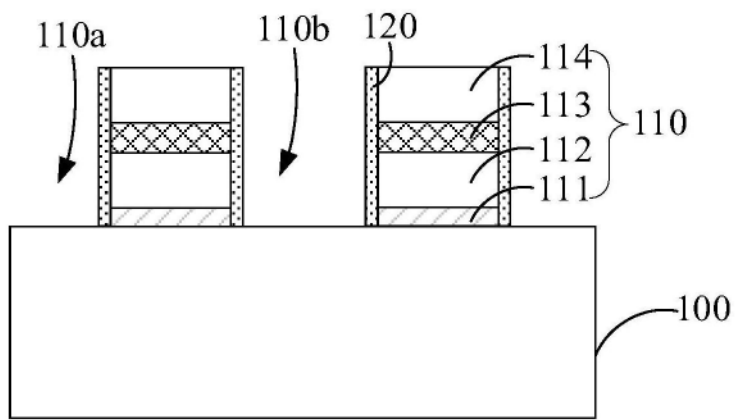


图4

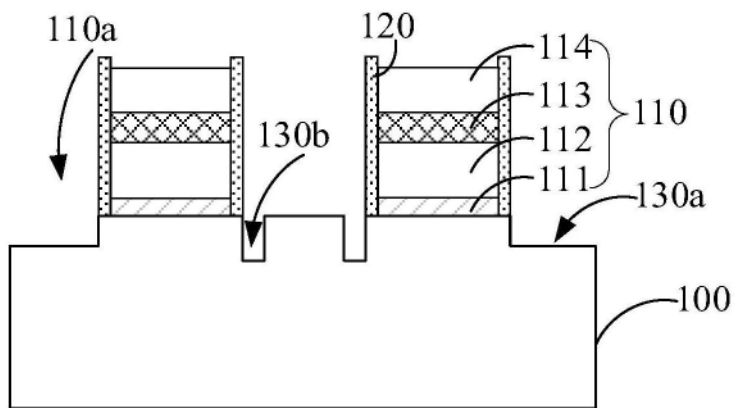


图5

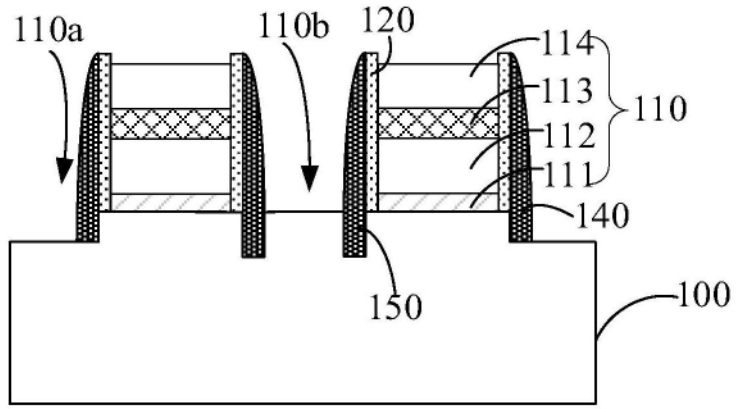


图6

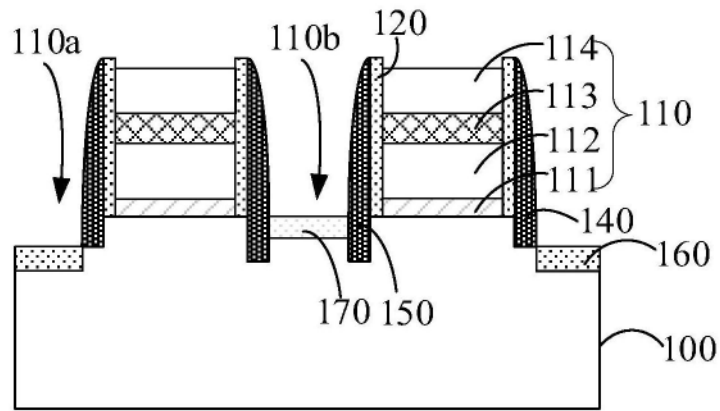


图7

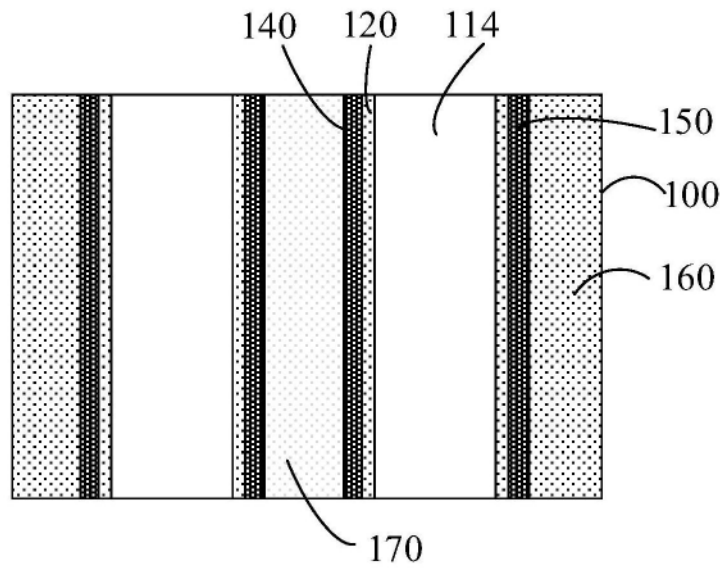


图8