

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2021-528843
(P2021-528843A)

(43) 公表日 令和3年10月21日(2021.10.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 5 0 1 P	5 F 0 3 3
HO 1 L 21/60 (2006.01)	HO 1 L 21/92 6 0 2 H	
HO 1 L 21/768 (2006.01)	HO 1 L 21/92 6 0 2 K	
HO 1 L 23/522 (2006.01)	HO 1 L 21/90 B	
HO 1 L 23/532 (2006.01)	HO 1 L 21/90 S	

審査請求 未請求 予備審査請求 未請求 (全 17 頁)

(21) 出願番号 特願2020-569726 (P2020-569726)
 (86) (22) 出願日 令和1年6月14日 (2019.6.14)
 (85) 翻訳文提出日 令和3年2月12日 (2021.2.12)
 (86) 国際出願番号 PCT/US2019/037155
 (87) 国際公開番号 W02019/241613
 (87) 国際公開日 令和1年12月19日 (2019.12.19)
 (31) 優先権主張番号 16/009,377
 (32) 優先日 平成30年6月15日 (2018.6.15)
 (33) 優先権主張国・地域又は機関 米国 (US)

(71) 出願人 507107291
 テキサス インストルメンツ インコーポ
 レイテッド
 アメリカ合衆国 テキサス州 75265
 -5474 ダラス メール ステーショ
 ン 3999 ピーオーボックス 655
 474
 (74) 代理人 100098497
 弁理士 片寄 恭三
 (72) 発明者 インダミニ ダブリュー ランムツ
 アメリカ合衆国 75093 テキサス州
 プレイノ, ブリッジ クリーク ドラ
 イブ 5020

最終頁に続く

(54) 【発明の名称】 ウェハスケールチップパッケージのための半導体構造及び方法

(57) 【要約】

一実施例の半導体構造(100)が金属層(304)を含む。半導体構造(100)はまた、再配線層(RDL)構造(352及び354)を含み、RDL構造は、RDLプラットフォーム(352)、及び、RDLプラットフォーム(352)と金属層(304)との間に配置される複数のRDLピラー(354)を含む。加えて、半導体構造(100)は、RDLプラットフォーム(352)上に配置されるアンダーバンプ金属(UBM)層(392)と、UBM層(392)上に配置されるはんだバンプ(102)とを含み、ここで、UBM層(392)、RDLプラットフォーム(352)、及びRDLピラー(354)は、はんだバンプ(102)と金属層(304)との間に電氣的接続を形成する。

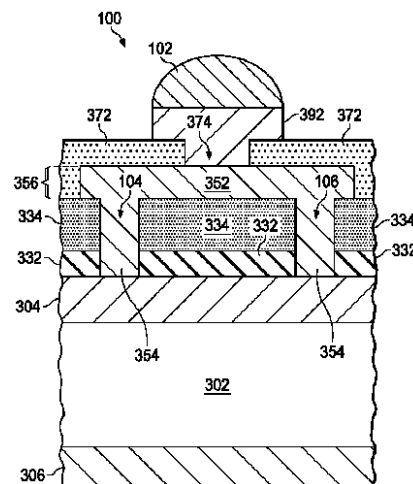


FIG. 1

【特許請求の範囲】**【請求項 1】**

半導体構造であって、
金属層と、
再配線層（RDL）構造と、
を含み、
前記 RDL 構造が、
RDL プラットフォーム、
前記 RDL のプラットフォームと前記金属層との間の複数の RDL ピラー、
前記 RDL のプラットフォーム上に配置されるアンダーバンプ金属（UBM）層、及
び
前記 UBM 層上に配置されるはんだバンプ、
を含み、
前記 UBM 層、前記 RDL プラットフォーム、及び前記 RDL ピラーが、前記はんだバ
ンプと前記金属層との間に電氣的接続を形成する、
半導体構造。

【請求項 2】

請求項 1 に記載の半導体構造であって、前記複数の RDL ピラーが少なくとも 4 つのピ
ラーである、半導体構造。

【請求項 3】

請求項 2 に記載の半導体構造であって、前記複数の RDL ピラーが少なくとも 8 つのピ
ラーである、半導体構造。

【請求項 4】

請求項 1 に記載の半導体構造であって、前記はんだバンプと前記金属層との間の前記電
氣的接続が 2 . 5 m 未満の抵抗を有する、半導体構造。

【請求項 5】

請求項 1 に記載の半導体構造であって、前記はんだバンプと前記金属層との間の前記電
氣的接続が 10 A の電流をサポートする、半導体構造。

【請求項 6】

請求項 1 に記載の半導体構造であって、さらに、前記金属層に近接する基板の第 1 の面
を含む、半導体構造。

【請求項 7】

請求項 6 に記載の半導体構造であって、前記基板がパワートランジスタを含む、半導体
構造。

【請求項 8】

請求項 1 に記載の半導体構造であって、
前記複数の RDL ピラー間に配置される第 1 のポリイミド層であって、前記 RDL プラ
ットフォームと前記金属層との間の前記第 1 のポリイミド層、及び
前記第 1 のポリイミド層の上の第 2 のポリイミド層、
をさらに含む、半導体構造。

【請求項 9】

請求項 1 に記載の半導体構造であって、前記 RDL プラットフォーム及び前記複数の R
DL ピラーが銅を含む、半導体構造。

【請求項 10】

請求項 1 に記載の半導体構造であって、前記複数の RDL ピラーのピラーが円形断面を
有する、半導体構造。

【請求項 11】

請求項 1 に記載の半導体構造であって、前記 RDL プラットフォームが円形断面を有す
る、半導体構造。

【請求項 12】

請求項 1 に記載の半導体構造であって、前記複数の R D L ピラーの第 1 のピラーと前記複数の R D L ピラーの第 2 のピラーとの間の距離が、前記はんだバンプの幅よりも大きい、半導体構造。

【請求項 1 3】

半導体構造であって、
再配線層 (R D L) 構造を含み、
前記 R D L 構造が、
R D L プラットフォームと、
前記 R D L プラットフォームを支持する複数の R D L ピラーと、
前記複数の R D L ピラー間であり前記 R D L プラットフォームの第 1 の面側の第 1 の
ポリミド層と、
前記 R D L プラットフォームの前記第 1 の側とは反対の前記 R D L プラットフォーム
の第 2 の側と、
を含む、
半導体構造。 10

【請求項 1 4】

請求項 1 3 に記載の半導体構造であって、前記第 1 のポリミド層が前記複数の R D L
ピラーに近接する、半導体構造。

【請求項 1 5】

請求項 1 3 に記載の半導体構造であって、前記第 1 のポリミド層に近接するパッシベ
ーション層をさらに含む、半導体構造。 20

【請求項 1 6】

請求項 1 3 に記載の半導体構造であって、前記複数の R D L ピラーが少なくとも 4 つの
ピラーである、半導体構造。

【請求項 1 7】

半導体構造を形成する方法であって、
ウェハ上に金属層を堆積させること、
前記金属層の上にポリミド層を形成すること、
前記ポリミド層にピラー開口を形成すること、及び
前記ピラー開口において及び前記ポリミド層の一部の上に、再配線層 (R D L) を堆
積させること、
を含み、前記ポリミド層が、前記金属層と前記 R D L との間に配置される、
方法。 30

【請求項 1 8】

請求項 1 7 に記載の方法であって、前記ポリミド層が第 1 のポリミド層であり、前
記方法が、
前記 R D L の上に第 2 のポリミド層を形成すること、
前記第 2 のポリミド層に開口を形成すること、
前記第 2 のポリミド層の前記開口において及び前記第 2 のポリミド層の一部の上に
、アンダーバンプ金属 (U B M) 層を堆積させること、及び
前記 U B M 上にはんだバンプを形成すること、
をさらに含む、方法。 40

【請求項 1 9】

請求項 1 7 に記載の方法であって、
前記金属層上にパッシベーション層を堆積させることであって、前記ポリミド層を形
成することが、前記パッシベーション層上に前記ポリミド層を堆積させることを含むこ
と、及び

前記パッシベーション層にピラー開口を形成すること、
をさらに含む、方法。

【請求項 2 0】

請求項 17 に記載の方法であって、
前記ウェハの裏側をバックグラインドすることであって、前記金属層を堆積させること
が、前記ウェハの表側にフロント金属層を堆積させることを含むこと、及び
前記ウェハの前記裏側に裏側金属層を堆積させること、
をさらに含む、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、一般に半導体回路パッケージングに関し、より詳細にはウェハスケールチップ
パッケージのための半導体構造及び方法に関する。

10

【背景技術】

【0002】

ウェハスケール（レベル）チップスケールパッケージング（WCSP）では、チップは
ボード上に直接搭載される。個々のチップをダイシングし、 bumps 接続を用いて、パッケ
ージングすることなくチップをボード上に直接搭載する。

【発明の概要】

【0003】

例示の半導体構造には金属層が含まれる。半導体構造は、再配線層（RDL）構造も含
み、RDL 構造は、RDL プラットフォーム、及び、RDL プラットフォームと金属層と
の間に配置される複数の RDL ピラーを含む。また、半導体構造は、RDL プラットフォ
ーム上に配置されるアンダー bumps 金属（UBM）層と、UBM 層上に配置されるはんだ
bumps とを含み、UBM 層と RDL プラットフォームと RDL ピラーが、はんだ bumps と
金属層との間の電氣的接続を形成する。

20

【0004】

例示の半導体構造が再配線層（RDL）構造を含み、RDL 構造は、RDL プラットフ
ォームと、RDL プラットフォームを支持する複数の RDL ピラーとを含む。また、半導
体構造は、複数の RDL ピラーの間であり RDL プラットフォームの第 1 の側に第 1 のポ
リイミド層を含み、RDL プラットフォームの第 1 の側とは反対側である、RDL プラッ
トフォームの第 2 の側に第 2 のポリイミド層を含む。

【0005】

半導体構造を形成する例示の方法が、ウェハ上に金属層を堆積させること、及び、金属
層の上にポリイミド層を形成することを含む。また、この方法は、ポリイミド層にピラー
開口を形成すること、及び、ピラー開口内でありポリイミド層の一部の上に再配線層（R
DL）を堆積させることを含む、ポリイミド層は金属層と RDL との間に配置される。

30

【図面の簡単な説明】

【0006】

【図 1】例示の半導体構造の断面図である。

【0007】

【図 2 A】例示の半導体構造の上面図である。

【図 2 B】例示の半導体構造の上面図である。

40

【図 2 C】例示の半導体構造の上面図である。

【図 2 D】例示の半導体構造の上面図である。

【0008】

【図 3 A】半導体構造の製造の例示の段階の断面図である。

【図 3 B】半導体構造の製造の例示の段階の断面図である。

【図 3 C】半導体構造の製造の例示の段階の断面図である。

【図 3 D】半導体構造の製造の例示の段階の断面図である。

【図 3 E】半導体構造の製造の例示の段階の断面図である。

【図 3 F】半導体構造の製造の例示の段階の断面図である。

【図 3 G】半導体構造の製造の例示の段階の断面図である。

50

【図 3 H】半導体構造の製造の例示の段階の断面図である。

【図 3 I】半導体構造の製造の例示の段階の断面図である。

【0009】

【図 4】例示のトランジスタ構造である。

【0010】

【図 5】半導体構造を製造する例示の方法のフローチャートである。

【0011】

【図 6】半導体構造を利用する例示の方法のフローチャートである。

【0012】

異なる図における対応する数字及び記号は概して、特に指示がない限り、対応する部分を指す。図は例示の実施例の配置の関連する態様を明確に示すために描かれており、必ずしも一定の縮尺で描かれていない。

10

【発明を実施するための形態】

【0013】

ウェハスケールチップスケールパッケージング(WCSP)では、パッケージングプロセスを通して、及び、パッケージングされたデバイスをPCB上に搭載するのではなく、印刷回路基板(PCB)上にダイが直接搭載される。WCSP構造は、付加的なパッケージングがないため小さくし得る。また、WCSPにおける直接的接続の使用により、低抵抗で大電流のオペレーションが可能となる。

【0014】

20

一例において、剛性バンプ積層構造がWSCPのために用いられる。アンダーバンプ金属(UBM)層上にはんだバンプが置かれ、UBM層は、下方の金属層上に結合される。この剛性構造は、機械的応力を扱うのにあまり適していない可能性がある。機械的応力は、後続の処理工程における熱サイクルの間、特に問題となり得る。機械的応力は、破損につながり得るので、低下される。

【0015】

バイポーラ接合トランジスタ(BJT)、サイリスタ、絶縁ゲートバイポーラトランジスタ(IGBT)などのパワートランジスタ、又は、テキサス・インスツルメンツによって製造されたNeXFET(商標)デバイスなどのパワー金属酸化物半導体電界効果トランジスタ(MOSFET)は、WCSPによく適していることがある。パワートランジスタは、サイズが大きくなり得、WCSP環境に関連して、WCSPにおいて高応力を有し得る。また、パワートランジスタは、大電流で動作する場合があります、低抵抗接続が望ましい場合がある。

30

【0016】

一例において、バンプ構造が再配線層(RDL)を含む。RDLは、RDLピラーによって支持されるRDLプラットフォームを含み得る。一例において、RDL構造を備えるバンプのレイがパワートランジスタに用いられる。一例において、RDLはバンプ構造上の機械的応力を低減する。一例において、RDLは、大電流能力を備えた、低電気抵抗接続を可能にする。例えば、或る実施例のバンプ構造が、2.5m未満の抵抗を有する。或る実施例が、水平及び垂直の応力を吸収し、破損を低減するために、2つのポリイミド層を有する。或る実施例は、WCSPを用いて、例えば1mm×1mmより大きい大型パワートランジスタの搭載を可能にする。或る実施例は良好なエレクトロマイグレーション能力を有する。

40

【0017】

図1は、半導体構造100の断面図を図示する。基板302は、少なくとも1つのトランジスタ又は集積回路、例えば、BJTなどの一つ又は複数のパワートランジスタ、サイリスタ、IGBT、又は、テキサス・インスツルメンツによって製造されたNeXFET(商標)デバイスなどのパワーMOSFETを含む。一例において、基板302は、例えば高電力アナログ回路要素などのアナログ回路要素を含む。基板302は、例えば、種々の金属、誘電体、及び/又は半導体層を備える、シリコンなどの半導体基板であり得る。

50

金属層 304 は基板 302 上に配置される。一例において、金属層 304 は、金属 1 (MET1) 層、金属 2 (MET2) 層、金属 3 (MET3) 層、又は別の金属層である。金属層 304 は、銅、アルミニウム、又は、例えば金属合金などの別の金属であってもよい。一実施例において、基板 302 及び金属層 304 の厚みは、7 mm ~ 14 mm、例えば 8 ~ 9 mm である。基板 302 の金属層 304 とは反対側には、裏側金属層 306 がある。幾つかの実施例において、裏側金属層 306 は存在しない。一例において、裏側金属層 306 は、銀、ニッケル、又は金で構成される。裏側金属層 306 は、1 μ m ~ 5 μ m の厚み、例えば約 3.4 μ m の厚みとすることができる。金属層 304 上にパッシベーション層 332 が配置される。パッシベーション層 332 は、二酸化シリコンなどの酸化物層である。ポリイミド層 334 は、パッシベーション層 332 上に配置される。ポリイミド層 334 は、イミドモノマーのポリマーで構成される。一例において、ポリイミド層 334 は、5 μ m ~ 10 μ m、例えば 7.5 μ m である。

10

20

30

40

50

【0018】

パッド開口 104 及び 106 は、パッシベーション層 332 及びポリイミド層 334 を介して延在する。再配線層 (RDL) 構造 352 は、ポリイミド層 334 の上に配置される RDL プラットフォーム 356 と、RDL プラットフォーム 356 と金属層 304 との間で、パッド開口 104 及び 106 を介して金属層 304 まで延在する RDL ピラー 354 とを有する。RDL は、銅などの金属で構成される。一例において、RDL プラットフォーム 356 は、3 μ m ~ 7 μ m であり、例えば、5 μ m の厚みである。RDL プラットフォーム 356 の上には、第 2 のポリイミド層であるポリイミド層 372 がある。ポリイミド層 372 は、開口 374 を備えて RDL プラットフォーム 356 の側部と RDL プラットフォーム 356 の頂部の一部とを覆って、RDL プラットフォーム 356 の大部分を覆い得る。一実施例において、ポリイミド層 372 は、5 μ m ~ 10 μ m の厚み、例えば 7.5 μ m の厚みである。一例において、ポリイミド層 372 はポリイミド層 334 と同じ厚みを有する。他の例において、ポリイミド層 372 はポリイミド層 334 より厚い。付加的な例において、ポリイミド層 372 はポリイミド層 334 よりも薄い。アンダーバンプ金属 (UBM) 層 392 は、ポリイミド層 372 内の開口 374 を介して RDL プラットフォーム 356 に接する。UBM 層 392 は、Ti、TiW、又は別のチタン合金などの金属で構成される。はんだバンプ 102 は UBM 層 392 の上にある。はんだバンプ 102 は、PCB への物理的及び電氣的接続を提供する。はんだバンプ 102 は、鉛はんだ又は鉛フリーはんだで構成され得る。

【0019】

UBM 層 392、RDL プラットフォーム 356、及び RDL ピラー 354 は、はんだバンプ 102 と金属層 304 との間の電氣的接続を形成する。この電氣的接続は、はんだバンプ 102 と金属層 304 との間の低抵抗電氣的接続を提供する。例えば、こういった電氣的接続は 2.5 m 未満の抵抗を有し得る。また、はんだバンプ 102 と金属層 304 との間の電氣的接続は、例えば 10 A の大電流をサポートする。はんだバンプ 102 は、UBM 層 392 に接続され、UBM 層 392 は RDL 構造 352 にも接続される。RDL ピラー 354 は、パッド開口 104 及び 106 を介して延在し、金属層 304 への低抵抗電氣的接続を提供する。RDL ピラー 354 は、はんだバンプ 102 の真下ではなくはんだバンプ 102 の外側に描かれているが、完全に又は部分的にバンプ 102 の下にあってよい。一実施例において、ピラーは RDL 層の周辺付近にある。RDL プラットフォーム 356 の下方、及び RDL ピラー 354 の間、並びに、RDL ピラー 354 を囲む、ポリイミド層 334 は、横方向及び垂直方向の柔軟性を提供する。RDL プラットフォーム 356 の上方及び周囲のポリイミド層 372 は、付加的な物理的な支持を提供する。半導体構造 100 は、低抵抗で大電流を取り扱う一方で、高レベルの機械的応力に耐えることができる。

【0020】

一例において、基板 302 及び金属層 304 の厚みは、約 8 ミリメートルである。裏側金属層 306 は約 3.4 μ m の厚みであり、RDL プラットフォーム 356 は約 5 μ m の

厚みであり、ポリイミド層 334 は約 $7.5 \mu\text{m}$ の厚みであり、ポリイミド層 372 は約 $7.5 \mu\text{m}$ の厚みである。

【0021】

図 2A ~ 図 2D は、幾つかの例示の半導体構造の上面図を示す。各ピラー断面は、ピラーの各個数及び分布、及び各 RDL プラットフォームジオメトリと組み合わせることができる。図 2A は、半導体構造 200 の上面図を示し、これは、図 1 によって示される半導体構造 100 の上面図を示し得る。バンプ 208 は半導体構造 200 の中央にある。幾つかの実施例において、バンプ 208 は半導体構造 200 の中央からずれている。バンプ 208 の下にある RDL プラットフォーム 204 は円盤状である。他の実施例において、RDL は他の形状を有してもよく、例えば、長円形形状であってもよく、又は不規則な形状であってもよい。また、ピラー 206 は、バンプ 208 の中央の周りにリング状に配置されている。RDL ピラー 206 は、RDL プラットフォーム 204 を支持する。RDL ピラー 206 は円形断面を有するものとして図示されているが、他の断面、例えば長円形又は不規則な断面形状を有していてもよい。8 つのピラーが示されているが、別の個数のピラーが存在してもよい。例えば、4 ピラー ~ 16 ピラーであってもよい。幾つかの例において、より多くのピラー、例えば 16 ~ 32 ピラーが存在する。

10

【0022】

図 2B は、半導体構造 210 の上面図を示す。バンプ 218 は半導体構造 210 内にあり、RDL プラットフォーム 214 はバンプ 218 の下にある。図では RDL プラットフォーム 214 は正方形であるが、RDL プラットフォーム 214 は、例えば、矩形、又は丸みを帯びた角を有する正方形など、他の形状であってもよい。RDL ピラー 216 は、RDL プラットフォーム 214 を支持し、RDL プラットフォーム 214 を下方の金属層に結合する。4 つの RDL ピラーが存在するが、別の個数のピラー、例えば 6 又は 8 ピラーを用いてもよい。

20

【0023】

図 2C は半導体構造 230 を示す。バンプ 238 は半導体構造 230 内にあり、RDL プラットフォーム 234 はバンプ 238 の下に配置される。RDL プラットフォーム 234 は八角形として成形されるが、五角形、六角形、七角形、九角形、十角形、十二角形、十二角形、又は十二角形などの別の多角形として成形されてもよい。こういった多角形は、等辺であってもよいし、異なる長さの辺を有していてもよい。RDL ピラー 236 は、RDL プラットフォーム 234 を支持し、RDL プラットフォーム 234 を下方の伝導性層に電氣的に結合する。一例において、多角形の辺と同数のピラーがある。他の例において、多角形の辺の数より多くのピラー、又は多角形の辺の数より少ないピラーがある。

30

【0024】

図 2D は半導体構造 240 を示す。バンプ 248 は半導体構造 240 内にある。RDL 244 はバンプ 248 の下に配置される。RDL ピラー 246 は、RDL 244 を支持し、RDL 244 を下方の伝導性層に電氣的に結合する。RDL ピラーは、例えば、矩形、他の多角形、又は不規則な形状など、他の形状を有する。

【0025】

図 3A ~ 図 3J は、図 1 に示されている半導体構造 100 の製造を図示する。図 3A は、基板 302 を含む半導体構造を図示する。基板 302 は、依然としてウェハ形態であり、様々な半導体、金属、及び誘電体層を含む、トランジスタ及び / 又は集積回路を含むシリコン基板であり得る。基板 302 は、一つ又は複数のパワートランジスタなどのパワーデバイス、又はパワーアナログ要素を含み得る。基板 302 上には金属層 304 が配置されている。金属層 304 は、MET 1 層、MET 2 層、MET 3 層、又は別の金属層であってもよい。基板 302 は、基板 302 の金属層 304 とは反対側に裏側金属層 306 を有し得る。裏側金属層 306 は、銀、ニッケル、又は金で構成され得る。

40

【0026】

図 3B において、システムは、金属層 304 上にパッシベーション層 312 を堆積する。パッシベーション層 312 は、二酸化シリコンなどの酸化物層であり得る。パッシベ

50

シオン層 3 1 2 は、例えば、化学気相成長 (CVD) によって堆積され得る。図 3 C において、システムは、パッシベーション層 3 1 2 上にポリイミド層 3 2 2 を堆積する。ポリイミド層は、段階成長重合又は固相合成を用いて形成され得る。図 3 D において、システムは、パッシベーション層 3 3 2 及びポリイミド層 3 3 4 において、パッド開口 1 0 4 及び 1 0 6 を含むピラーパターンをエッチングする。これを達成するために、システムはポリイミド層 3 2 2 上でフォトレジストを回転させる。次いで、システムは、ポジティブマスク又はネガティブマスクであり得るフォトリソグラフィマスクを用いて、フォトレジスト層を露光する。この露光により、フォトリソグラフィマスクのパターンがフォトレジストに転写される。次いで、エッチングにより、パターンをフォトレジスト層からポリイミド層 3 2 2 に転写して、ポリイミド層 3 3 4 を生成し、パッシベーション層 3 1 2 に転写して、パッシベーション層 3 3 2 を生成する。エッチング後、システムは、残りのフォトレジストを取り除き得る。

10

【 0 0 2 7 】

図 3 E において、システムは、ポリイミド層 3 3 4 上に RDL 3 4 2 を堆積する。システムは、蒸着、スパッタリング、又は CVD を用いて、RDL 3 4 2 を堆積し得る。RDL 3 4 2 は、堆積されるにつれてパッド開口 1 0 4 及び 1 0 6 を充填し、RDL ピラー 3 5 4 を形成する。一実施例において、RDL 3 4 2 は銅で構成される。図 3 F において、システムは、RDL 3 4 2 をパターン化して RDL 構造 3 5 2 を生成する。システムは、フォトレジストを RDL 3 4 2 に適用する。次いで、システムは、ポジティブマスク又はネガティブマスクであり得るフォトリソグラフィマスクを用いて、フォトレジストを露光する。この露光により、パターンがフォトリソグラフィマスクからフォトレジスト層に転写される。そして、システムは、RDL をエッチングして、フォトレジストから RDL にパターンを転写する。システムは、残りのフォトレジストを取り除き得る。

20

【 0 0 2 8 】

図 3 G において、システムはポリイミド層 3 6 2 を適用する。幾つかの例において、ポリイミド層 3 6 2 は、ポリイミド層 3 3 4 と同じ材料で構成される。他の例において、ポリイミド層 3 6 2 は、ポリイミド層 3 3 4 とは別のポリイミド材料で構成される。図 3 H において、システムは、ポリイミド層 3 6 2 をパターン化してポリイミド層 3 7 2 を生成する。システムは、ポリイミド層 3 6 2 にフォトレジストを適用することによってフォトリソグラフィを実施する。次いで、システムはポリイミド層 3 6 2 をエッチングし、ポリイミド層 3 7 2 内に開口 3 7 4 を形成する。システムはまた、残りのフォトレジストを取り除き得る。

30

【 0 0 2 9 】

図 3 I において、システムは、UBM 3 8 2 をポリイミド層 3 7 2 に、及び開口 3 7 4 を介して RDL 構造 3 5 2 に適用する。システムは、蒸着、スパッタリング、又は CVD を用いて UBM 3 8 2 を適用し得る。UBM 層 3 8 2 は、Ti、TiW、又は別のチタン合金などの金属であり得る。図 1 に示すように、はんだバンプ 1 0 2 は UBM 層 3 9 2 に適用される。はんだバンプ 1 0 2 は、鉛フリーはんだであり得るはんだで構成される。ウェットフィルム又はドライフィルムを用いる再パッシベーションを用いて、バンピングが成され得る。パッシベーションとウェットフィルムを用いるバンピングで、システムは、フォトレジストを適用し、フォトレジストを露出させ、UBM 層 3 8 2 上にフォトレジストを成長させる。その後、システムは、銅/はんだ又は銅/ニッケル/はんだめっきを用いてめっきを行う。次に、システムはフォトレジストを剥ぎ取る。次に、システムは UBM 材料をエッチングする。最後に、システムは、UBM 材料を加熱することによってリフローを行う。ドライフィルムを用いるバンピングにおいて、システムは、ドライフィルムラミネーション、露光、現像を行う。その後、システムは、ドライフィルムへの Cu/Ni/はんだめっきを用いてめっきする。次に、システムは、ドライフィルムを剥ぎ取り、続いて UBM をエッチングする。最後に、システムは、UBM 層 3 9 2 上でリフローを実施する。

40

【 0 0 3 0 】

50

図4は、WCSPのためのRDLポリイミド構造を有するトランジスタ構造500を図示する。トランジスタ構造500は、構造502、504、506、508、510、512、514、及び516を含み、これらは、図1に図示される半導体構造100などのバンプ構造を有する。構造502、504、506、508、510、512、514、及び516は、テキサス・インスツルメンツによって製造されたNeXFET(商標)デバイスであり、電流は垂直に流れる。構造502、504、506、508はソースであり、構造510、512、514、516はドレインである。裏側金属(図示せず)は、ソース及びドレインを接続する。

【0031】

図5は、図1に図示されている半導体構造100などの半導体構造を製造する一実施例の方法のためのフローチャート600を図示する。ブロック601において、システムはウェハを得る。ウェハは、少なくとも1つのトランジスタ又は集積回路を含む、シリコンなどの基板を含み得る。ウェハは、種々の金属、半導体、及び誘電体層を含んでもよい。トランジスタ又は集積回路は、テキサス・インスツルメンツによって製造されたNeXFET(商標)デバイスなどの一つ又は複数のパワートランジスタ、又はアナログパワーエレクトロニクスを含み得る。

10

【0032】

ブロック602において、システムはウェハをバックグラインドする。例えば、ウェハは、6ミル(mil)~14ミルまで、例えば8ミル~9ミルまでバックグラインドされる。システムは、ウェハの頂部表面を清浄にする。また、システムは、ウェハの頂部表面の上に保護テープを貼って、ウェハを機械的損傷及び汚染から保護する。システムは、ウェハをカセット上にロードし、カセットは、バックグラインドマシンのカセットホルダーに置かれる。バックグラインディングマシンは、ロボットアームでウェハの裏側をピックアップし、これにより、バックグラインディングのためにウェハが配置される。グラインディングホイールが、ウェハに対してバックグラインディングを行う。システムは、バックグラインディングの間、脱イオン水でウェハを継続的に洗浄し得る。バックグラインディング後、ウェハはカセットに戻される。システムは、例えばテープ剥離ツールを用いて、ウェハからバックグラインディングテープを取り除く。

20

【0033】

ブロック604において、システムは、ウェハの裏側に裏側金属を堆積させる。こういった金属は、無線周波数(RF)、又は、直流(DC)スパッタリング及び電子ビーム蒸着を用いて適用され得る。裏側メタライゼーション層は、銀、ニッケル、又は金などの良好なオーミックコンタクト層を有し得る。

30

【0034】

ブロック606において、システムは、一つ又はそれ以上の金属層を、メタライゼーションを介してウェハの表側に堆積させる。ブロック606は、ブロック602の前、ブロック602とブロック604との間、又はブロック604の後に成され得る。金属層は、スパッタリング、蒸着、又はCVDによって適用され得る。スパッタリングは、例えば、イオンビームスパッタリング、反応性スパッタリング、イオン支援堆積(LAD)、高ターゲット利用スパッタリング(HITUS)、高出力インパルスマグネトロンスパッタリング(HIPIMS)、又は気体流スパッタリングであり得る。一実施例において、パルスレーザー堆積が用いられる。蒸着の例には、熱蒸着、電子ビーム蒸着、フラッシュ蒸着、又は抵抗性蒸着が含まれる。例えば、エッチング又はリフトオフを行うことによって、金属層にパターンが適用され得る。エッチングにより、金属層が蒸着され、金属層にフォトレジスト層が適用される。露光を介してフォトリソグラフィマスクからフォトレジストにパターンが転写される。次いで、フォトレジストからのパターンは、エッチングを介して金属層に転写される。リフトオフにおいて、金属層の前にフォトレジスト層が適用される。露光によってフォトリソグラフィマスクからフォトレジスト層にパターンが転写される。次いで、金属はフォトレジストの上に、及び、フォトレジスト内の開口内に堆積される。次に、フォトレジストが除かれて、フォトレジスト層上の金属部分を除去しつつ、堆

40

50

積された金属が開口内に残される。金属層は、銅、アルミニウムなどの別の金属、又は合金であり得る。

【0035】

ブロック608において、システムは、ブロック606において適用された金属層にパッシベーション層を堆積させる。パッシベーション層は、二酸化シリコンなどの酸化物であり得る。パッシベーション層は、CVDによって堆積されてもよい。

【0036】

ブロック610において、システムは、ブロック608において堆積されたパッシベーション層に対する第1のポリイミド層を形成する。第1のポリイミド層は、段階成長重合又は固相合成を用いて形成され得る。

10

【0037】

ブロック612において、システムは、ブロック608において堆積されたパッシベーション層と、ブロック610において形成された第1のポリイミド層とをパターン化する。フォトレジストの層がパッシベーション層に適用される。次いで、フォトリソグラフィマスクを用いてフォトレジスト層がパターン化される。マスクは、ポジティブマスク又はネガティブマスクであり得る。その後、第1のポリイミド層及びパッシベーション層がエッチングされる。従って、第1のポリイミド層及びパッシベーション層に開口が形成される。次に、残ったフォトレジストが除かれ得る。

【0038】

ブロック614において、システムは、第1のポリイミド層に、及び、第1のポリイミド層及びパッシベーション層の開口において、RDLを堆積させる。RDLは、銅又は別の金属であり得る。システムは、スパッタリング、蒸着、又はCVDを用いてRDLを堆積させる。RDLは、第1のポリイミド層におけるパターンに基づいてピラー内に堆積される。システムはまた、RDLをパターン化する。一例において、フォトレジストが、ポリイミド層上に堆積され、RDLの堆積の前にパターン化される。そして、リフトオフを行ってRDLをパターン化する。別の実施例において、フォトリソグラフィ及びエッチングがRDLに対して行われる。

20

【0039】

ブロック618において、システムは、第2のポリイミド層を形成し、パターン化する。システムは、段階成長重合又は固相合成を用いて第2のポリイミド層を形成し得る。第2のポリイミド層は、第1のポリイミド層と同じ厚みであってもよく、第1のポリイミド層より薄くてもよく、又は第1のポリイミド層より厚くてもよい。システムは、フォトリソグラフィとエッチングを用いて、第2のポリイミド層をパターン化する。第2のポリイミド層にフォトレジストが適用される。フォトレジストはフォトリソグラフィマスクにより露出される。そして、フォトレジストが取り除かれた領域において第2のポリイミド層がエッチングされる。フォトレジストはとり除かれ得る。

30

【0040】

ブロック622において、システムはUBM層を堆積させる。UBMは、チタン、又はTiWなどのチタン合金で構成され得る。UBMは、スパッタリング、蒸着、又は無電解めっきによって堆積され得る。

40

【0041】

ブロック626において、システムは、ブロック622において堆積されたUBM層にはんだバンプを形成する。はんだバンプは、Sn/Pb、Pb、Sn/Ag/Cu、Sn/Ag、又は他の合金で構成されてもよく、これらは、鉛ベースのはんだ又は鉛フリーのはんだであり得る。ウェットフィルム又はドライフィルムを用いる再パッシベーションを用いてバンピングが行われ得る。パッシベーションとウェットフィルムを用いるバンピングで、システムは、UBM上にフォトレジストを適用し、露光させ、現像させる。その後、システムは、銅/はんだめっき又は銅/ニッケル/はんだめっきを行う。システムは、フォトレジストを剥がし、UBMをエッチングする。最終的に、システムは、UBMをリフローして、はんだボールを形成する。ドライフィルムを用いるバンピングでは、システム

50

はドライフィルムラミネーション、露光、現像を行う。その後、システムは、ドライフィルムラミネーションCu/Ni/はんだめっきをめっきする。次に、ドライフィルム剥離を行った後、UBMエッチングが続く。最終的に、システムは、リフローを行って、はんだバンプを形成する。

【0042】

図6は、WCSPにおいて半導体構造を利用する一実施例の方法のためのフローチャート700を図示する。ブロック702において、システムは、ダイを形成するためにチップをダイシングする。複数のチップが、各々、図1によって図示される半導体構造100などのバンプ構造を含み得る。ウェハダイシングは、スクライピング及び破断、例えばダイシングソーを用いる機械的ソーイング、又はレーザー切断によって成され得る。ウェハは、ダイシングの間ダイシングテープ上に搭載され得る。

10

【0043】

ブロック704において、ダイはPCB上に個別に搭載される。ダイは反転され、はんだボールがPCB上の適切な回路要素に面するように置かれる。はんだボールは、例えば熱風リフローを用いて再溶融される。搭載されたチップは、支持及び保護を提供するために、電気絶縁接着材を用いてアンダーフィルされ得る。

【0044】

ブロック706において、PCB上のダイの回路が動作する。例えば、テキサス・インスツルメンツによってつくられたNextFET(商標)デバイスなどのパワートランジスタが、電力スイッチングを行い得る。パワートランジスタは、低抵抗及び高電流密度で動作し得る。一例において、パワートランジスタは最大5Aで動作し得る。

20

【0045】

例示の配置の例を詳細に説明したが、添付の特許請求の範囲によって定義される本願の趣旨及び範囲から逸脱することなく、本明細書において種々の変更、置換、及び変更を行うことができる。

【0046】

また、本願の範囲は、本明細書に記載された例に限定されない。したがって、添付の特許請求の範囲は、その範囲内に、他のそのようなプロセス、機械、製造、組成、方法、方法、又は工程を含むことが意図される。

【 図 1 】

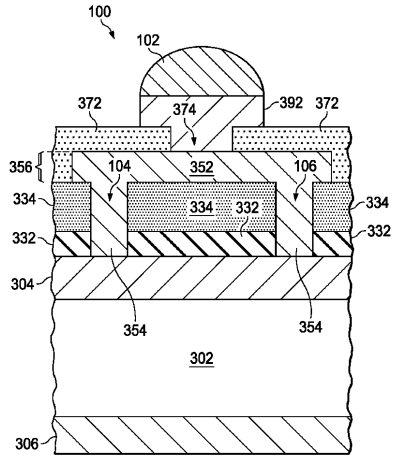


FIG. 1

【 図 2 A 】

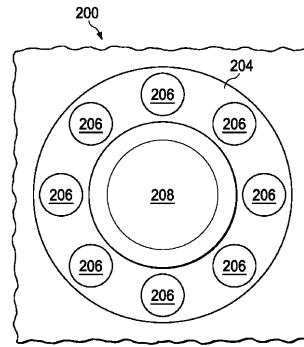


FIG. 2A

【 図 2 B 】

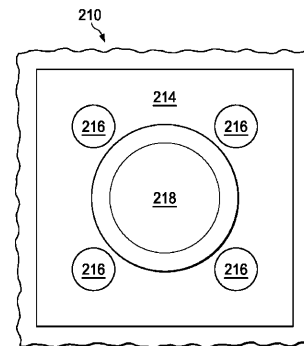


FIG. 2B

【 図 2 C 】

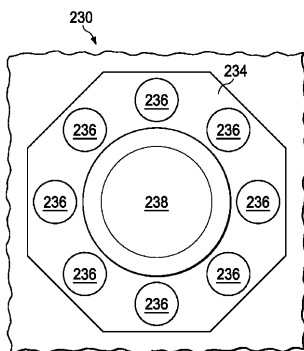


FIG. 2C

【 図 2 D 】

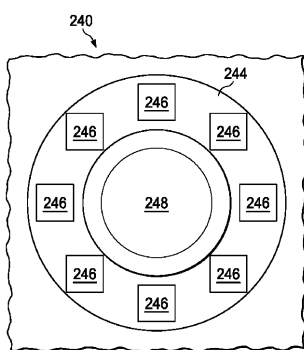


FIG. 2D

【 図 3 A 】

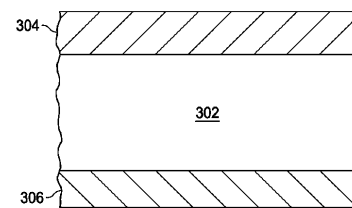


FIG. 3A

【 図 3 B 】

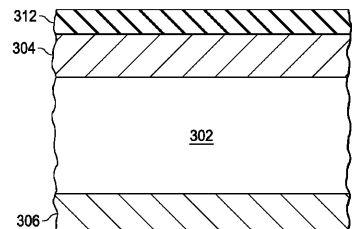


FIG. 3B

【 図 3 C 】

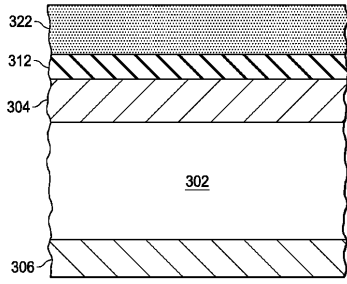


FIG. 3C

【 図 3 E 】

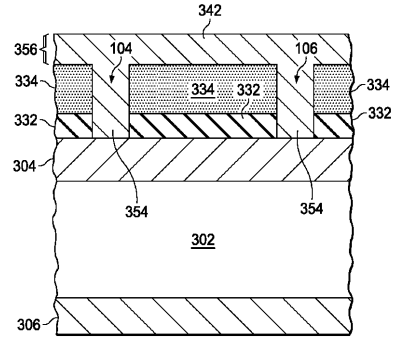


FIG. 3E

【 図 3 D 】

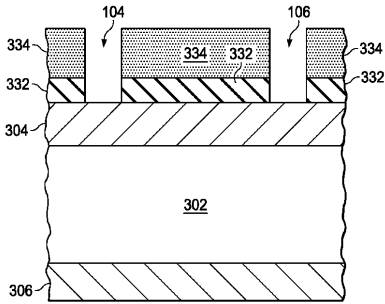


FIG. 3D

【 図 3 F 】

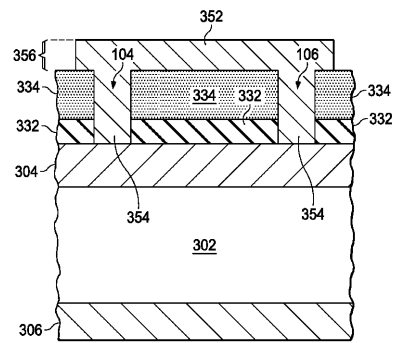


FIG. 3F

【 図 3 G 】

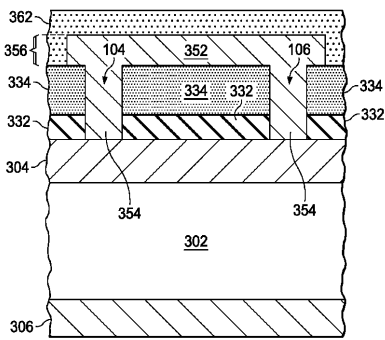


FIG. 3G

【 図 3 I 】

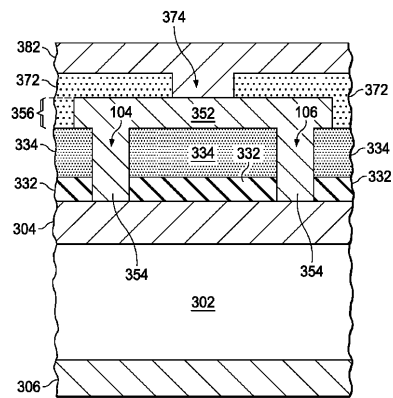


FIG. 3I

【 図 3 H 】

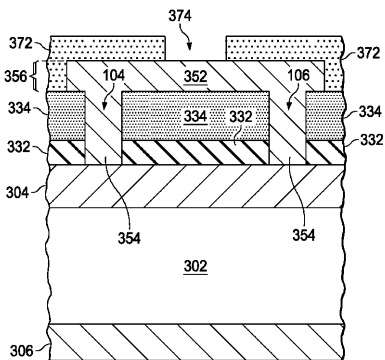


FIG. 3H

【 図 4 】

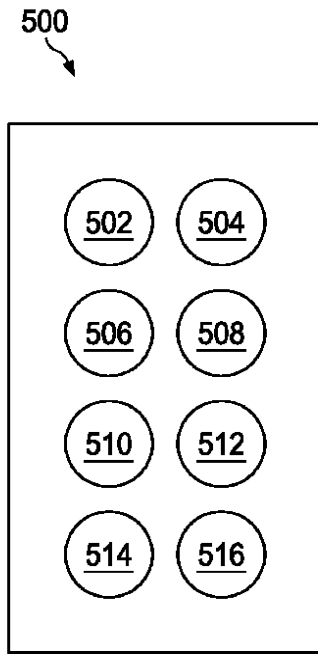


FIG. 4

【 図 5 】

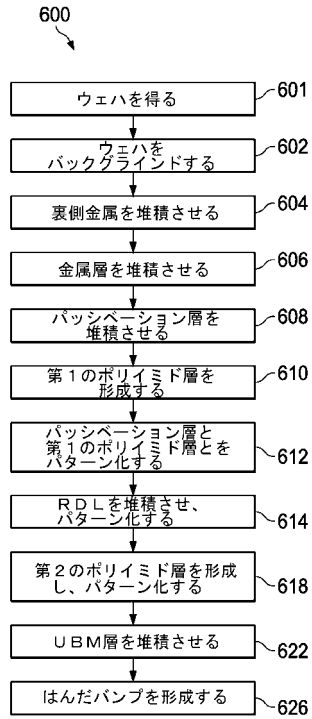


FIG. 5

【 図 6 】

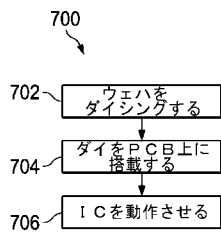


FIG. 6

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US 2019/037155
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 23/48 (2006.01)</i> <i>H01L 21/768 (2006.01)</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H01L 23/48, 21/768		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
PatSearch (RUPTO internal), USPTO, PAJ, Esp@cenet, DWPI, EAPATIS, PATENTSCOPE, Information Retrieval System of FIPS		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2015/0084191 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 26.03.2015, fig.5, 8-9, [0022]-[0026], [0045]-[0049], [0055]-[0060]	1-7, 9, 12, 17, 20
Y		8, 10-11, 18-19
X	US 2015/0311169 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY, LTD.) 29.10.2015, fig.5, 8-9, [0010]-[0022]	13-16
Y		8, 10-11, 18-19
A	US 9922845 B1 (MICRON TECHNOLOGY, INC.) 20.03.2018.	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:		
"A"	document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E"	earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O"	document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P"	document published prior to the international filing date but later than the priority date claimed	
Date of the actual completion of the international search		Date of mailing of the international search report
09 September 2019 (09.09.2019)		12 September 2019 (12.09.2019)
Name and mailing address of the ISA/RU: Federal Institute of Industrial Property, Berezhkovskaya nab., 30-1, Moscow, G-59, GSP-3, Russia, 125993 Facsimile No: (8-495) 531-63-18, (8-499) 243-33-37		Authorized officer I. Baginskaja Telephone No. (499) 240-25-91

INTERNATIONAL SEARCH REPORT

International application No.

PCT/US 2019/037155

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2018/0053665 A1 (MEDIATEK INC.) 22.02.2018.	1-20
A	US 2012/0104604 A1 (TEXAS INSTRUMENTS INCORPORATED) 03.05.2012	1-20

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(72)発明者 マノイ クマール ジェイン

アメリカ合衆国 75025 テキサス州 プレイノ, ローバー ドライブ 2600

(72)発明者 トレーシー スコット ポールセン

アメリカ合衆国 75089 テキサス州 ローレット, スターブリッジ ドライブ 6605

Fターム(参考) 5F033 HH11 HH18 HH23 JJ01 KK08 KK11 KK12 MM05 PP06 PP15

PP19 RR22 SS11 SS21 TT03 UU05 VV07 WW00 WW08 XX05