



(12) 发明专利申请

(10) 申请公布号 CN 104051006 A

(43) 申请公布日 2014. 09. 17

(21) 申请号 201310077030. 8

(22) 申请日 2013. 03. 11

(71) 申请人 北京兆易创新科技股份有限公司  
地址 100083 北京市海淀区学院路 30 号科  
大天工大厦 A 座 12 层

(72) 发明人 舒清明 苏志强 张君宇

(74) 专利代理机构 北京品源专利代理有限公司  
11332  
代理人 马晓亚

(51) Int. Cl.  
G11C 16/06(2006. 01)

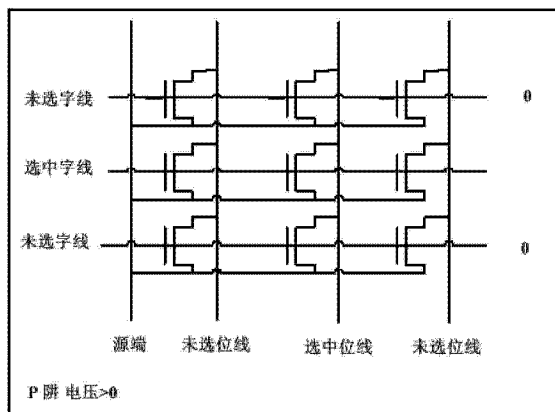
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种减小浮栅存储器位线漏电流的方法及其装置

(57) 摘要

本发明公开了一种减小浮栅存储器位线漏电流的方法及其装置,方法包括:在对浮栅存储器的存储阵列进行操作时,在未选中存储单元的衬底端施加一个正电压,其中所述操作包括编程、读取和/或验证。进一步地,所述正电压通过外围电路提供,大小为大于0伏且不大于3伏,优选为1伏,或者,所述正电压通过操作电压提供,大小为1.8伏或3.3伏。本发明提出的减小浮栅存储器位线漏电流的方法及其装置,能减小编程、读取以及各种验证操作时选中单元对于相邻未选中单元的耦合影响,能减小BL漏电流,能减小系统功耗,能提升读取和验证的准确性。



1. 一种减小浮栅存储器位线漏电流的方法,其特征在于,在对浮栅存储器的存储阵列进行操作时,在未选中存储单元的衬底端施加一个正电压,其中所述操作包括编程、读取和/或验证。

2. 如权利要求1所述的减小浮栅存储器位线漏电流的方法,其特征在于,所述正电压通过外围电路提供,所述正电压大于0伏且不大于3伏。

3. 如权利要求1或2所述的减小浮栅存储器位线漏电流的方法,其特征在于,所述正电压为1伏。

4. 如权利要求1所述的减小浮栅存储器位线漏电流的方法,其特征在于,所述正电压通过操作电压提供,所述正电压大小为1.8伏或3.3伏。

5. 一种减小浮栅存储器位线漏电流的装置,其特征在于,包括电压施加单元,用于在对浮栅存储器的存储阵列进行操作时,在未选中存储单元的衬底端施加一个正电压,其中所述操作包括编程、读取和/或验证。

6. 如权利要求5所述的减小浮栅存储器位线漏电流的装置,其特征在于,所述正电压通过外围电路提供,所述正电压大于0伏且不大于3伏。

7. 如权利要求5或6所述的减小浮栅存储器位线漏电流的装置,其特征在于,所述正电压为1伏。

8. 如权利要求5所述的减小浮栅存储器位线漏电流的装置,其特征在于,所述正电压通过操作电压提供,所述正电压大小为1.8伏或3.3伏。

9. 一种浮栅存储器,其特征在于,包括如权利要求5至8之一所述的减小浮栅存储器位线漏电流的装置。

## 一种减小浮栅存储器位线漏电流的方法及其装置

### 技术领域

[0001] 本发明涉及数据存储技术领域,尤其涉及一种减小浮栅存储器位线漏电流的方法及其装置。

### 背景技术

[0002] 浮栅存储器由于具有非易失性、可电擦除 / 编程,并且成本较低的特点,因此得到广泛的应用。目前主流的浮栅存储器 EEPROM、NAND Flash 和 NOR Flash。

[0003] 浮栅存储器的工艺基础是 CMOS 工艺,因此浮栅存储器与其他 CMOS 集成电路一样经历了特征尺寸不断缩小的过程。在这个过程中,存储单元面积不断缩小,带来了存储容量和存储密度的不断提高。而封装技术的进步,多芯片封装技术(MutiChip Package, MCP)的采用,使得浮栅存储器的单片容量进一步增长。在特征尺寸缩小的同时,出现了在一个存储单元上存储多位数据,进一步提高了存储的容量。

[0004] 浮栅存储器中存在着编程、读取以及验证等操作模式,在这几种操作模式中,都会出现选中单元的耦合影响未选中单元,使未选中单元处于微弱开启状态,增加位线方向的漏电流。

[0005] 现有技术中,浮栅存储器操作模式如图 1 所示,浮栅存储器的存储阵列中,各字线 WL 连接各存储字中各存储单元晶体管的栅端,各位线 BL 连接各存储位中各存储单元晶体管的漏端,源端连接着浮栅存储器的 P 阱中所有存储单元晶体管的源端。浮栅存储器操作原理为:对于选中的单元,在其字线 WL 上和位线 BL 上均施加相应的电压;而对于未选中单元,在字线 WL 上施加一个 0 电压,位线 BL 浮空;所有单元的源端共同接到一起,并与阵列所在的 P 阱(P-well)相连接共同接地。

[0006] 这种传统的操作方法存在一定缺陷,由于耦合作用,未选中单元的浮栅会受到相邻选中单元字线 WL 和位线 BL 电压的影响,上升到一个正电位,使得未选中单元处于微弱导通状态,增加 BL 漏电流,在芯片密度显著提高后,这种效应愈加明显,在加大系统功耗的同时降低了读取以及验证操作的准确度,甚至影响芯片可靠性。

### 发明内容

[0007] 本发明的目的在于提出一种减小浮栅存储器位线漏电流的方法及其装置,使其能够提高存储器的精度的同时增加芯片的可靠性。

[0008] 为达此目的,本发明采用以下技术方案:

[0009] 一种减小浮栅存储器位线漏电流的方法,包括在对浮栅存储器的存储阵列进行操作时,在未选中存储单元的衬底端施加一个正电压,其中所述操作包括编程、读取和 / 或验证。。

[0010] 进一步地,所述正电压通过外围路路提供,所述正电压大于 0 伏且不大于 3 伏。

[0011] 进一步地,所述正电压为 1 伏。

[0012] 或者,所述正电压通过操作电压提供,所述正电压大小为 1.8 伏或 3.3 伏。

[0013] 根据本发明的同一构思,本发明还提供了一种减小浮栅存储器位线漏电流的装置,包括电压施加单元,用于在对浮栅存储器的存储阵列进行操作时,在未选中存储单元的衬底端施加一个正电压,其中所述操作包括编程、读取和 / 或验证。

[0014] 进一步地,所述正电压通过外围路路提供,所述正电压大于 0 伏且不大于 3 伏。

[0015] 进一步地,所述正电压为 1 伏。

[0016] 或者,所述正电压通过操作电压提供,所述正电压大小为 1.8 伏或 3.3 伏。

[0017] 根据本发明的同一构思,本发明还提供了一种浮栅存储器,包括如上所述的减小浮栅存储器位线漏电流的装置。

[0018] 本发明通过未选中存储单元的衬底端施加一个正电压,相对于传统存储器操作方法,能减小编程、读取以及各种验证操作时选中单元对于相邻未选中单元的耦合影响,能减小位线 BL 漏电流,能减小系统功耗,能提升读取和验证的准确性。

### 附图说明

[0019] 图 1 是现有技术中浮栅存储器操作模式示意图;

[0020] 图 2 是现有技术中字线 WL 耦合影响示意图;

[0021] 图 3 是现有技术中位线 BL 耦合影响示意图;

[0022] 图 4 是本发明具体实施例一所述的操作模式示意图。

### 具体实施方式

[0023] 当前,随着特征尺寸的减小,浮栅存储器的阵列密度显著增大,耦合效应更为突显。在传统的浮栅存储器操作模式中,选中单元的操作,会使得相邻的未选中单元受到耦合的影响,增加位线方向上的漏电流。主要分为如下两大类:

[0024] 1、相邻选中字线 WL 的影响。如图 2 所示,浮栅存储器的存储阵列中,各字线 WL 连接各存储字中各存储单元晶体管的栅端,各位线 BL 连接各存储位中各存储单元晶体管的漏端,源端连接着浮栅存储器的 P 阱中所有存储单元晶体管的源端。浮栅存储器在编程、读取以及各种验证操作中,会在选中单元的栅端施加一个正电压,而相邻的未选中单元,通常会在栅端施加一个零电压。由于耦合作用,在图 2 中的相邻存储单元的字线 WL 和浮栅 (floating gate) 之间会存在一个不可忽略的耦合电容 C,这使得未选中单元浮栅不能保持 0 电位,而是上升到一个正电位并一直保持下去。当阵列密度较大,选中单元 WL 电压上升较快时,耦合效应会较为明显,此时未选中单元会处于一种微弱的导通状态,这将直接导致位线方向漏电流增加。

[0025] 2、相邻选中位线 BL 的影响。如图 3 所示,浮栅存储器的存储阵列中,各字线 WL 连接各存储字中各存储单元晶体管的栅端,各位线 BL 连接各存储位中各存储单元晶体管的漏端,源端连接着浮栅存储器的 P 阱中所有存储单元晶体管的源端。浮栅存储器在编程、读取以及各种验证操作中,会在选中单元的漏端施加一个正电压,而相邻的未选中单元,通常漏端接相同的位线 BL 电压,栅端接地。由于耦合作用,在图 3 中的相邻位线 BL 与浮栅 (floating gate) 之间会存在一个不可忽略的耦合电容 C,这使得未选中单元的栅端会受到选中单元漏端的影响,在一段时间内上升到一个正电位并保持下去。当阵列密度较大,选中单元位线 BL 电压上升较快时,耦合效应会较为明显,此时未选中单元会处于一种微弱的导

通状态,这将直接导致位线方向漏电流增加。由于同一条位线 BL 上连接单元较多,漏电流将成倍增加。

[0026] 由于位线方向上的漏电会增加系统不必要的功耗,当漏电增大到一定程度后,会影响读取以及各种验证操作的准确度,甚至出现“软编程”现象,因此,减小位线 BL 漏电流在浮栅存储器系统中至关重要。

[0027] 下面结合附图并通过具体实施方式来进一步说明本发明的技术方案。

[0028] 图 4 是现有技术中位线 BL 耦合影响示意图,如图 4 所示,浮栅存储器的存储阵列中,各字线 WL 连接各存储字中各存储单元晶体管的栅端,各位线 BL 连接各存储位中各存储单元晶体管的漏端,源端连接着浮栅存储器的 P 阱中所有存储单元晶体管的源端。与传统的操作方式相比,在对存储阵列进行操作时,在选中的存储单元上施加相应的操作电压,而对于未选中的存储单元,在其衬底端,即 P 阱(P-well)上施加一个正电压,等效减小未选中单元的栅源电压差,由此来抵消耦合效应对未选中单元的影响,减小位线 BL 方向上的漏电流。

[0029] 采用此发明中采用的方法,在未选中单元的 P 阱(P-well)上施加正电压,可使其处于更为可靠的关闭状态。当对选中单元操作时,即使由于耦合作用使得其相邻的未选中单元栅端电位上升,也会由于 P 阱(P-well)上的正电压,使其等效的栅源电压不足以使存储单元微开启,仍处于严格的关闭状态,不会出现大的漏电流。进一步地,所述正电压可通过外围路路提供,大小为大于 0 伏且不大于 3 伏,优选为 1 伏,或者,所述正电压可通过操作电压提供,大小为 1.8 伏或 3.3 伏。

[0030] 根据本发明的同一构思,本发明还提供了一种减小浮栅存储器位线漏电流的装置,包括电压施加单元,用于在对浮栅存储器的存储阵列进行操作时,在未选中存储单元的衬底端施加一个正电压。进一步地,所述正电压通过外围路路提供,大小为大于 0 伏且不大于 3 伏,优选为 1 伏,或者,所述正电压通过操作电压提供,大小为 1.8 伏或 3.3 伏。

[0031] 本发明实施例所述的减小浮栅存储器位线漏电流的装置,通过在未选中存储单元的衬底端施加一个正电压,相对于传统存储器操作方法,能减小编程、读取以及各种验证操作时选中单元对于相邻未选中单元的耦合影响,能减小 BL 漏电流,能减小系统功耗,能提升读取和验证的准确性。

[0032] 以上所述仅为本发明的较佳实施例,并不用以限制本发明,凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

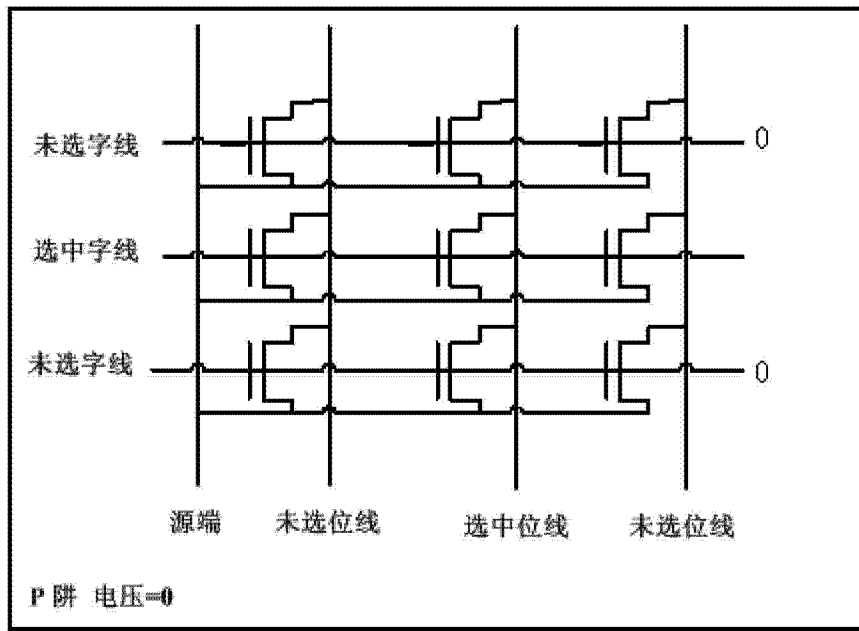


图 1

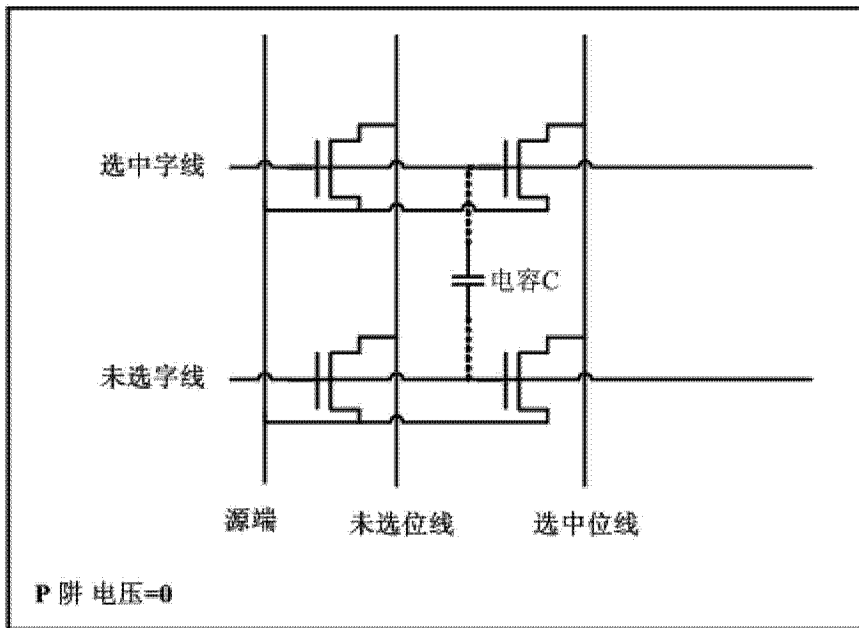


图 2

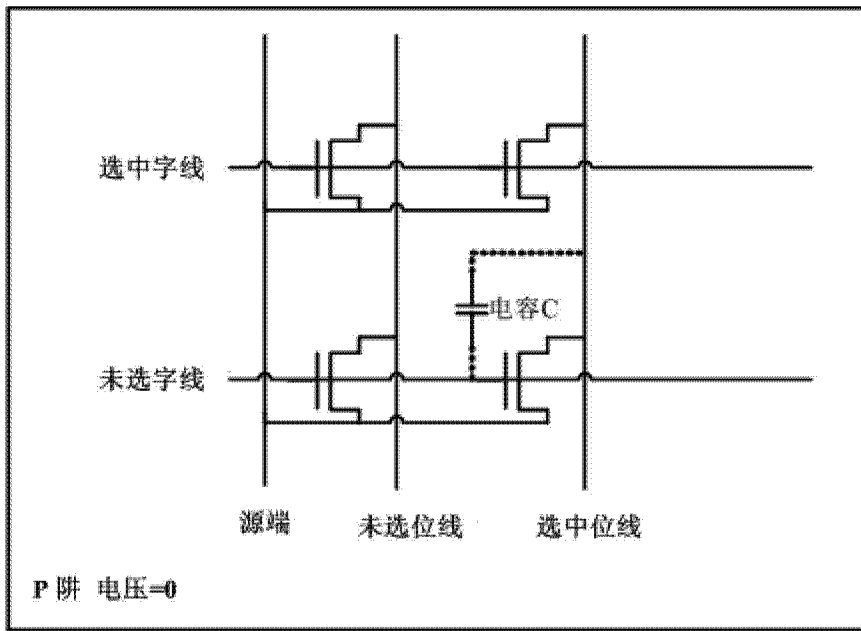


图 3

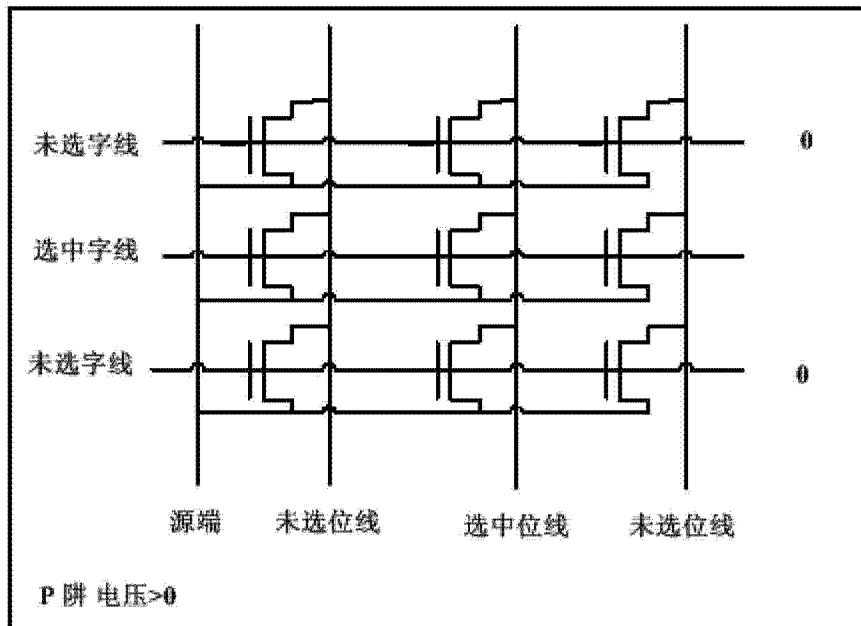


图 4