

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4735224号
(P4735224)

(45) 発行日 平成23年7月27日(2011.7.27)

(24) 登録日 平成23年5月13日(2011.5.13)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)
HO 1 L 21/336 (2006.01)

HO 1 L 29/78 6 5 2 H
HO 1 L 29/78 6 5 3 A
HO 1 L 29/78 6 5 8 A
HO 1 L 29/78 6 5 8 F
HO 1 L 29/78 6 5 8 D

請求項の数 8 (全 19 頁)

(21) 出願番号	特願2005-355419 (P2005-355419)	(73) 特許権者	000003207 トヨタ自動車株式会社
(22) 出願日	平成17年12月8日(2005.12.8)		愛知県豊田市トヨタ町1番地
(65) 公開番号	特開2007-158275 (P2007-158275A)	(74) 代理人	110000291 特許業務法人コスモス特許事務所
(43) 公開日	平成19年6月21日(2007.6.21)	(72) 発明者	高谷 秀史 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
審査請求日	平成20年3月20日(2008.3.20)	(72) 発明者	濱田 公守 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
		(72) 発明者	宮城 恭輔 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

最終頁に続く

(54) 【発明の名称】 絶縁ゲート型半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、前記ボディ領域の下面と接し第2導電型半導体であるドリフト領域とを有する絶縁ゲート型半導体装置において、

半導体基板の上面から前記ボディ領域を貫通するトレンチ部と、

前記トレンチ部の側壁に位置するゲート絶縁膜と、

前記トレンチ部内に位置し、前記トレンチ部の底部に絶縁物を堆積してなる堆積絶縁層と、

前記トレンチ部内であって前記堆積絶縁層上に位置し、前記ボディ領域と前記ゲート絶縁膜を挟んで対面するゲート電極と、

前記ゲート電極よりも下方に位置し、前記ドリフト領域に囲まれるとともに前記ボディ領域から隔離され、第1導電型半導体であるフローティング領域とを有し、

前記フローティング領域は、縦方向の幅が横方向の幅の1.5倍以上であり、前記ボディ領域から伸びる空乏層が当該フローティング領域と繋がることにより半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能な深さに位置することを特徴とする絶縁ゲート型半導体装置。

【請求項2】

請求項1に記載する絶縁ゲート型半導体装置において、

前記トレンチ部の底部は、前記フローティング領域内に位置し、

10

20

前記トレンチ部の内部のうち、前記トレンチ部の底部から前記ゲート電極の下端までの間は、絶縁層によって充填されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 3】

請求項 1 に記載する絶縁ゲート型半導体装置において、

前記トレンチ部の底部に開口部が設けられ、底部および側壁部が前記フローティング領域内に位置する第 2 トレンチ部を有し、

前記第 2 トレンチ部の底部から前記ゲート電極の下端までの間は、絶縁層によって充填されていることを特徴とする絶縁ゲート型半導体装置。

【請求項 4】

半導体基板の主表面側に位置し第 1 導電型半導体であるドリフト領域と、前記ドリフト領域の上面側に位置し第 2 導電型半導体であるボディ領域と、前記ドリフト領域に囲まれるとともに前記ボディ領域から隔離され、第 1 導電型半導体であるフローティング領域と、半導体基板の上面から前記ボディ領域を貫通し底部が前記フローティング領域内に位置するトレンチ部と、前記トレンチ部の側壁に位置するゲート絶縁膜と、前記トレンチ部内に位置し、前記トレンチ部の底部に絶縁物を堆積してなる堆積絶縁層と、前記トレンチ部内であって前記堆積絶縁層上に位置し、前記ボディ領域と前記ゲート絶縁膜を挟んで対面するゲート電極とを有し、前記フローティング領域は、前記ボディ領域から伸びる空乏層が当該フローティング領域と繋がることにより半導体基板の厚さ方向に電界強度のピークを 2 箇所形成することが可能な深さに位置する絶縁ゲート型半導体装置の製造方法において

半導体基板の上面にマスクパターンを形成するマスク形成工程と、

前記マスクパターンを形成した後に、半導体基板の上面から前記トレンチ部を形成するトレンチ部形成工程と、

前記トレンチ部を形成した後に、第 1 加速電圧のイオン注入により前記トレンチ部の底部に不純物を打ち込む第 1 イオン注入工程と、

前記トレンチ部を形成した後に、前記第 1 加速電圧よりも低い第 2 加速電圧のイオン注入により前記トレンチ部の底部に不純物を打ち込む第 2 イオン注入工程と、

前記第 1 イオン注入工程および前記第 2 イオン注入工程にてイオン注入を行った後に、熱拡散処理を行って、縦方向の幅が横方向の幅の 1.5 倍以上となる前記フローティング領域を形成する熱拡散工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法

【請求項 5】

請求項 4 に記載する絶縁ゲート型半導体装置の製造方法において、

前記第 1 加速電圧は、不純物が前記マスクパターンを通過可能な加速電圧であることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 6】

請求項 4 または請求項 5 に記載する絶縁ゲート型半導体装置の製造方法において、

前記第 1 加速電圧は、前記トレンチ部の底部からの深さが前記トレンチ部の溝幅よりも大きくなる位置まで不純物を打ち込める加速電圧であることを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 7】

半導体基板の主表面側に位置し第 1 導電型半導体であるドリフト領域と、前記ドリフト領域の上面側に位置し第 2 導電型半導体であるボディ領域と、半導体基板の上面から前記ボディ領域を貫通するトレンチ部と、前記トレンチ部の側壁に位置するゲート絶縁膜と、前記トレンチ部内に位置し、前記トレンチ部の底部に絶縁物を堆積してなる堆積絶縁層と、前記トレンチ部内であって前記堆積絶縁層上に位置し、前記ボディ領域と前記ゲート絶縁膜を挟んで対面するゲート電極と、前記ドリフト領域に囲まれるとともに前記ボディ領域から隔離され、第 1 導電型半導体であるフローティング領域とを有し、前記フローティング領域は、前記ボディ領域から伸びる空乏層が当該フローティング領域と繋がることにより半導体基板の厚さ方向に電界強度のピークを 2 箇所形成することが可能な深さに位置す

る絶縁ゲート型半導体装置の製造方法において、

半導体基板の上面にマスクパターンを形成するマスク形成工程と、

前記マスクパターンを形成した後に、半導体基板の上面から前記トレンチ部を形成する第1トレンチ部形成工程と、

前記トレンチ部を形成した後に、そのトレンチ部の壁面上にマスク層を形成する側壁マスク層形成工程と、

前記マスク層を形成した後に、前記トレンチ部を掘り下げて第2トレンチ部を形成する第2トレンチ部形成工程と、

前記第2トレンチ部を形成した後に、その第2トレンチ部の側壁に斜めイオン注入により不純物を打ち込むイオン注入工程と、

前記イオン注入工程にてイオン注入を行った後に、熱拡散処理を行って、縦方向の幅が横方向の幅の1.5倍以上となる前記フローティング領域を形成する熱拡散工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

10

【請求項8】

請求項7に記載する絶縁ゲート型半導体装置の製造方法において、

前記イオン注入工程にてイオン注入を行った後に、前記マスク層を除去するマスク層除去工程と、

前記マスク層を除去した後に、前記トレンチ部内および第2トレンチ部内に絶縁物を堆積する絶縁物堆積工程とを含むことを特徴とする絶縁ゲート型半導体装置の製造方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、トレンチゲート構造を有する絶縁ゲート型半導体装置およびその製造方法に関する。さらに詳細には、半導体層にかかる電界集中を緩和することにより、高耐圧化と低オン抵抗化との両立を図った絶縁ゲート型半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

従来から、パワーデバイス用の絶縁ゲート型半導体装置として、トレンチゲート構造を有するトレンチゲート型半導体装置が提案されている。このトレンチゲート型半導体装置では、一般的に高耐圧化と低オン抵抗化とがトレードオフの関係にある。

30

【0003】

この問題に着目したトレンチゲート型半導体装置として、例えば特許文献1に示すような絶縁ゲート型半導体装置がある。この絶縁ゲート型半導体装置は、図10に示すように、 N^+ ソース領域31と、 N^+ ドレイン領域11と、 P^- ボディ領域41と、 N^- ドリフト領域12とが設けられている。また、半導体基板の上面側の一部を掘り込むことにより P^- ボディ領域41を貫通するゲートトレンチ21が形成されている。また、ゲートトレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。さらに、堆積絶縁層23上には、ゲート電極22が形成されている。そして、ゲート電極22は、ゲートトレンチ21の壁面に形成されているゲート絶縁膜24を介して、 N^+ ソース領域31および P^- ボディ領域41と対面している。さらに、 N^- ドリフト領域12内には、 P フローティング領域51が形成されている。そして、ゲートトレンチ21の下端は、 P フローティング領域51内に位置している。

40

【0004】

この絶縁ゲート型半導体装置900は、 N^- ドリフト領域12内に P フローティング領域51が設けられている（以下、このような構造を「フローティング構造」とする）ことにより、次のような特性を有する。

【0005】

すなわち、ドレイン-ソース間（以下、「DS間」とする）に電圧を印加すると、 N^- ドリフト領域12中、 P^- ボディ領域41との間のPN接合箇所から空乏層が広がる。そ

50

して、その空乏層がPフローティング領域51にまで到達することで、Pフローティング領域51がパンチスルー状態となって電位が固定される。さらに、Pフローティング領域51とのPN接合箇所からも空乏層が広がるため、P⁻ボディ領域41との間のPN接合箇所とは別に、Pフローティング領域51とのPN接合箇所も電界強度のピークとなる。すなわち、図11に示すように、電界強度のピークを2箇所形成でき、最大ピーク値を低減することができる。従って、高耐圧化が図られる。また、高耐圧であることから、N⁻ドリフト領域12の不純物濃度を上げて低オン抵抗化を図ることができる。

【0006】

なお、フローティング構造のメカニズムについては、例えば特許文献2に詳細が開示されている。

【特許文献1】特開2005-142243号公報

【特許文献2】特開平9-191109号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、図10に示した半導体装置には、次のような問題があった。すなわち、さらなる高耐圧化を図るためには、通常、エピタキシャル層の濃度を調節して空乏層をより広がり易くすることが行われるが、空乏層が広がり易くなるほどエピタキシャル層の不純物濃度が低く、オン抵抗は高くなってしまふ。そのため、低オン抵抗化との両立が図れない。

【0008】

また、特許文献1や特許文献2に開示されているように複数階層のフローティング領域によって、電界強度のピークを3箇所以上することで高耐圧化を図ることができる。しかし、複数階層のフローティング領域を形成するには非常に多くの工程が必要となり、コストアップや生産性の悪化を招く。

【0009】

また、フローティング構造を有する半導体装置では、Pフローティング領域51の半径を大きくすることで高耐圧化を図ることも可能である。すなわち、半径が大きいPフローティング領域51を形成することにより、空乏層の厚さが大きくなり、高耐圧化を図ることができる。一方、Pフローティング領域51のサイズが大きくなると、隣り合うPフローティング領域51、51間の間隔が狭くなりオン抵抗が高くなる。そのため、トレンチ間のピッチを広くし、Pフローティング領域51、51間の間隔を確保する必要がある。つまり、高耐圧化を進めると微細化が困難になり、結果として微細化に逆行することからオン抵抗特性が悪くなる。そのため、低オン抵抗化との両立が図れない。

【0010】

本発明は、前記した従来の半導体装置が有する問題点を解決するためになされたものである。すなわちその課題とするところは、フローティング構造を有する半導体装置であって、オン抵抗特性を維持しつつさらなる高耐圧化が図られた絶縁ゲート型半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0011】

この課題の解決を目的としてなされた絶縁ゲート型半導体装置は、半導体基板内の上面側に位置し第1導電型半導体であるボディ領域と、ボディ領域の下面と接し第2導電型半導体であるドリフト領域とを有する絶縁ゲート型半導体装置であって、半導体基板の上面からボディ領域を貫通するトレンチ部と、そのトレンチ部の側壁に位置するゲート絶縁膜と、トレンチ部内に位置し、トレンチ部の底部に絶縁物を堆積してなる堆積絶縁層と、トレンチ部内であって堆積絶縁層上に位置し、ボディ領域とゲート絶縁膜を挟んで対面するゲート電極と、ゲート電極よりも下方に位置し、ドリフト領域に囲まれるとともにボディ領域から隔離され、第1導電型半導体であるフローティング領域とを有し、フローティング領域は、縦方向の幅が横方向の幅の1.5倍以上であり、ボディ領域から伸びる空乏層

10

20

30

40

50

が当該フローティング領域と繋がることにより半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能な深さに位置することを特徴としている。

【0012】

すなわち、本発明の絶縁ゲート型半導体装置は、トレンチゲート構造をなしているとともに、ドリフト領域中にボディ領域と非接触でありボディ領域と同一の導電型半導体領域であるフローティング領域が存在する、いわゆるフローティング構造をなしている。このフローティング領域は、ボディ領域から伸びる空乏層が当該フローティング領域と繋がることで、パンチスルー状態となって電位を固定することができる。つまり、電界強度の上昇を抑制することができる。そして、フローティング領域からさらに空乏層が伸びることで電界強度のピークが新たに形成される。このフローティング構造にて高耐压化を図るためには、ボディ領域とフローティング領域との間に、ボディ領域から伸びる空乏層が十分に伸びきれスペースを確保する必要がある。換言すると、このスペースが十分でなければ電界強度のピークが形成されない。そのため、フローティング領域は、半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能な深さに位置している。

10

【0013】

そして、本発明の絶縁ゲート型半導体装置では、フローティング領域の断面が縦長の形状になっている。具体的には、縦方向の幅が横方向の幅の1.5倍以上になっている。このように縦長のフローティング領域を形成することで、フローティング領域側の電界強度の上昇を抑えつつ空乏層が伸び代が拡張される。すなわち、電界を保持する領域が拡張される。よって、一層の高耐压化が図られる。

20

【0014】

また、本発明の絶縁ゲート型半導体装置の製造方法は、半導体基板の主表面側に位置し第1導電型半導体であるドリフト領域と、ドリフト領域の上面側に位置し第2導電型半導体であるボディ領域と、ドリフト領域に囲まれるとともに前記ボディ領域から隔離され、第1導電型半導体であるフローティング領域と、半導体基板の上面からボディ領域を貫通し底部がフローティング領域内に位置するトレンチ部と、トレンチ部の側壁に位置するゲート絶縁膜と、トレンチ部内に位置し、トレンチ部の底部に絶縁物を堆積してなる堆積絶縁層と、トレンチ部内であって堆積絶縁層上に位置し、ボディ領域とゲート絶縁膜を挟んで対面するゲート電極とを有し、フローティング領域は、ボディ領域から伸びる空乏層が当該フローティング領域と繋がることにより半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能な深さに位置する絶縁ゲート型半導体装置の製造方法であって、半導体基板の上面にマスクパターンを形成するマスク形成工程と、マスクパターンを形成した後に、半導体基板の上面からトレンチ部を形成するトレンチ部形成工程と、トレンチ部を形成した後に、第1加速電圧のイオン注入によりトレンチ部の底部に不純物を打ち込む第1イオン注入工程と、トレンチ部を形成した後に、第1加速電圧よりも低い第2加速電圧のイオン注入によりトレンチ部の底部に不純物を打ち込む第2イオン注入工程と、第1イオン注入工程および第2イオン注入工程にてイオン注入を行った後に、熱拡散処理を行って、縦方向の幅が横方向の幅の1.5倍以上となるフローティング領域を形成する熱拡散工程を含むことを特徴としている。

30

【0015】

すなわち、この製造方法は、トレンチ部を形成した後に、高加速電圧である第1加速電圧のイオン注入（第1イオン注入工程）によってトレンチ部の底部から深さの深い位置に不純物が打ち込まれる。詳細には、トレンチ部の底部からの深さがトレンチ部の溝幅よりも大きくなる位置まで不純物を打ち込める加速電圧条件でイオン注入を行う。具体的な第1加速電圧の条件は、不純物が打ち込まれる深さ等によって異なるが、概ね200keV以上である。これにより、後の熱拡散処理により、不純物プロファイルの分布が縦方向に広い拡散領域、すなわち縦方向の幅が横方向の幅の1.5倍以上となる拡散領域が形成される。この拡散領域はトレンチ部の底部から打ち込まれた不純物によってなる領域であることから、トレンチ部の下方に位置しボディ領域と接しない。これにより、縦長のフローティング領域が形成される。

40

50

【 0 0 1 6 】

さらに、この製造方法は、トレンチ部を形成した後に、低加速電圧である第2加速電圧のイオン注入（第2イオン注入工程）によってトレンチ部の底部から深さの浅い位置に不純物が打ち込まれる。すなわち、高加速電圧のイオン注入（第1イオン注入工程）によって縦長の拡散領域（フローティング領域）は形成されるが、この拡散領域は上下の端部の濃度にむらがある。一方で、高耐圧化を図るためには、ドリフト領域とボディ領域との界面から伸びる空乏層が確実にフローティング領域に達する必要がある。そのため、フローティング領域の上端の位置が重要になる。そこで、低加速電圧条件のイオン注入を行うことにより、拡散領域（フローティング領域）の上端部分の濃度を補強し、拡散領域の上端を明確にする。これにより、確実に高耐圧化を図ることができる。

10

【 0 0 1 7 】

この製造方法では、複数回のエピタキシャル成長工程や複数回のトレンチ部のエッチング工程は必要としない。そのため、製造工程がシンプルである。また、1回の熱拡散処理によってフローティング領域を形成することから熱履歴も小さい。

【 0 0 1 8 】

また、この製造方法では、トレンチ部の底部からイオン注入を行うため、半導体基板の表面から直接深い位置に打ち込む場合と比較して、所望の場所に正確に不純物を打ち込むことができる。なお、半導体基板の表面から打ち込むことでフローティング領域を形成しようとする、深さ方向の位置に正確に打ち込めないため、ボディ領域とフローティング領域とが繋がってしまうおそれがある。一方、トレンチ部の底部からイオン注入を行うことでそのような問題を回避することができる。

20

【 0 0 1 9 】

また、フローティング領域の横幅は、トレンチ部の溝幅によって決まることから、従来の形態（図10参照）と変わらない。すなわち、本発明では、フローティング領域の横幅を変えずに縦幅を大きくしている。そのため、隣り合うフローティング領域間の間隔は従来と同等である。よって、オン抵抗特性は変わらない。

【 0 0 2 0 】

また、この製造方法の第1イオン注入工程では、不純物がマスクパターンを通過可能な加速電圧とするとよりよい。すなわち、マスクパターンを通過する加速電圧とすることで、トレンチ部の底部からに加え、半導体基板の表面からも深さが深い位置に不純物を打ち込むことができる。これにより、後の熱拡散処理によってフローティング領域とともにボディ領域も形成することができる。よって、工程数を削減することができる。

30

【 0 0 2 1 】

また、上記のように高加速電圧で半導体基板の表面から深さの深い位置に不純物を打ち込むことにより、深さの深い位置にボディ領域の濃度ピークを配置することができる。これにより、閾値電圧 V_{th} が安定する。すなわち、半導体基板の表面からの深さが深い方がゲート絶縁膜の厚さが安定している。そのため、結果として閾値電圧 V_{th} が安定する。なお、不純物の厚さ方向の位置は、レジストパターンの膜厚によって調節することができる。

【 0 0 2 2 】

40

また、本発明の別の製造方法は、半導体基板の主表面側に位置し第1導電型半導体であるドリフト領域と、ドリフト領域の上面側に位置し第2導電型半導体であるボディ領域と、半導体基板の上面からボディ領域を貫通するトレンチ部と、トレンチ部の側壁に位置するゲート絶縁膜と、トレンチ部内に位置し、トレンチ部の底部に絶縁物を堆積してなる堆積絶縁層と、トレンチ部内であって堆積絶縁層上に位置し、ボディ領域とゲート絶縁膜を挟んで対面するゲート電極と、ドリフト領域に囲まれるとともにボディ領域から隔離され、第1導電型半導体であるフローティング領域とを有し、フローティング領域は、ボディ領域から伸びる空乏層が当該フローティング領域と繋がることにより半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能な深さに位置する絶縁ゲート型半導体装置の製造方法であって、半導体基板の上面にマスクパターンを形成するマスク形成工程

50

と、マスクパターンを形成した後に、半導体基板の上面からトレンチ部を形成する第1トレンチ部形成工程と、トレンチ部を形成した後に、そのトレンチ部の壁面上にマスク層を形成する側壁マスク層形成工程と、マスク層を形成した後に、トレンチ部を掘り下げて第2トレンチ部を形成する第2トレンチ部形成工程と、第2トレンチ部を形成した後に、その第2トレンチ部の側壁に斜めイオン注入により不純物を打ち込むイオン注入工程と、イオン注入工程にてイオン注入を行った後に、熱拡散処理を行って、縦方向の幅が横方向の幅の1.5倍以上となるフローティング領域を形成する熱拡散工程とを含むことを特徴としている。

【0023】

すなわち、この製造方法では、上面側に位置するトレンチ部の側壁をマスク層によって被覆し、そのトレンチ部を掘り下げてシリコンが露出する第2トレンチ部を形成する。そして、それらのトレンチ部に対して斜めの方向からイオン注入（斜めイオン注入）を行う。これにより、上面側のトレンチ部には不純物が打ち込まれず、内部側の第2トレンチ部にのみ不純物が打ち込まれる。そして、後の熱拡散処理によって不純物を拡散させることで、拡散領域が第2トレンチ部を取り囲むように広がる。この拡散領域はトレンチ部の底部から打ち込まれた不純物によってなる領域であることから、トレンチ部の下方に位置しボディ領域と接しない。これにより、縦長のフローティング領域が形成される。

【0024】

この製造方法では、1回のイオン注入によって縦長のフローティング領域を形成することができる。また、上面側に位置するトレンチ部は、マスク層によって保護されているため、その側壁に不純物が打ち込まれることはない。よって、素子特性（特にオン抵抗）は劣化しない。

【0025】

なお、本発明は、斜め方向からイオン注入することで縦長の不純物領域を形成する技術（例えば、特開2005-197287号公報）や、異なる加速電圧で縦長の不純物領域を形成する技術（例えば、特開2003-69040号公報）をそのまま転用したものではない。すなわち、これらの技術はスーパージャンクション構造を設けるためのものであり、縦長の拡散領域をボディ領域に繋げる必要がある。そのため、拡散領域をボディ領域から隔離することは考慮されていない。本発明は、トレンチ部の側壁にマスク層を形成したり、トレンチ部の底部からイオン注入を行う等、拡散領域をボディ領域から隔離する工夫がなされており、スーパージャンクション構造を対象とする従来の技術とは異なる。また、スーパージャンクション構造によっても高耐圧化を図ることができるが、スーパージャンクション構造ではホールの流出量が多いため、リカバリ特性が悪い。一方、本発明のフローティング構造は、リカバリ波形が緩やかであり、リカバリ特性に優れている。

【発明の効果】

【0026】

本発明によれば、縦長のフローティング領域を形成することで電界を保持する領域を拡張している。よって、フローティング構造を有する半導体装置であって、オン抵抗特性を維持しつつさらなる高耐圧化が図られた絶縁ゲート型半導体装置およびその製造方法が実現されている。

【発明を実施するための最良の形態】

【0027】

以下、本発明を具体化した実施の形態について、添付図面を参照しつつ詳細に説明する。なお、本実施の形態は、絶縁ゲートへの電圧印加により、ドレイン-ソース間（DS間）の導通をコントロールするパワーMOSに本発明を適用したものである。

【0028】

[第1の形態]

第1の形態に係る絶縁ゲート型半導体装置100（以下、「半導体装置100」とする）は、図1の断面図に示す構造を有している。なお、本明細書においては、出発基板と、出発基板上にエピタキシャル成長により形成した単結晶シリコンの部分とを合わせた全体

10

20

30

40

50

を半導体基板と呼ぶこととする。

【0029】

半導体装置100では、半導体基板内における図1中の上面側に、N⁺ソース領域31が設けられている。一方、下面側にはN⁺ドレイン領域11が設けられている。それらの間には上面側から順に、P⁻ボディ領域41およびN⁻ドリフト領域12が設けられている。なお、P⁻ボディ領域41およびN⁻ドリフト領域12を合わせた領域（以下、「エピタキシャル層」とする）の厚さは、80V耐圧でおよそ7.0μm（そのうち、P⁻ボディ領域41の厚さは、およそ1.0μm）である。なお、耐圧に応じて寸法が異なるのは言うまでもない。

【0030】

また、半導体基板の上面側の一部を掘り込むことによりゲートトレンチ21が形成されている。ゲートトレンチ21の深さはおよそ2.5μmであり、N⁺ソース領域31およびP⁻ボディ領域41を貫通している。また、ゲートトレンチ21の開口部の溝幅は、0.7μmである。

【0031】

また、ゲートトレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。具体的に本形態の堆積絶縁層23は、酸化シリコンの堆積によってなり、その膜厚はおよそ1.4μmである。さらに、堆積絶縁層23の上方には、ポリシリコンの堆積によるゲート電極22が形成されている。ゲート電極22の下端は、P⁻ボディ領域41の下面よりも僅かに下方（0~0.2μm）に位置している。そして、ゲート電極22は、ゲートトレンチ21の壁面に形成されているゲート絶縁膜24を介して、半導体基板のN⁺ソース領域31およびP⁻ボディ領域41と対面している。すなわち、ゲート電極22は、ゲート絶縁膜24によりN⁺ソース領域31およびP⁻ボディ領域41から絶縁されている。

【0032】

このような構造を持つ半導体装置100では、ゲート電極22への電圧印加によりP⁻ボディ領域41にチャネル効果を生じさせ、もってN⁺ソース領域31とN⁺ドレイン領域11との間の導通をコントロールしている。

【0033】

さらに、半導体装置100には、N⁻ドリフト領域12に囲まれ、P⁻ボディ領域41から隔離されたPフローティング領域51が形成されている。Pフローティング領域51はゲートトレンチ21の底面から不純物を注入することにより形成された領域であり、P⁻ボディ領域41とは分離されている。Pフローティング領域51の作製手順については後述する。

【0034】

このPフローティング領域51により、P⁻ボディ領域41から伸びる空乏層と繋がったときに、パンチスルー状態となって電位を固定することができる。これにより、P⁻ボディ領域41とN⁻ドリフト領域12との界面付近の電界強度の上昇が抑えられる。そして、Pフローティング領域51からも空乏層が伸び、電界強度のピークが形成される。

【0035】

つまり、Pフローティング領域51により、半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能である。なお、電界強度のピークを確実に形成するためには、P⁻ボディ領域41とPフローティング領域51との間に、P⁻ボディ領域41から伸びる空乏層が十分に伸びきれるスペースを確保する必要がある。換言すると、このスペースが十分でなければ電界強度のピークが形成されない。具体的に本形態では、P⁻ボディ領域41とPフローティング領域51との間隔が1.5μmになっている。

【0036】

また、Pフローティング領域51の断面は、縦横比が1:1.5となる略楕円形状となっている。具体的に本形態では、横幅が1.2μmであり、縦幅が1.8μmである。Pフローティング領域51の断面形状を縦長の形状とすることで、図2に示すようにN⁻ド

10

20

30

40

50

リフト領域 1 2 内に広がる空乏層の層厚を従来の形態（図 1 0 参照）と比較して厚くすることができる。詳細には、電界強度の上昇を抑制しつつ電界の保持量（図 2 のグラフ中の網掛け領域に相当）を従来の形態（図 1 1 のグラフ中の網掛け領域）と比較して大きくすることができる。よって、本形態の半導体装置 1 0 0 は、従来の形態と比較して、高耐圧化である。

【 0 0 3 7 】

なお、隣り合う P フローティング領域 5 1 , 5 1 間の間隔、およびゲートトレンチ 2 1 の溝幅は従来の形態の半導体装置と同等であり、キャリアが移動できるスペースが十分にある。よって、ゲート電圧のスイッチオン状態において、P フローティング領域 5 1 の存在がドレイン電流に対する妨げとなることはない。また、N⁻ ドリフト領域 1 2 の濃度も従来の形態の半導体装置と同等である。よって、オン抵抗特性は劣化しない。また、ゲート電極 2 2 と P フローティング領域 5 1 とが対面しない。そのため、素子特性には影響がない。

10

【 0 0 3 8 】

本形態の半導体デバイス 1 0 0 は、シミュレーションを行ったところ、耐圧が 8 5 V でオン抵抗が 4 3 m² ・ mm² であった。一方、従来の形態の半導体デバイス（図 1 0 参照。P フローティング領域 5 1 の横幅が同一で断面が略円形のもの）では、耐圧が 7 0 V でオン抵抗が 4 0 m² ・ mm² であった。この結果から、オン抵抗特性を維持しつつ高耐圧化が図られていることがわかる。

【 0 0 3 9 】

なお、P フローティング領域 5 1 のアスペクト比を高くし、それに伴って N⁻ ドリフト領域 1 2 の厚さを厚くすることにより、一層の高耐圧化を図ることができる。例えば、耐圧を 1 0 0 V とするには、シミュレーションの結果から横縦のアスペクト比を 1 : 2 とすればよい。

20

【 0 0 4 0 】

続いて、図 1 に示した半導体装置 1 0 0 の製造プロセスについて、図 3 ないし図 5 を基に説明する。

【 0 0 4 1 】

まず、図 3 (A) に示すように、N⁺ ドレイン領域 1 1 となる N⁺ 基板上に、N⁻ 型シリコン層 1 2 をエピタキシャル成長により形成する。この N⁻ 型シリコン層（エピタキシャル層）は、後述する工程によって N⁻ ドリフト領域 1 2 , P⁻ ボディ領域 4 1 , N⁺ ソース領域 3 1 の各領域となる部分である。

30

【 0 0 4 2 】

次に、図 3 (B) に示すように、半導体基板上に酸化膜マスク 9 1 を形成し、その酸化膜マスク 9 1 上にレジスト 9 2 を形成する。そして、ゲートトレンチ 2 1 用のパターンニングを行う。パターンニング後はレジスト 9 2 を除去する。酸化膜マスク 9 1 の膜厚は、後述するイオン注入工程において高加速電圧条件でのイオン注入時にはボロンイオンを通過させ、低加速電圧条件でのイオン注入時にはボロンイオンをブロックすることができる厚さとする。

【 0 0 4 3 】

次に、図 3 (C) に示すように、ドライエッチングにより P⁻ ボディ領域 4 1 を貫通してその底部が N⁻ ドリフト領域 1 2 にまで到達するゲートトレンチ 2 1 を形成する。ゲートトレンチ 2 1 は、後述するイオン注入工程によって半導体基板内に打ち込まれる P フローティング領域 5 1 用のボロンを適切な位置に打ち込むことが可能な深さまで掘り下げられる。なお、ゲートトレンチ 2 1 を形成した後、ドライエッチングによるダメージを除去することを目的として、ゲートトレンチ 2 1 の側壁に対して犠牲酸化処理および C D E (ケミカルドライエッチング)を行う。

40

【 0 0 4 4 】

次に、図 3 (D) に示すように、ゲートトレンチ 2 1 の底面および酸化膜マスク 9 1 上からイオン注入によってボロンを打ち込む。本イオン注入工程（1回目）では、ボロンが

50

ゲートトレンチ 2 1 の底部から深い位置に打ち込まれるように加速電圧を設定する。具体的に本形態では、イオン加速電圧を 3 0 0 k e V とし、ボロンのドーズ量を $2.5 \times 10^{13} / \text{cm}^2$ とする。本イオン注入工程により、ゲートトレンチ 2 1 の底部から深さがおよそ $0.7 \mu\text{m} \sim 0.8 \mu\text{m}$ の位置にボロンが打ち込まれる。なお、ゲートトレンチ 2 1 の側壁にイオン注入されないように、イオン注入を行う前にあらかじめ 30nm 程度の膜厚の熱酸化膜 9 3 を設けておく。

【 0 0 4 5 】

本工程でのイオン注入は、前述したように高加速電圧で行われることから、ボロンが酸化膜マスク 9 1 を通過する。そのため、半導体基板の表面からもボロンが導入される。そして、酸化膜マスク 9 1 の膜厚を調節することで、ボロンの打ち込まれる深さを調節することができる。なお、本形態の酸化膜マスク 9 1 は、本イオン注入工程によってシリコン表面から深さが約 $0.4 \mu\text{m}$ の位置までボロンが打ち込まれる厚さ（本形態では $0.4 \mu\text{m}$ ）に設定される。

10

【 0 0 4 6 】

次に、図 4 (E) に示すように、ゲートトレンチ 2 1 の底面および酸化膜マスク 9 1 上から再度イオン注入によってボロンを打ち込む。本イオン注入工程（ 2 回目）では、ボロンがゲートトレンチ 2 1 の底部から浅い位置に打ち込まれるように加速電圧を設定する。具体的に本形態では、イオン加速電圧を 60keV とし、ボロンのドーズ量を $2.0 \times 10^{13} / \text{cm}^2$ とする。本イオン注入工程により、ゲートトレンチ 2 1 の底部から深さがおよそ $0.1 \mu\text{m} \sim 0.2 \mu\text{m}$ の位置にボロンが打ち込まれる。

20

【 0 0 4 7 】

本工程により、ゲートトレンチ 2 1 の底部の下方に、深さ方向の位置が異なる場所にボロンが打ち込まれる。一方、今回のイオン注入工程では、低加速電圧であるため、ボロンが酸化マスク 9 1 を通過しない。

【 0 0 4 8 】

次に、図 4 (F) に示すように、ゲートトレンチ 2 1 内に C V D 法にて絶縁膜 2 3 の埋め込みを行う。具体的に絶縁膜 2 3 としては、例えば T E O S（テトラエチルオルソシリケート）を原料として減圧 C V D 法あるいはオゾンと T E O S とを原料として C V D 法によって形成されるシリコン酸化膜が該当する。これが堆積絶縁層 2 3 となる。

【 0 0 4 9 】

次に、図 4 (G 1 , G 2) に示すように、絶縁膜 2 3 の焼きしめと、P フローティング領域 5 1 および P⁻ ボディ領域 4 1 の形成とを兼ねて熱拡散処理を行う。この熱拡散処理によってゲートトレンチ 2 1 の底部から打ち込まれたボロンが拡散し、拡散領域 5 1 1 と拡散領域 5 1 2 とが形成される（ G 1 ）。具体的には、高加速電圧で打ち込まれたボロンによって不純物プロファイルの分布が縦方向に広い拡散領域 5 1 1 が形成される。また、低加速電圧で打ち込まれたボロンによってゲートトレンチ 2 1 の底部を囲む拡散領域 5 1 2 が形成される。さらに、両拡散領域が一体となって縦長の楕円形の P フローティング領域 5 1 が形成される（ G 2 ）。さらに、P フローティング領域 5 1 の形成と同時に、1 回目のイオン注入工程によって半導体基板の表面付近に打ち込まれたボロンも拡散し、P⁻ ボディ領域 4 1 が形成される。

30

40

【 0 0 5 0 】

次に、図 5 (H) に示すように、ゲートトレンチ 2 1 内が絶縁物で充填された半導体基板に対してドライエッチングを行う。これにより、堆積絶縁層 2 3 の一部が除去（エッチバック）され、ゲート電極 2 2 を形成するためのスペースが確保される。エッチバック後は、ウェットエッチングを行いドライエッチングの際に生じたダメージ層を除去する。なお、エッチバックはウェットエッチングで行ってもよい。

【 0 0 5 1 】

次に、図 5 (I) に示すように、半導体基板の上面およびゲートトレンチ 2 1 の壁面に熱酸化処理により酸化膜 2 4 を形成する。これがゲート酸化膜 2 4 となる。本形態では、酸化膜 2 4 の膜厚を $50 \text{nm} \sim 100 \text{nm}$ とする。

50

【 0 0 5 2 】

次に、図 5 (J) に示すように、エッチバックにて確保したスペースにゲート材 2 2 を堆積させる。具体的に本形態ではポリシリコンを堆積させ、これがゲート電極 2 2 となる。なお、ゲート電極 2 2 を形成する方法としては、導体を直接ゲートトレンチ 2 1 内に堆積する方法の他、一旦高抵抗の半導体を堆積させた後にその絶縁層に対して不純物を拡散させる方法がある。最後に、ゲート材 2 2 等に対してエッチングを行い、その後、 N^+ ソース領域 3 1、ソース電極、ドレイン電極等を形成することにより、絶縁ゲート型半導体装置 1 0 0 が作製される。

【 0 0 5 3 】

なお、イオン注入は 3 回以上に分けて行ってもよい。すなわち、加速電圧条件を 3 段階に分けて行うことで、横縦のアスペクト比が大きい P フローティング領域 5 1 を容易に形成することができる。

10

【 0 0 5 4 】

以上詳細に説明したように第 1 の形態の半導体装置 1 0 0 では、高加速電圧 (第 1 加速電圧) のイオン注入によってゲートトレンチ 2 1 の底部から深さの深い位置にボロンを打ち込むこととしている。これにより、後の熱拡散処理によって縦長の拡散領域 5 1 1 を形成することができる。すなわち、横縦のアスペクト比が高い (少なくとも 1 . 5 以上) 拡散領域 5 1 1 が形成される。この拡散領域 5 1 1 が低加速電圧 (第 2 加速電圧) のイオン注入によって形成される拡散領域 5 1 2 と一体となって縦長の P フローティング領域 5 1 をなしている。そのため、本形態の半導体装置 1 0 0 は、 N^- ドリフト領域 1 2 内に広がる空乏層の層厚が従来の半導体装置 (略円形の P フローティング領域を有するもの) と比較して厚い。つまり、従来の半導体装置よりも電界の保持量が大きい (図 2 参照) 。よって、従来の半導体装置と比較して一層の高耐圧化が図られている。

20

【 0 0 5 5 】

本形態の半導体装置 1 0 0 の製造プロセスでは、複数回のエピタキシャル成長工程や複数回のトレンチ部のエッチング工程は必要としない。そのため、製造工程がシンプルである。また、加速電圧条件およびイオン注入工程の回数を調節することにより、P フローティング領域 5 1 の縦幅を容易に調節することができる。従って、フローティング構造を有する半導体装置であって、オン抵抗特性を維持しつつさらなる高耐圧化が図られた絶縁ゲート型半導体装置およびその製造方法が実現している。

30

【 0 0 5 6 】

また、本形態の製造方法では、ゲートトレンチ 2 1 の底部からボロンを打ち込むため、半導体基板の内部の深い位置まで不純物を正確に打ち込むことができる。また、ボロンを正確に打ち込むことができることから、 P^- ボディ領域 4 1 と P フローティング領域 4 1 とを明確に分離することができる。

【 0 0 5 7 】

また、2 回目の低加速電圧でボロンを打ち込むことで、P フローティング領域 5 1 の上端の位置を明確にすることができる。すなわち、高耐圧とするためには、 P^- ボディ領域 4 1 との界面から伸びる空乏層が確実に P フローティング領域 5 1 に達する必要がある。しかし、高加速電圧のイオン注入によってなる拡散領域 5 1 1 だけでは、上端部の濃度にむらがあり、上端の位置が明確にならない。そのため、 P^- ボディ領域 4 1 と P フローティング領域 5 1 との間隔が不明確になり、逆バイアスが加わったときに P^- ボディ領域 4 1 と N^- ドリフト領域 1 2 との界面から生じる空乏層が P フローティング領域 5 1 に繋がらないおそれがある。そこで、低加速電圧のイオン注入を行うことにより、P フローティング領域 5 1 の上端部分の濃度を補強し、上端の位置を明確にする。これにより、確実に高耐圧化を図ることができる。

40

【 0 0 5 8 】

また、本形態の製造方法では、1 回目のイオン注入工程で酸化膜マスク 9 1 を通過する加速電圧とすることで、ゲートトレンチ 2 1 の底部からに加え、半導体基板の表面からも深さが深い位置にボロンを打ち込むことができる。これにより、P フローティング領域 5

50

1とともにP⁻ボディ領域41も同時に形成することができる。よって、工程数を削減することができる。

【0059】

また、高加速電圧で半導体基板の表面から深さの深い位置にボロンを打ち込むことにより、深さの深い位置にP⁻ボディ領域41の濃度ピークを配置することができる。これにより、閾値電圧V_{th}が安定する。

【0060】

[第2の形態]

第2の形態に係る絶縁ゲート型半導体装置200(以下、「半導体装置200」とする)は、図6の断面図に示す構造を有している。本形態の半導体装置200は、第1の形態の半導体装置100と同様に、縦長の形状のPフローティング領域によって高耐圧化を図るものであるが、その構造および製造方法がことなる。

10

【0061】

半導体装置200では、第1の半導体装置100と同様に、上面側から順に、N⁺ソース領域31、P⁻ボディ領域41、N⁻ドリフト領域12、N⁺ドレイン領域11が設けられている。

【0062】

また、半導体基板の上面側の一部を掘り込むことによりゲートトレンチ26が形成されている。ゲートトレンチ26は、半導体基板の表面側に位置し、溝幅が広い上段トレンチ261と、上段トレンチ261よりも僅かに溝幅が狭く、上段トレンチ261の底部に開口部を有する下段トレンチ262とによって構成され、全体として段状のトレンチをなしている。ゲートトレンチ26の深さは全体でおよそ3μmであり、そのうち上段トレンチ261の深さは2.3μmである。つまり、上段トレンチ261は、P⁻ボディ領域41を貫通している。また、上段トレンチ261の溝幅はおよそ0.8μmであり、下段トレンチ262の溝幅は上段トレンチ261の溝幅よりも0.2μmほど狭い。

20

【0063】

また、ゲートトレンチ21の底部には、絶縁物の堆積による堆積絶縁層23が形成されている。具体的に本形態の堆積絶縁層23では、ゲートトレンチ21の上部からおよそ1.1μmの高さの位置まで酸化シリコンを堆積させている。すなわち、下段トレンチ262は、酸化シリコンによって充填されている。

30

【0064】

さらに、上段トレンチ261内であって堆積絶縁層23の上方には、ポリシリコンの堆積によるゲート電極22が形成されている。ゲート電極22の下端は、P⁻ボディ領域41の下面よりも僅かに下方(0~0.2μm)に位置している。そして、ゲート電極22は、ゲートトレンチ21の壁面に形成されているゲート絶縁膜24を介して、半導体基板のN⁺ソース領域31およびP⁻ボディ領域41と対面している。

【0065】

さらに、半導体装置200には、N⁻ドリフト領域12に囲まれたPフローティング領域52が形成されている。Pフローティング領域52は下段トレンチ262の側面および底面から不純物を注入することにより形成された領域であり、P⁻ボディ領域41とは分離されている。Pフローティング領域52の作製手順については後述する。

40

【0066】

このPフローティング領域52により、P⁻ボディ領域41から伸びる空乏層と繋がったときに、パンチスルー状態となって電位を固定することができる。これにより、P⁻ボディ領域41とN⁻ドリフト領域12との界面付近の電界強度の上昇が抑えられる。そして、Pフローティング領域52からも空乏層が伸び、電界強度のピークが形成される。

【0067】

つまり、Pフローティング領域52は、半導体基板の厚さ方向に電界強度のピークを2箇所形成することが可能である。なお、電界強度のピークを確実に形成するためには、P⁻ボディ領域41とPフローティング領域52との間に、P⁻ボディ領域41から伸びる

50

空乏層が十分に伸びきれるスペースを確保する必要がある。換言すると、このスペースが十分でなければ電界強度のピークが形成されない。具体的に本形態では、P⁻ボディ領域41とPフローティング領域52との間隔が1.5 μmになっている。

【0068】

また、Pフローティング領域52の断面は、第1の形態のPフローティング領域51と同様に、縦横比が1:1.5となる形状となっている。Pフローティング領域52の断面形状を縦長の形状とすることで、図2に示したように、電界強度の高騰を抑制しつつ電界の保持領域を大きくすることができる。よって、本形態の半導体装置200は、従来の形態の半導体装置と比較して、高耐圧化である。

【0069】

続いて、図6に示した半導体装置200の製造プロセスについて、図7ないし図9を基に説明する。

【0070】

まず、図7(A)に示すように、N⁺ドレイン領域11となるN⁺基板上に、N⁻型シリコン層をエピタキシャル成長により形成する。このN⁻型シリコン層(エピタキシャル層)は、後述する工程によってN⁻ドリフト領域12、P⁻ボディ領域41、N⁺ソース領域31の各領域となる部分である。本形態では、あらかじめイオン注入や熱拡散処理等によりP⁻ボディ領域41およびN⁺ソース領域31を形成しておく。なお、N⁺ソース領域31は、トレンチを形成した後に形成してもよい。

【0071】

次に、図7(B)に示すように、半導体基板上に酸化膜マスク91を形成し、その酸化膜マスク91上にレジスト92を形成する。そして、ゲートトレンチ26のうちの上段トレンチ261用のパターンニングを行う。パターンニング後はレジスト92を除去する。

【0072】

次に、図7(C)に示すように、ドライエッチング(1回目)によりP⁻ボディ領域41を貫通してその底部がN⁻ドリフト領域12にまで到達する上段トレンチ261を形成する。

【0073】

次に、図8(D)に示すように、CVD法等によって上段トレンチ261の側壁に酸化膜によるサイドウォール263を形成する。すなわち、上段トレンチ261上に所定の膜厚の酸化膜を形成した後、ドライエッチングによって底部に位置する酸化膜を除去する。サイドウォール263の膜厚は、後述するイオン注入工程においてボロンをブロックすることができる厚さとする。具体的に本形態では、サイドウォール263の膜厚を0.1~0.3 μm程度とする。

【0074】

次に、図8(E)に示すように、サイドウォール263をマスク材として、ドライエッチング(2回目)により上段トレンチ261を掘り下げる。これにより、溝幅が上段トレンチ262よりも僅かに狭い下段トレンチ262が形成される。すなわち、ゲートトレンチ26が形成される。

【0075】

次に、図8(F)に示すように、サイドウォール263をマスク材としてイオン注入によってボロンを打ち込む。本イオン注入工程では、ボロンをゲートトレンチ26に対して斜めに注入する。すなわち、本イオン注入工程によって下段トレンチ262の側壁にボロンが打ち込まれるように設定する。このとき、上段トレンチ261の側壁には、サイドウォール263によってマスクされているため、ボロンは打ち込まれない。イオン注入後は表面の酸化マスク91およびサイドウォール263を除去する。

【0076】

次に、図8(G)に示すように、ゲートトレンチ26に対してCVD法にて絶縁膜23の埋め込みを行う。具体的に絶縁膜23としては、例えばTEOSを原料として減圧CVD法あるいはオゾンとTEOSとを原料としてCVD法によって形成されるシリコン酸化

10

20

30

40

50

膜が該当する。これが堆積絶縁層 2 3 となる。

【 0 0 7 7 】

次に、図 9 (H) に示すように、絶縁膜 2 3 の焼きしめと P フローティング領域 5 2 の形成とを兼ねて熱拡散処理を行う。この熱拡散処理によって下段トレンチ 2 6 2 の底部および側壁に打ち込まれたボロンが拡散し、下段トレンチ 2 6 2 を囲むように縦長の略楕円形状の P フローティング領域 5 2 が形成される。

【 0 0 7 8 】

次に、図 9 (I) に示すように、ゲートトレンチ 2 6 内が絶縁物で充填された半導体基板に対してドライエッチングを行う。これにより、堆積絶縁層 2 3 の一部が除去 (エッチバック) され、ゲート電極 2 2 を形成するためのスペースが確保される。エッチバック後は、ウェットエッチングを行いドライエッチングの際に生じたダメージ層を除去する。なお、エッチバックはウェットエッチングで行ってもよい。

【 0 0 7 9 】

次に、図 9 (J) に示すように、半導体基板の上面およびゲートトレンチ 2 6 の壁面に熱酸化処理により酸化膜 2 4 を形成する。これがゲート酸化膜 2 4 となる。本形態では、酸化膜 2 4 の膜厚を 5 0 n m ~ 1 0 0 n m とする。

【 0 0 8 0 】

次に、図 9 (K) に示すように、エッチバックにて確保したスペースにゲート材 2 2 を堆積させる。具体的に本形態ではポリシリコンを堆積させ、これがゲート電極 2 2 となる。なお、ゲート電極 2 2 を形成する方法としては、導体を直接ゲートトレンチ 2 6 内に堆積する方法の他、一旦高抵抗の半導体を堆積させた後にその絶縁層に対して不純物を拡散させる方法がある。最後に、ゲート材 2 2 等に対してエッチングを行い、その後に N⁺ ソース領域 3 1、ソース電極、ドレイン電極等を形成することにより、絶縁ゲート型半導体装置 2 0 0 が作製される。

【 0 0 8 1 】

なお、サイドウォール 2 6 3 は、イオン注入工程後に除去せず、そのままサイドウォール上に堆積絶縁層 2 3 を形成してもよい。この場合、サイドウォール 2 6 3 の一部は、エッチバック工程によって堆積絶縁層 2 3 とともに除去される。これにより、サイドウォール 2 6 3 の除去工程を省くことができる。よって、より工程が簡素化される。

【 0 0 8 2 】

また、サイドウォール 2 6 3 を熱酸化処理によって形成してもよい。これにより、イオン注入後にサイドウォール 2 6 3 を除去することで、1 回目のドライエッチングによって生じた上段トレンチ 2 6 1 のダメージ層を確実に除去することができる。

【 0 0 8 3 】

以上詳細に説明したように第 2 の形態の半導体装置 2 0 0 では、サイドウォール 2 6 3 を設け、さらにゲートトレンチ 2 6 に対して斜めの方向からイオン注入を行うこととしている。これにより、下段トレンチ 2 6 2 の周囲にのみ不純物が打ち込まれる。そして、後の熱拡散処理によって P⁻ ボディ領域 4 1 から分離された縦長の P フローティング領域 5 2 を形成することができる。本形態の半導体装置 2 0 0 は、横縦のアスペクト比が高い (少なくとも 1 . 5 以上) の P フローティング領域 5 2 を有することで、従来の半導体装置よりも電界保持領域が大きい (図 2 参照) 。よって、従来の半導体装置と比較して一層の高耐圧化が図られている。

【 0 0 8 4 】

本形態の半導体装置 2 0 0 の製造プロセスでは、複数回のエピタキシャル成長工程や複数回のイオン注入工程は必要としない。そのため、製造工程がシンプルである。また、下段トレンチ 2 6 2 の深さを調節することにより、P フローティング領域 5 2 の縦幅を容易に調節することができる。従って、フローティング構造を有する半導体装置であって、オン抵抗特性を維持しつつさらなる高耐圧化が図られた絶縁ゲート型半導体装置およびその製造方法が実現している。

【 0 0 8 5 】

10

20

30

40

50

本形態の半導体装置 200 の製造プロセスでは、1 回のイオン注入によって縦長の P フローティング領域 52 を形成することができる。また、上面側に位置する上段トレンチ部 261 は、サイドウォール 263 によって保護されているため、その側壁に不純物が打ち込まれることはない。よって、素子特性は劣化しない。

【0086】

なお、本実施の形態は単なる例示にすぎず、本発明を何ら限定するものではない。したがって本発明は当然に、その要旨を逸脱しない範囲内で種々の改良、変形が可能である。例えば、各半導体領域については、P 型と N 型とを入れ替えてもよい。また、ゲート絶縁膜 24 については、酸化膜に限らず、窒化膜等の他の種類の絶縁膜でもよいし、複合膜でもよい。また、半導体についても、シリコンに限らず、他の種類の半導体 (SiC, GaN, GaAs 等) であってもよい。また、実施の形態の絶縁ゲート型半導体装置は、P 型基板を用いた伝導度変調型パワー MOS に対しても適用可能である。

10

【図面の簡単な説明】

【0087】

【図 1】第 1 の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

【図 2】第 1 の形態に係る絶縁ゲート型半導体装置の電界強度を示す図である。

【図 3】図 1 に示した半導体装置の製造工程を示す図 (その 1) である。

【図 4】図 1 に示した半導体装置の製造工程を示す図 (その 2) である。

【図 5】図 1 に示した半導体装置の製造工程を示す図 (その 3) である。

【図 6】第 2 の形態に係る絶縁ゲート型半導体装置の構造を示す断面図である。

20

【図 7】図 6 に示した半導体装置の製造工程を示す図 (その 1) である。

【図 8】図 6 に示した半導体装置の製造工程を示す図 (その 2) である。

【図 9】図 6 に示した半導体装置の製造工程を示す図 (その 3) である。

【図 10】従来の絶縁ゲート型半導体装置の構造を示す断面図である。

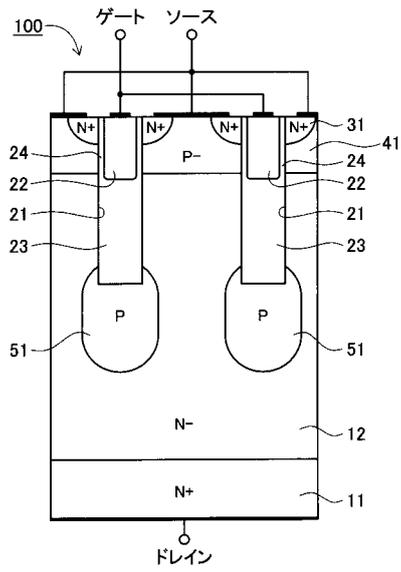
【図 11】従来の絶縁ゲート型半導体装置の電界強度を示す図である。

【符号の説明】

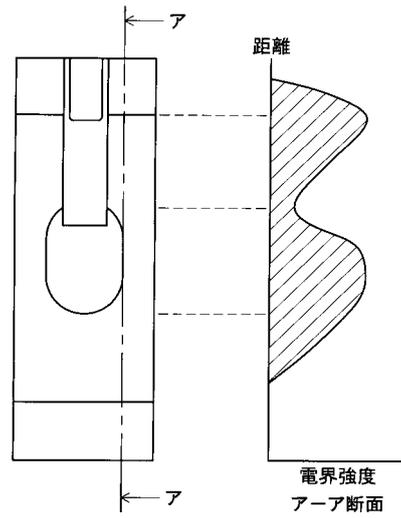
【0088】

- | | | |
|-------|--------------------------------|----|
| 1 1 | N ⁺ ドレイン領域 | |
| 1 2 | N ⁻ ドリフト領域 (ドリフト領域) | |
| 2 1 | ゲートトレンチ (トレンチ部) | 30 |
| 2 2 | ゲート電極 (ゲート電極) | |
| 2 3 | 堆積絶縁層 (絶縁層) | |
| 2 4 | ゲート絶縁膜 (ゲート絶縁膜) | |
| 2 6 | ゲートトレンチ | |
| 2 6 1 | 上段トレンチ (トレンチ部) | |
| 2 6 2 | 下段トレンチ (第 2 トレンチ部) | |
| 2 6 3 | サイドウォール (マスク層) | |
| 3 1 | N ⁺ ソース領域 | |
| 4 1 | P ⁻ ボディ領域 (ボディ領域) | |
| 5 1 | P フローティング領域 (フローティング領域) | 40 |
| 5 2 | P フローティング領域 (フローティング領域) | |
| 9 1 | 酸化膜マスク | |
| 1 0 0 | 絶縁ゲート型半導体装置 | |

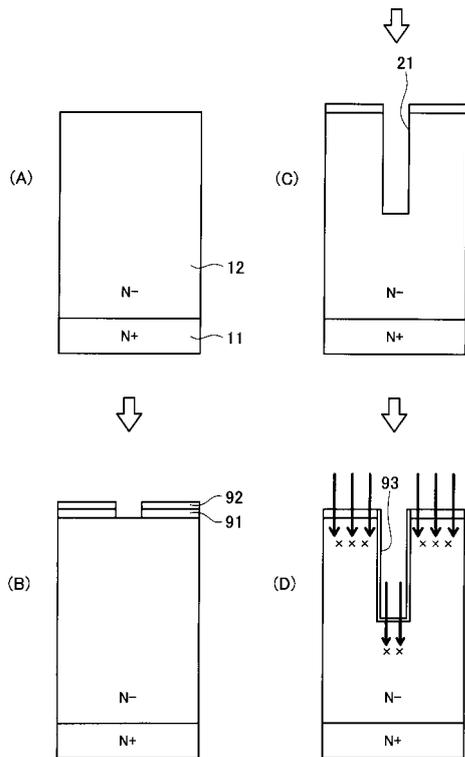
【図1】



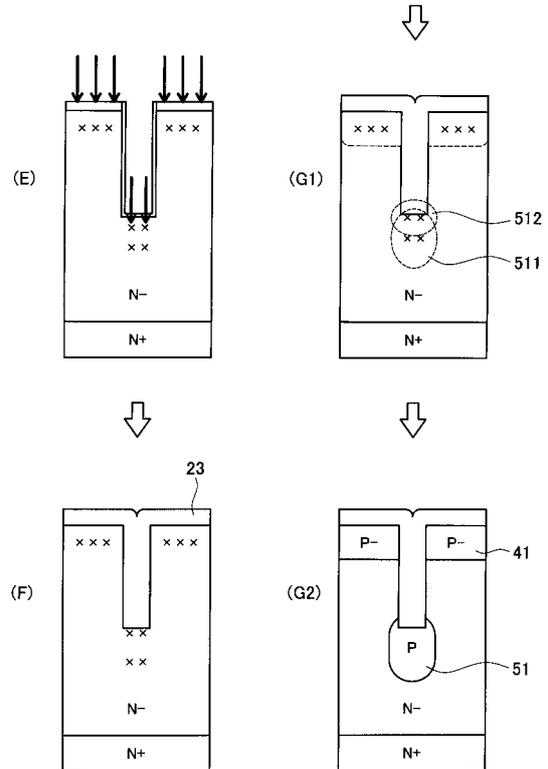
【図2】



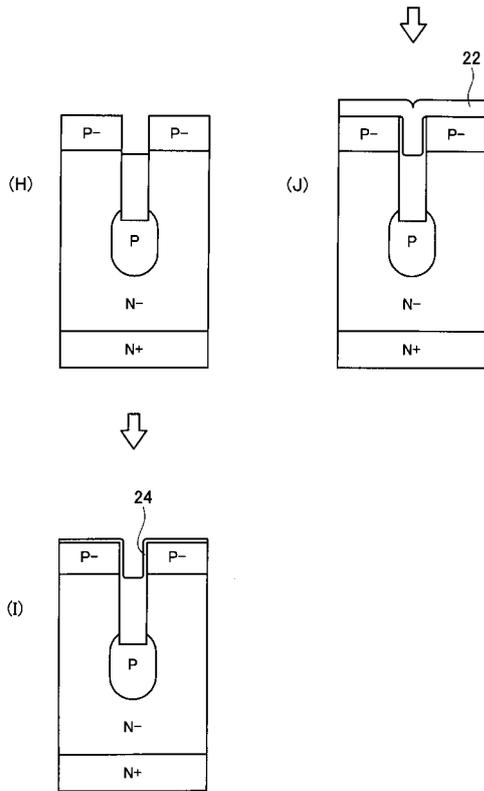
【図3】



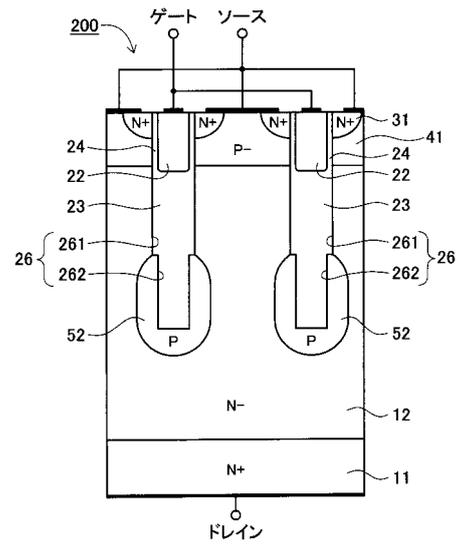
【図4】



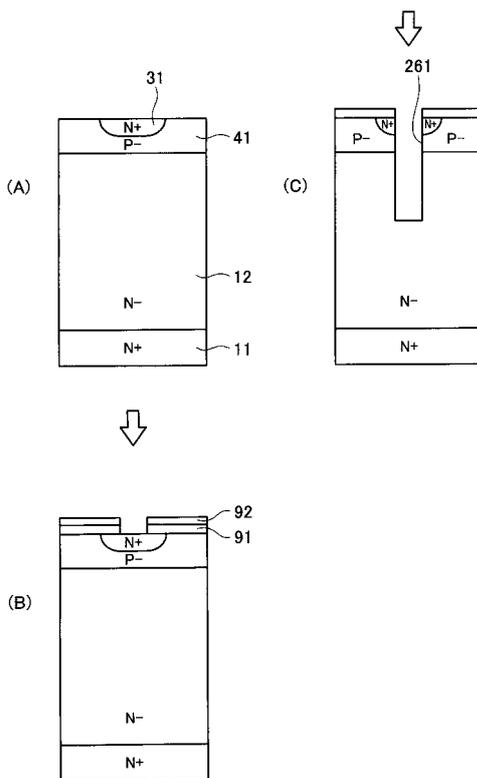
【図5】



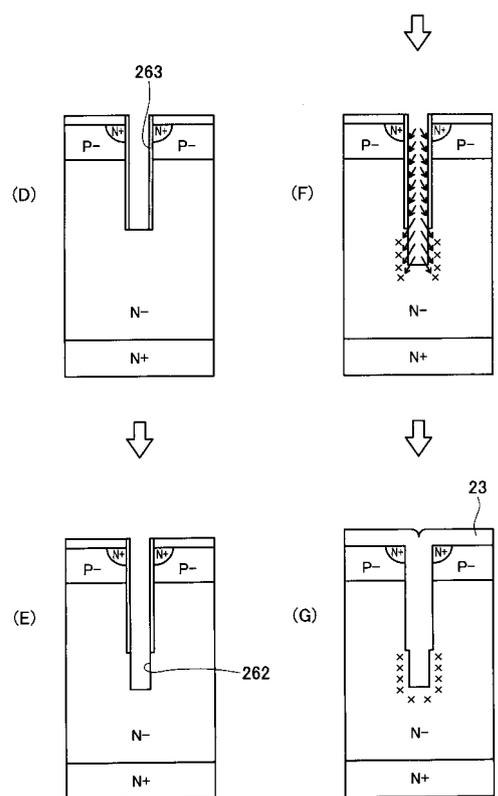
【図6】



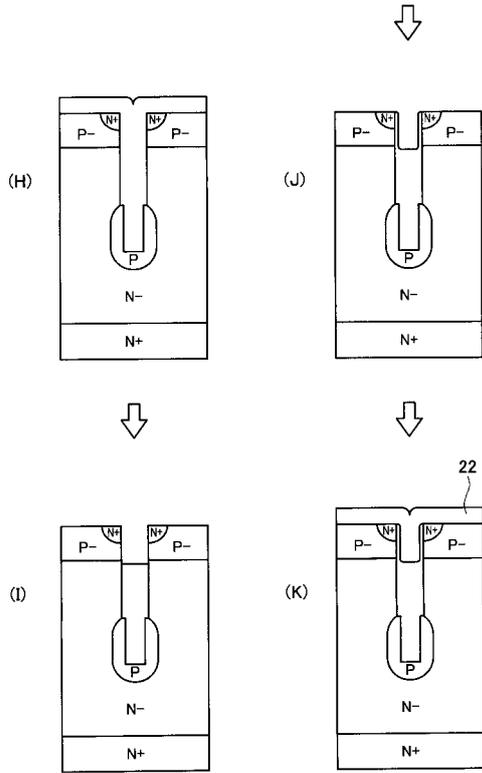
【図7】



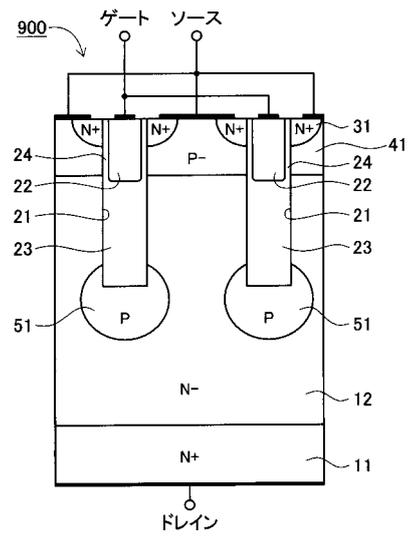
【図8】



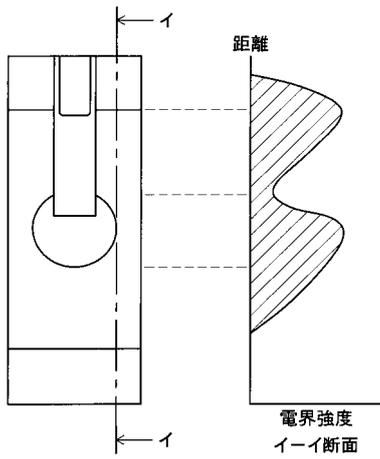
【図9】



【図10】



【図11】



フロントページの続き

審査官 原 和秀

- (56)参考文献 特開平10-098188(JP,A)
特開2001-244462(JP,A)
特開2005-142243(JP,A)
特開2005-197497(JP,A)
特開2005-333068(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/78
H01L 21/336