

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-67554

(P2007-67554A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int. Cl.

H03F 3/217 (2006.01)

F I

H03F 3/217

テーマコード(参考)

5J500

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号

特願2005-248086 (P2005-248086)

(22) 出願日

平成17年8月29日(2005.8.29)

(71) 出願人

000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(74) 代理人

100092808

弁理士 羽鳥 亘

(72) 発明者

渡邊 健司

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

Fターム(参考) 5J500 AA02 AA27 AA41 AA66 AC21

AF17 AH10 AH25 AH29 AH33

AH38 AK17 AK36 AK42 AK53

AK62 AM13 AM23 AS05 AT01

AT06 DP01 WU10

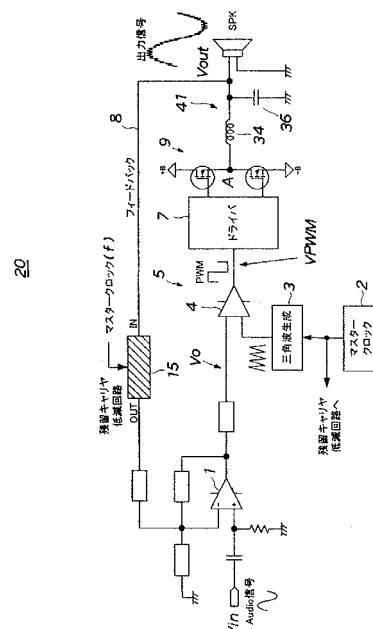
(54) 【発明の名称】 Dクラスアンプ

(57) 【要約】

【目的】 PWM変調信号の残留キャリアの影響を低減して歪率を改善したフィードバック方式のDクラスアンプにおけるDクラスアンプを提供する。

【構成】 Dクラスアンプ20は、オーディオ信号 V_{in} を増幅する演算増幅器1と、パルス幅変調回路5と、出力段スイッチングトランジスタ9と、パルス幅変調出力信号VPWMを入力して出力段スイッチングトランジスタ9をスイッチングするドライバ回路7と、出力ローパスフィルタ41と、出力信号 V_{out} を演算増幅器1の入力側にフィードバックするフィードバックループ8と、を備え、パルス幅変調回路5と同クロック周波数 f で出力信号 V_{out} をサンプリングするサンプリング回路11と、その出力信号 V_s の高域成分を除去するローパスフィルタ14と、からなる残留キャリア低減回路15が、フィードバックループ8に挿入されている構成。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

オーディオ信号を増幅する演算増幅器と、前記演算増幅器の出力信号とマスタークロックから生成された三角波とを比較器に入力してパルス幅変調するパルス幅変調回路と、出力段スイッチングトランジスタと、前記パルス幅変調回路のパルス幅変調出力信号をスイッチング制御信号として入力して前記出力段スイッチングトランジスタをスイッチングするドライバ回路と、前記出力段スイッチングトランジスタの出力端に接続された出力ローパスフィルタと、前記出力ローパスフィルタの出力信号を前記演算増幅器の入力側にフィードバックするフィードバックループと、を備える D クラスアンプにおいて、前記パルス幅変調回路のマスタークロックと同一クロック周波数で前記出力ローパスフィルタの出力信号をサンプリングするサンプリング回路と、前記サンプリング回路の出力信号の高域成分を除去するローパスフィルタと、からなる残留キャリア低減回路が、前記フィードバックループに挿入されていることを特徴とする D クラスアンプ。

10

【請求項 2】

オーディオ信号を増幅する演算増幅器と、前記演算増幅器の出力信号とマスタークロックから生成された三角波とを比較器に入力してパルス幅変調するパルス幅変調回路と、出力段スイッチングトランジスタと、前記パルス幅変調回路のパルス幅変調出力信号をスイッチング制御信号として入力して前記出力段スイッチングトランジスタをスイッチングするドライバ回路と、前記出力段スイッチングトランジスタの出力端に接続された出力ローパスフィルタと、前記出力ローパスフィルタの出力信号を前記演算増幅器の入力側にフィードバックするフィードバックループと、を備える D クラスアンプにおいて、前記パルス幅変調回路のマスタークロックと同一クロック周波数で前記演算増幅器の出力信号をサンプリングするサンプリング回路と、前記サンプリング回路の出力信号の高域成分を除去するローパスフィルタと、からなる残留キャリア低減回路が、前記演算増幅器の出力側と前記パルス幅変調回路の入力側との間に挿入されていることを特徴とする D クラスアンプ。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、オーディオ・ビジュアル機器で用いられている D クラスアンプ (D 級増幅器) の技術分野に属する。

30

【背景技術】

【0002】

デジタルオーディオ機器のオーディオアンプやモータードライバなどに用いられているパルス幅変調 (P W M) の D クラスアンプとして、図 7 の回路図に示されるような歪率の向上を図った所謂フィードバック方式の D クラスアンプ 5 0 がある。

【0003】

上記 D クラスアンプ 5 0 は、 + 入力端子に入力されたオーディオ信号 V_{in} を増幅する演算増幅器 1 と、前記演算増幅器 1 の出力信号 V_o とマスタークロック (P W M 生成クロック) 2 から三角波生成回路 3 で生成された三角波とを比較器 4 に入力してパルス幅変調するパルス幅変調回路 5 と、プッシュプル型の一対の M O S F E T を要素とする出力段スイッチングトランジスタ (電力増幅器) 9 と、前記パルス幅変調回路 5 のパルス幅変調出力信号 $V_{P W M}$ をスイッチング制御信号として入力して前記出力段スイッチングトランジスタ 9 をスイッチングするドライバ回路 7 と、前記出力段スイッチングトランジスタ 9 の出力端 A に接続されたインダクタ 3 4 とコンデンサ 3 6 とからなる出力ローパスフィルタ 4 1 と、前記出力ローパスフィルタ 4 1 の出力信号 V_{out} を前記演算増幅器 1 の - 入力端子にフィードバックするフィードバックループ 8 と、を備える構成になっている。なお、図中の複数の小さな四角枠は適宜設定される受動素子である。

40

【0004】

なお、上記フィードバック方式の D クラスアンプに関する公知文献として、例えば下記

50

[特許文献 1] には、図 8 に示されるような回路構成のフィードバック方式の D クラスアンプ 60 が記載されている。

【 0005 】

この D クラスアンプ 60 は、スイッチング時のショートスルー電流に起因する無線周波干渉 (R F I) の問題を解決すべく創出されたものであり、オーディオ信号 V_{in} が演算増幅器 10 の - 入力端子に入力され、且つ、差動増幅器 44, 46 及び乗算器 48 からなるヒステリシス電圧供給源 42 側にも入力されていて、ヒステリシス電圧は、パルス幅変調器の動作周波数がオーディオ信号 V_{in} の範囲にわたって一定に保持されるように V_{in} に対して補償するように変化するという点に特徴を有する回路である。図 8 において、符号 40 は差動増幅器 16, 18 からなるウィンドウ比較器 22 と、その出力信号 24, 26 を入力する S R フリップフロップ回路 28 と、からなるパルス幅変調器である。符号 32 は一対のプッシュプル型スイッチングトランジスタ (M O S F E T) を有する電力増幅器であり、符号 41 は負荷のスピーカ S P K に対して直列接続されたインダクタ 34 と並列接続されたコンデンサ 36 とからなる出力ローパスフィルタである。

10

【 0006 】

【特許文献 1】特開 2003 - 78363 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0007 】

図 7 の回路図に示されるようなフィードバック方式の D クラスアンプ 50 において、出力ローパスフィルタ 41 の出力信号 V_{out} には、除去しきれなかったマスタークロック (例えばクロック周波数 $f = 400 \text{ kHz}$) の変調波 (キャリア) の残留キャリアノイズ (出力信号 V_{out} に現れるギザギザのノイズ波形) が存在し、フィードバックループ 8 を介して前記残留キャリアノイズもフィードバックされている。

20

【 0008 】

而して、図 9 の前記演算増幅器 1 の出力信号 V_o と、前記パルス幅変調出力信号 V_{PWM} と、前記出力信号 V_{out} の同一時間軸の波形図に示されるように、上記残留キャリアノイズが入力側にフィードバックされることによって、前記演算増幅器 1 の出力 V_o には相当の残留キャリアノイズが重畳した波形が出力されることとなる。

【 0009 】

この残留キャリアノイズが重畳した前記演算増幅器 1 の出力 V_o がパルス幅変調器 5 の比較器 4 に入力されることによって以下の (1)、(2)、(3) の状況に至る可能性が出てくる。

30

(1) 前記出力ローパスフィルタ 41 通過後のフィードバック信号 S_1 に残留キャリアノイズが重畳するため、初段の演算増幅器 1 に瞬時混変調歪みが生じ、D クラスアンプ 50 の歪率を悪化させる (図 9 の V_{out} 電圧波形参照)。

(2) 後段のパルス幅変調器 5 で入力されたオーディオ信号 V_o は三角波と比較されるが、その際に前記演算増幅器 (オペアンプ) 1 を通過した残留キャリアノイズにより、誤比較してしまう場合があり得る。

(3) 前記パルス幅変調器 5 での最大変調時に残留キャリアノイズが重畳していることで、過変調状態になりやすく (図 9 の V_{PWM} 電圧波形参照、所謂歯抜けの状態である。) 最大出力振幅が制限されてしまう場合があり得る。

40

【 0010 】

この点、上記 [特許文献 1] に記載された図 8 に記載の D クラスアンプ 60 は、主に無線周波干渉の問題を解決すべくなされたものであり、残留キャリアノイズがフィードバックループを介してパルス幅変調器 40 の比較器の入力にまで重畳して歪率を悪化させてしまうことに対する対策について有効な示唆を与えるものではない。

【 0011 】

一般に、上記のような残留キャリアノイズを取り除くためには、マスタークロック 2 と同程度の出力ローパスフィルタ 41 を接続しないと効果が得られないが、一方で、フィー

50

ドバック系（ゲイン交点での位相マージン特性）に影響を及ぼし、Dクラスアンプの安定度が損なわれる問題が発生してしまうことから、フィードバック方式のDクラスアンプの回路設計を困難なものとしていた。

【0012】

本発明は上記事情に鑑みてなされたものであり、図7に記載されるようなフィードバック方式のDクラスアンプにおける出力信号に存在する残留キャリアノイズのフィードバックに起因する悪影響を低減するための残留キャリア低減回路を搭載した高性能のDクラスアンプを提供することを目的とする。

【課題を解決するための手段】

【0013】

10

本発明は、

(1) オーディオ信号 V_{in} を増幅する演算増幅器1と、前記演算増幅器1の出力信号 V_o とマスタークロック2から生成された三角波とを比較器4に入力してパルス幅変調するパルス幅変調回路5と、出力段スイッチングトランジスタ9と、前記パルス幅変調回路5のパルス幅変調出力信号 V_{PWM} をスイッチング制御信号として入力して前記出力段スイッチングトランジスタ9をスイッチングするドライバ回路7と、前記出力段スイッチングトランジスタ9の出力端Aに接続された出力ローパスフィルタ41と、前記出力ローパスフィルタ41の出力信号 V_{out} を前記演算増幅器1の入力側にフィードバックするフィードバックループ8と、を備えるDクラスアンプにおいて、前記パルス幅変調回路5のマスタークロック2と同一クロック周波数 f で前記出力ローパスフィルタ41の出力信号 V_{out} をサンプリングするサンプリング回路11と、前記サンプリング回路11の出力信号 V_s の高域成分を除去するローパスフィルタ14と、からなる残留キャリア低減回路15が、前記フィードバックループ8に挿入されていることを特徴とするDクラスアンプ20を提供することにより、上記課題を解決する。

20

(2) オーディオ信号 V_{in} を増幅する演算増幅器1と、前記演算増幅器1の出力信号 V_o とマスタークロック2から生成された三角波とを比較器4に入力してパルス幅変調するパルス幅変調回路5と、出力段スイッチングトランジスタ9と、前記パルス幅変調回路5のパルス幅変調出力信号 V_{PWM} をスイッチング制御信号として入力して前記出力段スイッチングトランジスタ9をスイッチングするドライバ回路7と、前記出力段スイッチングトランジスタ9の出力端Aに接続された出力ローパスフィルタ41と、前記出力ローパスフィルタ41の出力信号 V_{out} を前記演算増幅器1の入力側にフィードバックするフィードバックループ8と、を備えるDクラスアンプにおいて、前記パルス幅変調回路5のマスタークロック2と同一クロック周波数 f で前記演算増幅器1の出力信号 V_o をサンプリングするサンプリング回路11と、前記サンプリング回路11の出力信号 V_s の高域成分を除去するローパスフィルタ14と、からなる残留キャリア低減回路15が、前記演算増幅器1の出力側と前記パルス幅変調回路5の入力側との間に挿入されていることを特徴とするDクラスアンプ30を提供することにより、上記課題を解決する。

30

【発明の効果】

【0014】

本発明に係るDクラスアンプは、上記のような構成のため、

40

(1) 簡単な構成で、フィードバック方式のDクラスアンプのフィードバックする出力信号に含まれる残留キャリアノイズをパルス幅変調の前に低減できるため、パルス幅変調の過変調が防止されてアンプ性能（歪率など）が向上する。

(2) フィードバックする出力信号に含まれている残留キャリアノイズの影響がパルス幅変調の段階で低減されることで、最大出力パワーを取り易くなり、電源利用率が向上する。

【発明を実施するための最良の形態】

【0015】

本発明に係るDクラスアンプの実施の形態について図面に基づいて説明する。

【0016】

50

図 1 は本発明に係る第 1 の実施の形態の D クラスアンプを示すブロック回路図である。図 2 は本発明に係る第 2 の実施の形態の D クラスアンプを示すブロック回路図である。図 3 は本発明に係る残留キャリア低減回路のブロック回路図である。図 4 は残留キャリア低減回路の具体例の回路図である。図 5 は本発明に係る第 2 の実施の形態の D クラスアンプにおける PWM 変調回路の比較器に入力される残留キャリア低減回路の出力電圧 $V_{o'}$ の電圧波形と PWM 変調回路の出力 V_{PWM} の電圧波形 (400 kHz) と出力電圧 V_{out} の電圧波形を同一時間軸で対照する電圧波形図である。図 6 は本発明に係る第 2 の実施の形態の D クラスアンプの残留キャリア低減回路のサンプリング信号 (1 shot 信号) と出力電圧 $V_{o'}$ の電圧波形 (拡大) を従来の残留キャリア低減回路がない場合の信号 V_o と比較する電圧軸と時間軸の拡大波形図である。

10

【0017】

先ず、図 1 に示される第 1 の実施形態の D クラスアンプ 20 は、オーディオ信号 V_{in} を増幅する演算増幅器 1 と、前記演算増幅器 1 の出力信号 V_o とマスタークロック 2 (クロック周波数 $f = 400 \text{ kHz}$ 程度) から生成された三角波とを比較器 4 に入力してパルス幅変調 (PWM) するパルス幅変調回路 5 と、プッシュプル型の一対の CMOS FET を備える出力段スイッチングトランジスタ 9 (電力増幅器) と、前記パルス幅変調回路 5 のパルス幅変調出力信号 V_{PWM} をスイッチング制御信号として入力して前記出力段スイッチングトランジスタ 9 をスイッチングするドライバ回路 7 と、前記出力段スイッチングトランジスタ 9 の出力端 A に接続されたインダクタ 34 とコンデンサ 36 からなる出力ローパスフィルタ 41 と、前記出力ローパスフィルタ 41 の出力信号 V_{out} を前記演算増幅器 1 の入力側にフィードバックするフィードバックループ 8 と、を備える D クラスアンプであって、特に、図 3 のブロック回路図に示されるような前記パルス幅変調回路 5 のマスタークロック 2 と同一クロック周波数 f で同期して前記出力ローパスフィルタ 41 の出力信号 V_{out} をサンプリングするアナログスイッチ 13 と 1 ショット回路 12 からなるサンプリング回路 11 と、前記サンプリング回路 11 の出力信号 V_s の高域成分を除去するフィードバック系に影響を与えないローパスフィルタ 14 と、からなる点線枠で囲まれた簡単な回路構成の残留キャリア低減回路 15 (図 1 では斜線入り小枠で表示) が、前記フィードバックループ 8 に挿入されている構成を特徴とする。

20

【0018】

上記残留キャリア低減回路 15 の具体例を図 4 に示す。前記ローパスフィルタ 14 は 1 k の抵抗 R_7 と 47 pF のコンデンサからなり、前記サンプリング回路 11 のアナログスイッチ 13 はトランジスタ或いはダイオードの電子スイッチ回路であり、1 ショット回路 12 は CMOS ロジック IC (HC74D の D 型フリップフロップ回路と HC04D のインバータ回路) で構成されている。

30

【0019】

前記サンプリング回路 11 のサンプリングタイミングとサンプリング時間を調整することにより、オーディオ信号成分のみをサンプリングすることができ、残りのサンプリング時の高域ノイズ成分のみをローパスフィルタ 14 で除去すれば残留キャリアを低減できることになる。前記ローパスフィルタ 14 は、サンプリング時の高域ノイズ成分のみを除去する目的のため、フィードバック系には影響を及ぼさないので回路設計は簡単である。

40

【0020】

而して、上記回路構成の D クラスアンプ 20 においては、フィードバックされる出力信号 V_{out} に重畳されている残留キャリアノイズ (マスタークロック周波数 f でスイッチングしているキャリアの残存成分) が前記残留キャリア低減回路 15 によって大幅に低減された後、初段の演算増幅器 (OP アンプ) 1 の - 入力端子に入力されるので、演算増幅器 1 の出力信号 V_o はノイズの少ない良好な電圧波形となってパルス幅変調回路 5 の比較器 4 に入力されることになり、誤比較が防止され、過変調状態が防止されるのである。

【0021】

以上から判るように、本発明の主旨は、初段の演算増幅器 1 の入力側にフィードバックされる D クラスアンプの出力信号 V_{out} に重畳している残留キャリアノイズを、パルス

50

幅変調回路 5 の比較器 4 に入力されるオーディオ信号において低減しておくことにより、パルス幅変調時に誤比較をしないようにして、過変調状態を防止する点に存する。したがって、上記残留キャリア低減回路 15 はフィードバックループ 8 に挿入された上記 D クラスアンプ 20 の構成に限らず、図 2 に示される第 2 の実施の形態の D クラスアンプ 30 のように、前記パルス幅変調回路 5 のマスタークロック 2 と同一クロック周波数 f で前記演算増幅器 1 の出力信号 V_o をサンプリングするサンプリング回路 11 と、前記サンプリング回路 11 の出力信号 V_s の高域成分を除去するローパスフィルタ 14 と、からなる前記残留キャリア低減回路 15 が、前記演算増幅器 1 の出力側と前記パルス幅変調回路 5 の入力側との間に挿入されている構成でもほぼ同様の作用・効果が得られる。

【0022】

図 5 は上記 D クラスアンプ 30 における PWM 変調回路 5 の比較器 4 に入力される残留キャリア低減回路 15 の出力電圧 V_o' の電圧波形と PWM 変調回路 5 の出力信号 V_{PWM} の電圧波形 (400 kHz パルスなので図では線が稠密に重なって黒ベタに表示されている。) と D クラスアンプの出力電圧 V_{out} の電圧波形を同一時間軸で対照する電圧波形図であるが、図 9 と比較すると明らかなように、 V_o' には残留キャリアノイズの重畳が非常に低減されており (図 6 の V_o' と 1 ショット信号の電圧軸と時間軸の拡大波形図も参照)、 V_{PWM} は過変調状態 (歯抜けの状態) になっていないことが判る。また、出力信号 V_{out} の歪率は悪化せず、最大出力振幅は制限されていないことが判る。

【図面の簡単な説明】

【0023】

【図 1】本発明に係る第 1 の実施の形態の D クラスアンプを示すブロック回路図である。
 【図 2】本発明に係る第 2 の実施の形態の D クラスアンプを示すブロック回路図である。
 【図 3】本発明に係る残留キャリア低減回路のブロック回路図である。
 【図 4】残留キャリア低減回路の具体例の回路図である。
 【図 5】本発明に係る第 2 の実施の形態の D クラスアンプにおける PWM 変調回路の比較器に入力される残留キャリア低減回路の出力電圧 V_o' の電圧波形と PWM 変調回路の出力 V_{PWM} の電圧波形 (400 kHz) と出力電圧 V_{out} の電圧波形を同一時間軸で対照する電圧波形図である。
 【図 6】本発明に係る第 2 の実施の形態の D クラスアンプの残留キャリア低減回路のサンプリング信号 (1 ショット信号) と出力電圧 V_o' の電圧波形 (拡大) を従来の残留キャリア低減回路がない場合の出力信号 V_o と比較する電圧軸と時間軸の拡大波形図である。
 【図 7】従来のフィードバック方式の D クラスアンプのブロック回路図である。
 【図 8】[特許文献 1] に記載のフィードバック方式の D クラスアンプの回路図である。
 【図 9】従来のフィードバック方式の D クラスアンプの初段の演算増幅器の出力信号 V_o の電圧波形と PWM 変調回路の出力 V_{PWM} の電圧波形 (400 kHz) と出力電圧 V_{out} の電圧波形を同一時間軸で対照する電圧波形図である。

【符号の説明】

【0024】

- | | |
|----|-----------------|
| 1 | 演算増幅器 |
| 2 | マスタークロック |
| 3 | 三角波生成回路 |
| 4 | 比較器 |
| 5 | パルス幅変調回路 |
| 7 | ドライバ回路 |
| 8 | フィードバックループ |
| 9 | 出力段スイッチングトランジスタ |
| 11 | サンプリング回路 |
| 12 | 1 ショット回路 |
| 13 | アナログスイッチ |
| 14 | ローパスフィルタ |

10

20

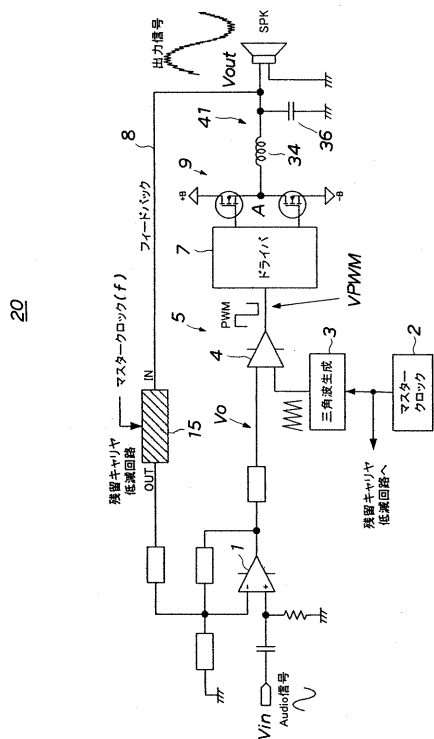
30

40

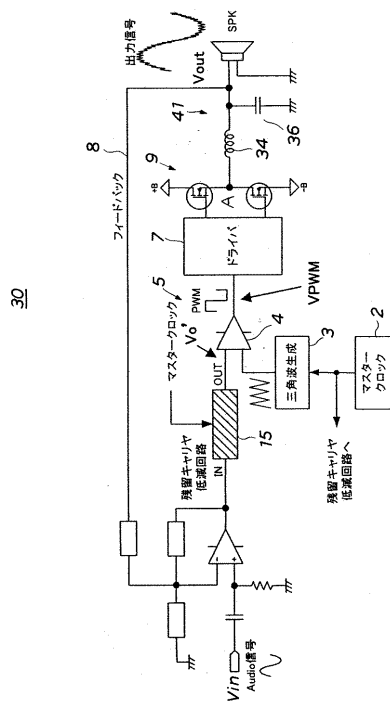
50

- 15 残留キャリア低減回路
- 20、30、50、60 Dクラスアンプ
- 34 インダクタ
- 36 コンデンサ
- 41 出力ローパスフィルタ
- SPK 負荷のスピーカ
- Vin オーディオ信号
- Vo 演算増幅器1の出力信号
- VPWM パルス幅変調出力信号
- Vout 出力ローパスフィルタの出力信号
- Vs サンプリング回路の出力信号
- f クロック周波数

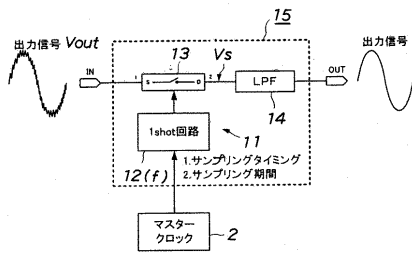
【図1】



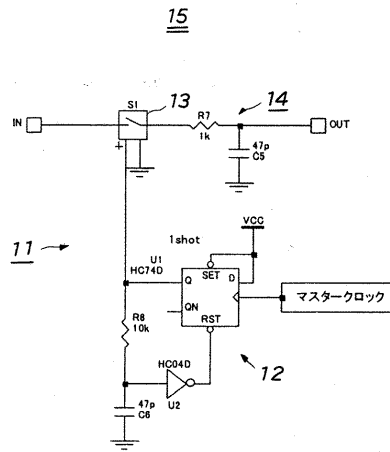
【図2】



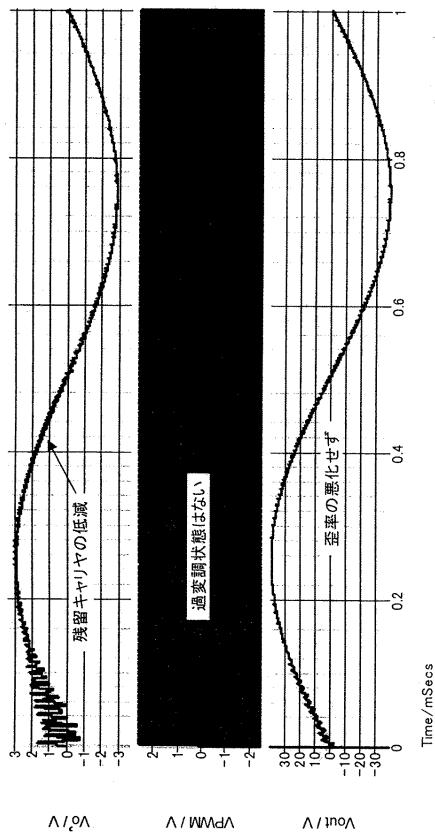
【 図 3 】



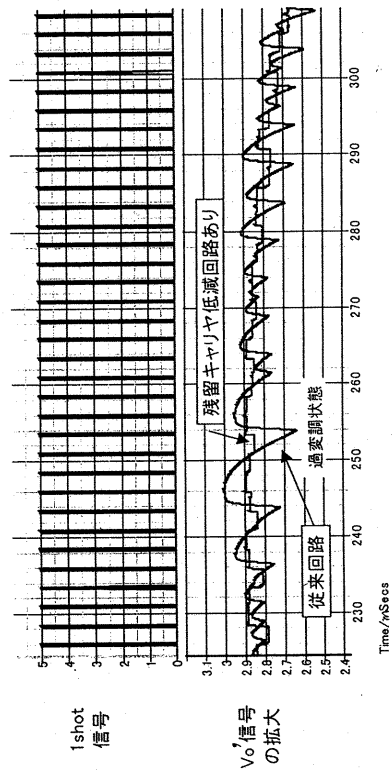
【 図 4 】



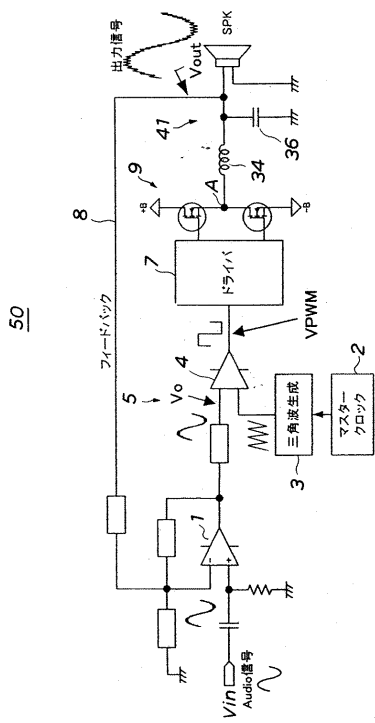
【 図 5 】



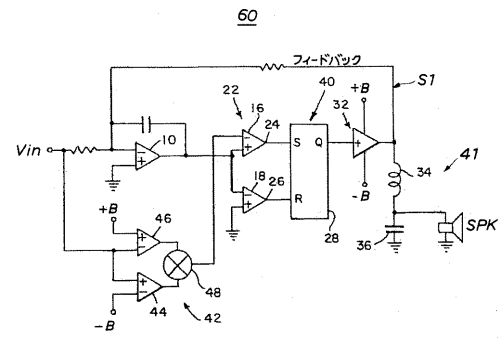
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

