



(12)发明专利

(10)授权公告号 CN 104079295 B

(45)授权公告日 2017.06.09

(21)申请号 201310396384.9

(22)申请日 2013.09.03

(65)同一申请的已公布的文献号
申请公布号 CN 104079295 A

(43)申请公布日 2014.10.01

(30)优先权数据
13/853,032 2013.03.28 US

(73)专利权人 南亚科技股份有限公司
地址 中国台湾桃园县

(72)发明人 约翰·T·藩

(74)专利代理机构 深圳新创友知识产权代理有
限公司 44223
代理人 江耀纯

(51)Int.Cl.

H03L 7/08(2006.01)

H03L 7/099(2006.01)

(56)对比文件

CN 1518227 A,2004.08.04,

CN 101783161 A,2010.07.21,

US 2002015461 A1,2002.02.07,

US 2007030041 A1,2007.02.08,

US 2010264968 A1,2010.10.21,

审查员 毕爽君

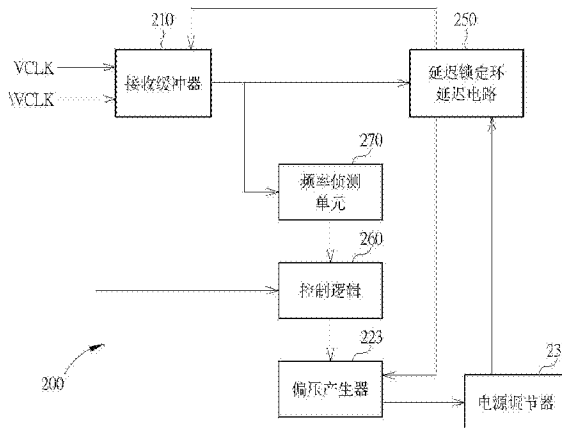
权利要求书2页 说明书5页 附图3页

(54)发明名称

延迟锁定环系统以及动态改变其延迟电路
的电源的方法

(57)摘要

本发明公开了一种设置在存储装置中且具有宽频应用特性的延迟锁定环系统以及动态改变设置在存储装置中且具有宽频应用特性的延迟锁定环系统中的延迟电路的电源的方法。所述延迟锁定环系统包含有:时钟接收器,其为所述延迟锁定环系统产生时钟;延迟电路,用来接收所述时钟,并依据所接收的电源来延迟所述时钟;电源调节器,用来依据偏压来产生所述电源到所述延迟电路;控制逻辑,用来产生分别对应所述时钟的多个频率范围的多个逻辑信号;以及偏压产生器,用来提供所述偏压至所述电源调节器,其中所述偏压的值是根据所述控制逻辑所输出的逻辑信号而定。所述延迟锁定环系统在一般的操作频率范围之外的操作频率时,会具有较高的准确率。



1. 一种设置在一存储装置中且具有宽频应用特性的延迟锁定环系统,其特征在于,包含有:

—时钟接收器,其为所述延迟锁定环系统产生一时钟;

—延迟电路,耦接到所述时钟接收器,用来接收所述时钟,并且依据所接收的一电源来延迟所述时钟;

—电源调节器,用来依据一偏压来产生所述电源到所述延迟电路;

—控制逻辑,耦接到所述时钟接收器,用来依据所述时钟的一操作频率产生分别对应所述时钟的多个频率范围的多个逻辑信号,其中所述时钟的所述多个频率范围是预定的,并根据所述存储装置的美国电子器件工程联合委员会标准而定;以及

—偏压产生器,耦接于所述控制逻辑和所述电源调节器之间,用来提供所述偏压至所述电源调节器,其中所述偏压的值是根据所述控制逻辑所输出的一逻辑信号而定;

其中所述时钟的所述多个频率范围是依据一第一频率阈值和一第二频率阈值来定义;以及根据美国电子器件工程联合委员会标准,所述第一频率阈值代表所述存储装置的一操作范围的一最低频率,而所述第二频率阈值则代表所述存储装置的所述操作范围的一最高频率;

其中当所述时钟的所述操作频率介于所述第一频率阈值和所述第二频率阈值之间时,所述控制逻辑将输出一逻辑信号来控制所述偏压产生器和所述电源调节器,以根据美国电子器件工程联合委员会标准来产生一电源至所述延迟电路;当所述时钟的所述操作频率低于所述第一频率阈值时,所述控制逻辑将输出一逻辑信号来控制所述偏压产生器和所述电源调节器,以降低所述电源;以及当所述时钟的所述操作频率高于所述第二频率阈值时,所述控制逻辑将输出一逻辑信号来控制所述偏压产生器和所述电源调节器,以提高所述电源。

2. 如权利要求1所述的延迟锁定环系统,其特征在于,还包含:

—频率侦测单元,耦接于所述时钟接收器和所述控制逻辑之间,用来侦测所述时钟的所述操作频率,以及将一频率侦测结果提供至所述控制逻辑。

3. 如权利要求1所述的延迟锁定环系统,其特征在于,所述控制逻辑依据来自一外部输入的一侦测信号来决定所述时钟的所述操作频率。

4. 如权利要求1所述的延迟锁定环系统,其特征在于,在产生所述电源到所述延迟电路之后,所述延迟电路将输出一反馈信号至所述延迟锁定环系统以指示所述延迟电路是否已被锁定至所述时钟,以及若所述反馈信号指示所述延迟电路尚未锁定至所述时钟,则所述延迟锁定环系统将改变所述电源。

5. 如权利要求1所述的延迟锁定环系统,其特征在于,在产生所述电源到所述延迟电路之后,所述延迟电路将输出一反馈信号至所述延迟锁定环系统以指示所述延迟电路是否已被锁定至所述时钟,以及若所述反馈信号指示所述延迟电路尚未锁定至所述时钟,则所述延迟锁定环系统将改变所述时钟的所述操作频率。

6. 一种动态改变设置在一存储装置中且具有宽频应用特性的延迟锁定环系统中的一延迟电路的电源的方法,其特征在于,包含有:

—为所述延迟锁定环系统产生一时钟;

—决定所述时钟的一操作频率,并且将所决定的所述操作频率和所述时钟的多个频率范

围进行比较,其中所述多个频率范围是预定的,并根据所述存储装置的美国电子器件工程联合委员会标准而定;

产生对应一特定频率范围的一特定逻辑信号;以及

利用所述特定逻辑信号来设定所述延迟锁定环系统的所述延迟电路的所述电源;

其中所述时钟的所述多个频率范围是依据一第一频率阈值和一第二频率阈值来定义;以及根据美国电子器件工程联合委员会标准,所述第一频率阈值代表所述存储装置的一操作范围的一最低频率,而所述第二频率阈值代表所述存储装置的所述操作范围的一最高频率;

其中当所述时钟的所述操作频率介于所述第一频率阈值和所述第二频率阈值之间时,利用所述特定逻辑信号来设定所述延迟电路的所述电源的步骤包含有:

根据美国电子器件工程联合委员会标准来产生一电源至所述延迟电路;

其中当所述时钟的所述操作频率低于所述第一频率阈值时,利用所述特定逻辑信号来设定所述延迟电路的所述电源的步骤包含有:

降低所述电源;

其中当所述时钟的所述操作频率高于所述第二频率阈值时,利用所述特定逻辑信号来设定所述延迟电路的所述电源的步骤包含有:

提高所述电源。

7. 如权利要求6所述的方法,其特征在于,还包含:

输出一反馈信号至所述延迟锁定环系统以指示所述延迟电路是否已被锁定至所述时钟;以及

若所述反馈信号指示所述延迟电路尚未锁定至所述时钟,改变所述电源。

8. 如权利要求6所述的方法,其特征在于,还包含:

输出一反馈信号至所述延迟锁定环系统以指示所述延迟电路是否已被锁定至所述时钟;以及

若所述反馈信号指示所述延迟电路尚未锁定至所述时钟,改变所述时钟的所述操作频率。

延迟锁定环系统以及动态改变其延迟电路的电源的方法

技术领域

[0001] 本发明涉及延迟锁定环,特别涉及一种设置在存储装置中且具有宽频应用特性的延迟锁定环系统。

背景技术

[0002] 许多存储装置均内建延迟锁定环(Delay Locked Loop,DLL),其包含一内部延迟环/延迟电路(delay line)以锁定至一外部时钟速率。所述延迟锁定环是用来消除时钟插入延迟(clock insertion delay)。使用延迟锁定环的存储器类型的一个典型的例子是双倍数据速率(Double Data Rate,DDR)内存,这种新一代存储装置,同时使用一时钟信号的上升沿和下降沿来传输数据。

[0003] 请参阅图1,图1是设置于存储器中的传统延迟锁定环系统100的示意图。如图所示,延迟锁定环系统100包含有一延迟锁定环延迟电路(DLL delay line)150,其具有由耦接到一电源调节器(power regulator)130的一偏压产生器(bias generator)120所供应的一固定电源。延迟锁定环延迟电路150还被耦接到一接收缓冲器(RCV buffer)110,其为延迟锁定环系统100的时钟接收器(clock receiver),并且接收一差分时钟信号VCLK与\ VCLK。延迟量将基于延迟锁定环系统100的操作频率,在较高的操作频率下,仅使用延迟电路150中的少数延迟元件,所以外部时钟和内部时钟之间有较少的延迟,而在较低的操作频率下,整个延迟电路150将被使用,因此内建延迟锁定环的存储器的操作频率范围将受到延迟锁定环中的延迟元件数目的限制。

[0004] 大多数存储系统的操作范围是根据美国电子器件工程联合委员会(Joint Electron Devices Engineering Council,JEDEC)标准,此为所述领域所使用的一个标准,提供了标准化的存储器操作参数。例如,DDR3存储装置所具有的建议的时钟频率范围是800MHz~1600MHz。然而,存储器有可能操作在此时钟频率范围之外(例如,节电模式),这将需要增加延迟电路150之中的延迟元件数目。这个解决方案会增加延迟锁定环延迟电路150的尺寸,因此通常没有制造商会愿意这样作。第二个选择是当工作在较低的频率时,完全绕过延迟锁定环系统100,在传统的存储器中,要将延迟锁定环系统100停用,而这样做会导致延迟锁定环系统100再度被启动时的数据输出时序和之前不相同,并且所述存储器会暴露在准确率受到影响的风险中。

[0005] 有鉴于此,存储器中需要一个可以操作在标准操作频率范围之外,并且不会增加内部延迟元件的数目或者不需要在低(或高)频操作时停用的延迟锁定环系统。

发明内容

[0006] 因此,本发明的其中一个目的在于公开一延迟锁定环系统给一存储器,所述延迟锁定环系统具有可依据所述存储器操作频率来实时改变的一调节电源(modulated power supply)。此延伸的频率范围意味着所述延迟锁定环系统可以准确地操作在其规定的范围之外的频率。

[0007] 一种设置在一存储装置中且具有宽频应用特性的延迟锁定环系统包含有：一时钟接收器，其为所述延迟锁定环系统产生一时钟；一延迟电路，耦接到所述时钟接收器，用来接收所述时钟，并且依据所接收的一电源来延迟所述时钟；一电源调节器，用来依据一偏压来产生所述电源到所述延迟电路；一控制逻辑，耦接到所述时钟接收器，用来产生多个分别对应所述时钟的多个频率范围的多个逻辑信号；以及一偏压产生器，耦接到所述控制逻辑和所述电源调节器之间，用来提供所述偏压至所述电源调节器，其中所述偏压的值是根据所述控制逻辑所输出的一逻辑信号而定。

[0008] 一种动态改变设置在一存储装置中且具有宽频应用特性的延迟锁定环系统中的一延迟电路的电源的方法，包含有：为所述延迟锁定环系统产生一时钟；决定所述时钟的一操作频率，并且将所决定的所述操作频率和多个频率范围进行比较；产生对应一特定频率范围的一特定逻辑信号；以及利用所述特定逻辑信号来设定所述延迟锁定环系统的所述延迟电路的所述电源。

[0009] 本发明公开了一种方法和系统能够延伸一存储器中的一延迟锁定环系统的一操作频率，使其得以在一般的操作频率范围之外的操作频率具有较高的准确率，也就是说，当所述存储器的频率操作在正常操作范围之外的时候，会通过一系统来调整一延迟电路的电源。

附图说明

[0010] 图1是设置于存储器中的传统延迟锁定环系统的示意图。

[0011] 图2是依据本发明而设置在存储装置中的延迟锁定环系统的一示范性实施例的示意图。

[0012] 图3是依据本发明而动态改变延迟锁定环系统的延迟锁定环延迟电路的电源的方法的一示范性实施例的示意图。

[0013] 其中，附图标记说明如下：

[0014] 100、200 延迟锁定环系统

[0015] 110、210 接收缓冲器

[0016] 120、223 偏压产生器

[0017] 130、233 电源调节器

[0018] 150、250 延迟锁定环延迟电路

[0019] 260 控制逻辑

[0020] 270 频率侦测单元

[0021] 300~318 步骤

具体实施方式

[0022] 在说明书及之前的权利要求书当中使用了某些词汇来指称特定的元件。本领域的技术人员应可理解，制造商可能会用不同的名词来称呼同样的元件。本说明书及之前的权利要求书并不以名称的差异来作为区分元件的方式，而是以元件在功能上的差异来作为区分的基准。在通篇说明书及之前的权利要求书当中所提及的「包含」为一开放式的用语，故应解释成「包含但不限于」。此外，「耦接」一词在此包含任何直接和间接的电连接手段。因

此,若文中描述一第一装置耦接于一第二装置,则代表所述第一装置可直接电连接于所述第二装置,或通过其它装置或连接手段间接地电连接到所述第二装置。

[0023] 本发明提供了设置在存储装置中且具有宽频应用特性的延迟锁定环系统,其中所述延迟锁定环系统的一延迟电路的电源可以依据存储器操作频率来实时改变。

[0024] 从上述公知技术中的说明可以了解,现有的延迟锁定环延迟电路是操作在一个固定电源。当一存储器操作的操作频率在美国电子器件工程联合委员会(JEDEC)标准所规范的频率范围以外时,耦接到所述延迟锁定环延迟电路中有限数量的延迟元件的固定电源不足以将内部延迟环锁定在外部时钟的时钟频率,这意味着所述存储器在此时钟频率(所述延迟锁定环系统所支持的时钟频率范围之外的频率)下将无法使用所述延迟锁定环系统。

[0025] 因此,本发明提供了一个使用在存储装置中的一延迟锁定环系统,其包含有一频率侦测机制,并且使用侦测到的频率来调整所述延迟锁定环系统中的延迟电路的电源。

[0026] 正如众所周知的,一延迟锁定环的一延迟电路是由许多延迟元件所组成,其中每个延迟元件都依序贡献一延迟时间,而最后的延迟时钟信号(delayed clock signal)是基于这些延迟元件的总延迟时间来产生。当延迟电路的电源增加时,总延迟时间会降低(反之亦然),这意味着,相较于较低的频率范围,宽频应用比较受限于较高的频率范围。在下文中,将参照降低操作频率的情况来说明本发明,然而,相同的技术也可运用在操作频率增加的情况。

[0027] 请参考图2,图2是依据本发明而设置在存储装置中的一延迟锁定环系统200的一示范性实施例的示意图。如图所示,延迟锁定环系统200包含有一延迟锁定环延迟电路250、一接收缓冲器210、一偏压产生器223和一电源调节器233。接收缓冲器210(或时钟接收器)接收一差分时钟信号VCLK和\VCLK。延迟锁定环系统200也包含有耦接到一控制逻辑(control logic)260的一频率侦测单元(frequency detection unit)270,且频率侦测单元270提供一输入到偏压产生器223。

[0028] 频率侦测单元270还耦接到接收缓冲器210,用以侦测延迟锁定环系统200的操作频率,且频率侦测单元270将侦测到的频率提供给逻辑单元(控制逻辑)260。控制逻辑260则依据侦测到的频率和一预定操作频率范围来产生多个输出逻辑信号,其中所述预定操作频率范围对应于标准存储装置的美国电子器件工程联合委员会标准。换句话说,取决于控制逻辑电路260所使用的存储器系统(DDR2内存、DDR3内存、闪存(flash)等),将有不同的操作频率范围的定义。

[0029] 在此说明书中,将延迟锁定环系统200的操作范围设定为800MHz~1600MHz,这是DDR3内存的标准操作频率范围。频率侦测单元270持续地将侦测到的频率输出到控制逻辑260。当控制逻辑260侦测到高于1600MHz的操作频率时,会输出一第一逻辑信号,当控制逻辑260侦测到低于800MHz的操作频率时,会输出一第二逻辑信号,而当控制逻辑260侦测到介于800MHz和1600MHz之间的操作频率时,则会输出一第三逻辑信号。然而,请注意,这仅是一个说明用的范例,且控制逻辑260可以根据系统的要求来输出不同数目的逻辑信号。在另一个实施例中,所述系统可以在DDR2存储装置和DDR3存储装置之间切换,如此一来,所述系统能够操作在JEDEC标准定义的上述两种存储装置的操作频率范围中,也可以操作在其规定的频率范围之外,在这种情况下,至少需要定义四个阈值,包含两内存个别的操作频率上限和操作频率下限,这意味着和上面的例子相比,控制逻辑260需要输出更多的逻辑信号。

在阅读过本说明书和附图后,本领域的技术人员应可轻易地将这样的设计修改加以进行实作。

[0030] 当控制逻辑260将第三逻辑信号输出至偏压产生器223时,表示延迟锁定环系统200操作在所述存储装置规定的操作频率范围之内,因此,偏压产生器223会控制电源调节器233以提供延迟锁定环延迟电路250标准的电源;当控制逻辑260将第二逻辑信号输出至偏压产生器223时,表示延迟锁定环系统200的操作频率低于所述存储装置规定的操作频率范围,因此,偏压产生器223会控制电源调节器233以降低提供给延迟锁定环延迟电路250的电源;类似地,当控制逻辑260将第一逻辑信号输出至偏压产生器223时,表示延迟锁定环系统200的操作频率高于所述存储装置规定的操作频率范围,因此,偏压产生器223会控制电源调节器233以提高提供给延迟锁定环延迟电路250的电源。随着频率侦测单元270和控制逻辑260不断地侦测操作频率,并输出相对应的逻辑信号,可以持续地调整延迟锁定环延迟电路250的电源。

[0031] 本发明并非一定要利用频率侦测单元270来侦测操作频率,在一些实施例中,频率侦测可以通过一外部输入来将目前的操作频率的相关信息输入至控制逻辑260,如图2所示,此外,也可以采用延迟锁定环系统200内可侦测操作频率并耦合到控制逻辑电路260的其它装置或是信号。

[0032] 在另一实施例中,也可以使用延迟锁定环延迟电路250的一反馈环(feedback loop)来改善延迟锁定环系统200的操作。如果在操作频率与延迟锁定环延迟电路250的电源之间有不匹配的情况发生,延迟锁定环延迟电路250将无法锁定,在这种状况下,一个“失败(fail)”信号会被反馈到偏压产生器223或是接收缓冲器210以分别改变电压或操作频率。

[0033] 为了能够更清楚地说明本发明的方法,图3提供一流程图。请注意,所述流程图是基于以上示范性实施例的说明细节,其中控制逻辑260可以输出三个逻辑信号。然而,在阅读过本说明书和附图后,本领域的技术人员应根据系统的要求轻易地对本方法加以修改。所述流程图的详细步骤如下:

[0034] 步骤300:根据储存器的类型来设定控制逻辑的阈值;

[0035] 步骤302:提供时钟信号;

[0036] 步骤304:侦测所述时钟信号的频率;

[0037] 步骤306:侦测到的频率是否低于第一阈值?如果是,则进入步骤308,如果不是,则进入步骤312;

[0038] 步骤308:使用偏压产生器来控制电源调节器,以降低延迟锁定环延迟电路的电源;

[0039] 步骤310:延迟锁定环延迟电路是否输出“失败”信号?如果是,返回步骤308,如果不是,则返回步骤304;

[0040] 步骤312:侦测到的频率是否高于第二阈值?如果是,则进入步骤314,如果不是,则进入步骤318;

[0041] 步骤314:使用偏压产生器来控制电源调节器,以增加延迟锁定环延迟电路的电源;

[0042] 步骤316:延迟锁定环延迟电路是否输出“失败”信号?如果是,返回步骤314,如果

不是,则返回步骤304;

[0043] 步骤318:使用偏压产生器来控制电源调节器,以依据美国电子器件工程联合委员会标准来输出电源至延迟锁定环延迟电路;接着,返回步骤304。

[0044] 综上所述,本发明公开了一种方法和系统能够延伸一储存器中的一延迟锁定环系统的一操作频率,使其得以在一般的操作频率范围之外的操作频率具有较高的准确率,也就是说,当所述储存器的频率操作在正常操作范围之外的时候,会通过一系统来调整一延迟电路的电源。

[0045] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

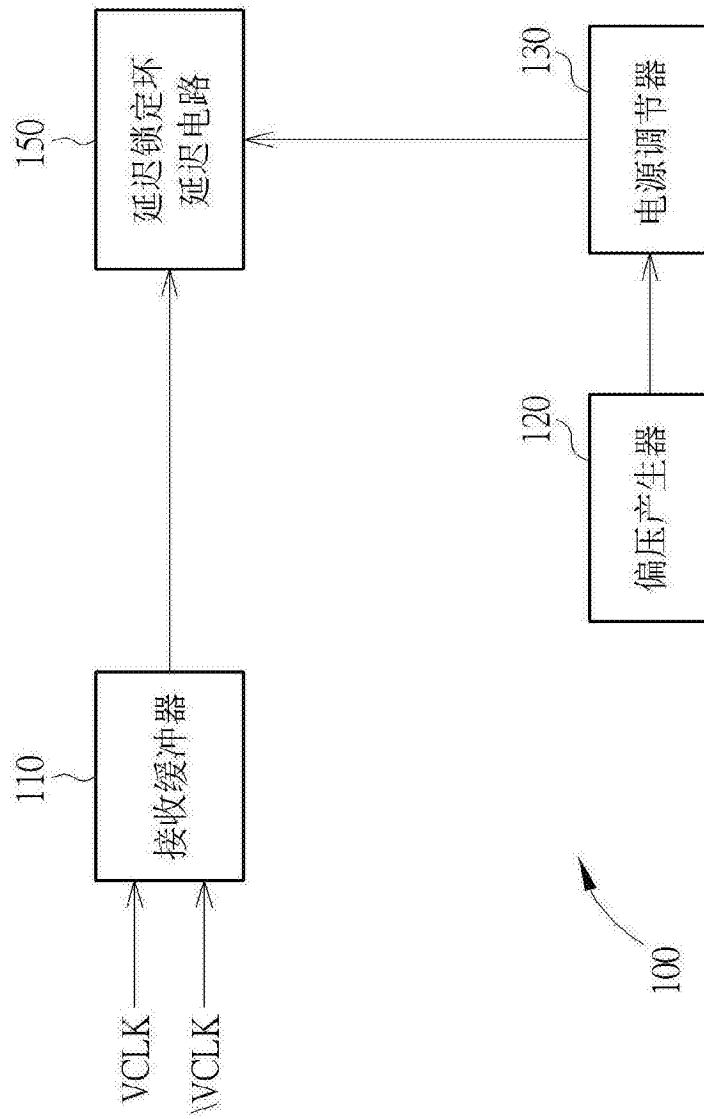


图1

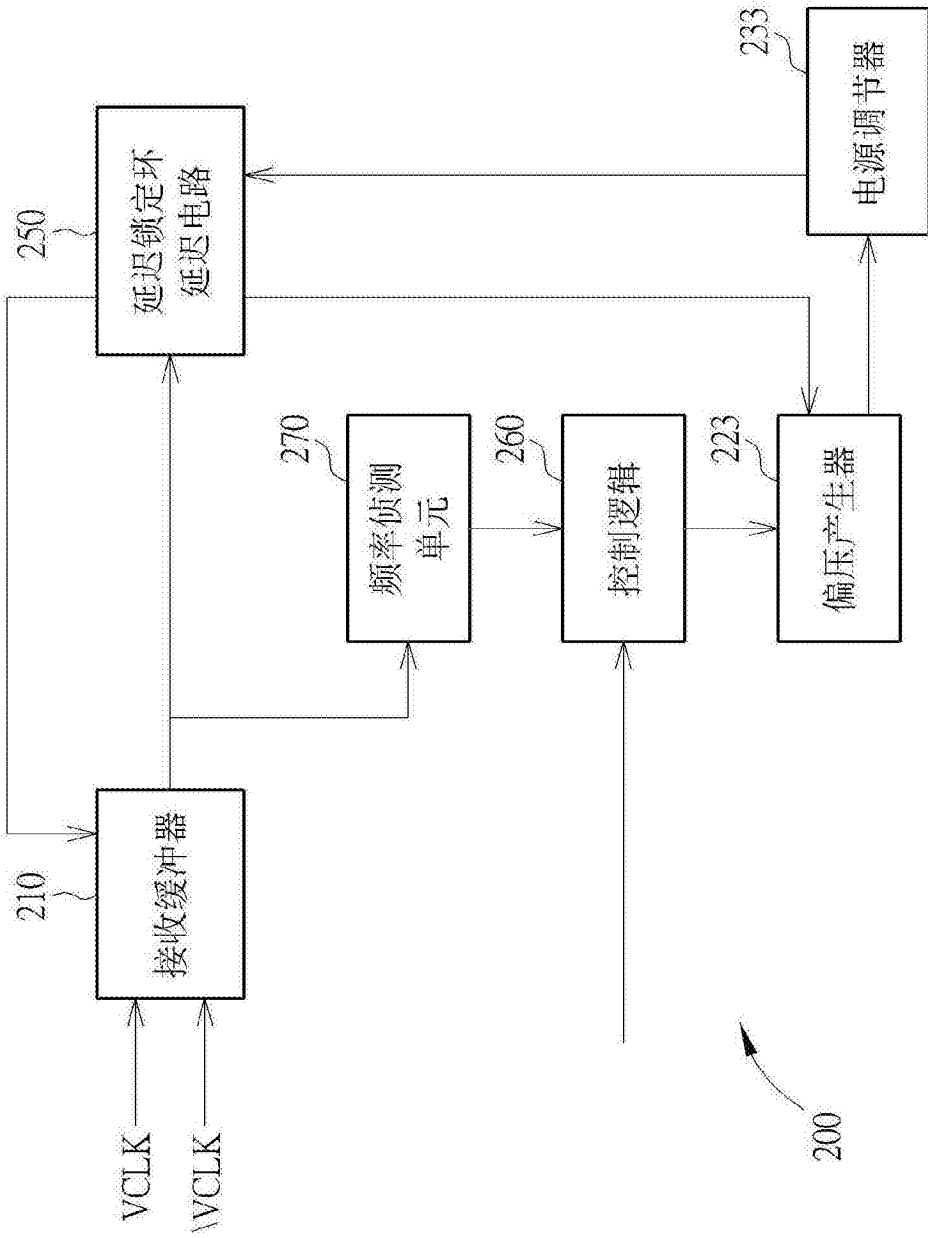


图2

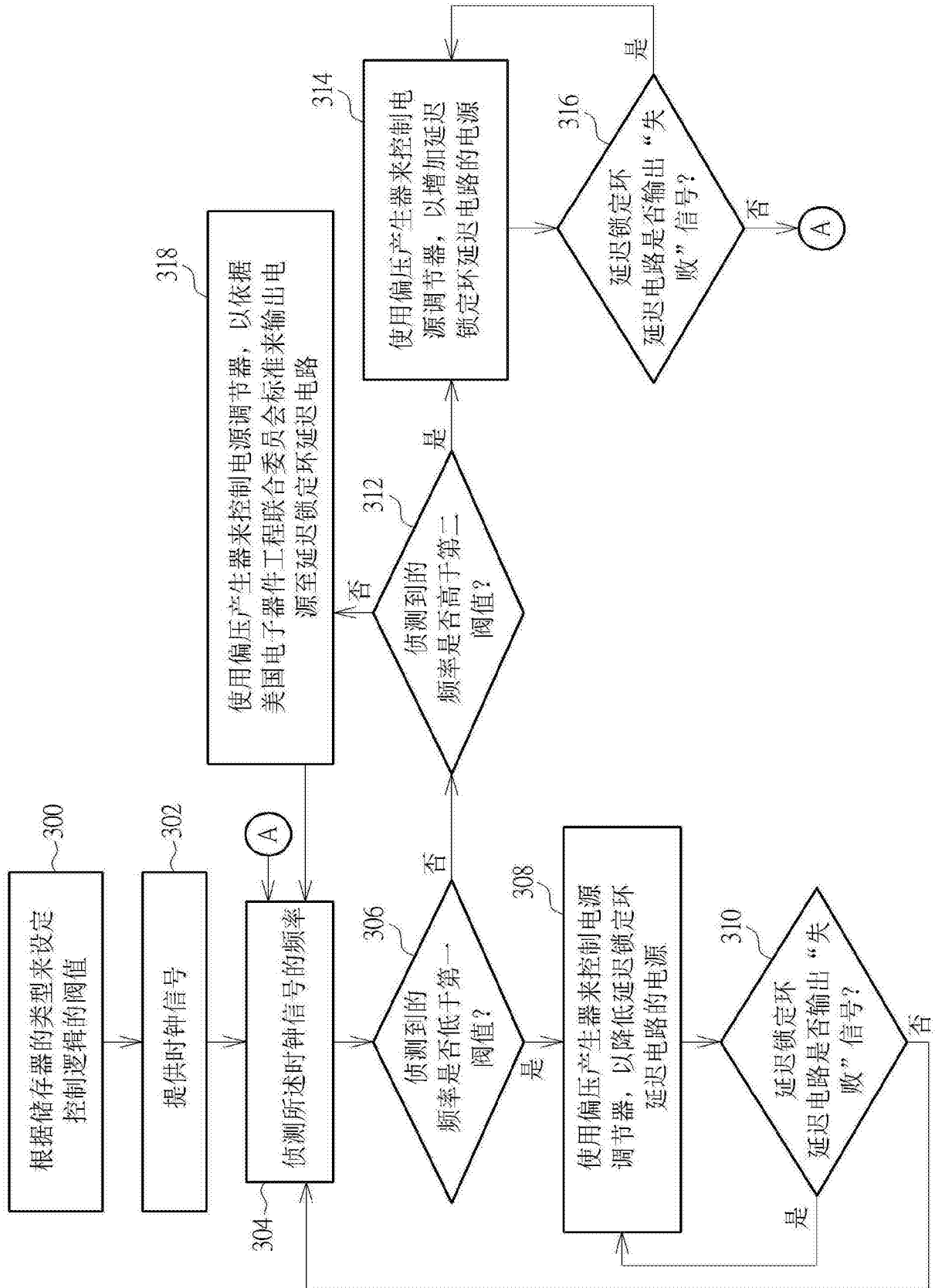


图3