



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년10월29일
 (11) 등록번호 10-0990140
 (24) 등록일자 2010년10월20일

(51) Int. Cl.
G11C 11/4096 (2006.01) *G11C 11/4093* (2006.01)
 (21) 출원번호 10-2008-0040928
 (22) 출원일자 2008년04월30일
 심사청구일자 2008년04월30일
 (65) 공개번호 10-2009-0032924
 (43) 공개일자 2009년04월01일
 (30) 우선권주장
 1020070098223 2007년09월28일 대한민국(KR)
 (56) 선행기술조사문헌
 KR100188021 B1*
 KR1020040105007 A*
 JP11144464 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 곽승욱
 경기도 이천시 부발읍 아미리 산148-1 현대아파트
 105동 304호
 (74) 대리인
 특허법인 신성

전체 청구항 수 : 총 8 항

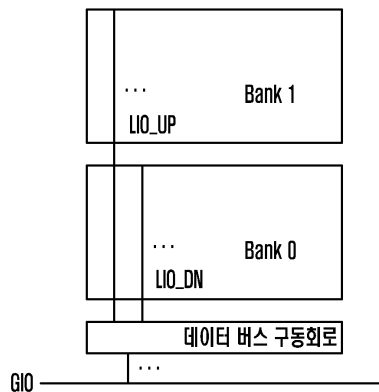
심사관 : 이경홍

(54) 반도체 메모리 소자

(57) 요약

본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 메모리 설계 기술에 관한 것이며, 더 자세히는 반도체 메모리 소자의 컬럼 제어 블럭에 관한 것이다. 본 발명은 스택 뱅크 구조에서 데이터 버스 구동회로에 소요되는 회로 면적을 최소화할 수 있는 반도체 메모리 소자를 제공하는데 그 목적이 있다. 본 발명은 스택 뱅크 구조를 채택하는 반도체 메모리 소자에서 컬럼 제어 블럭의 데이터 버스 구동회로를 다수의 스택된 뱅크가 공유하는 방식을 제안한다. 본 발명에서는 액티브 되지 않은 뱅크의 로컬 데이터 버스는 전원전압(VDD) 레벨로 프리차지 되는 것을 이용하여 액티브 된 뱅크의 로컬 데이터 버스에 실린 데이터를 선택할 수 있어 비교적 간단하게 다수의 뱅크에 대한 다중화가 가능하다.

대표도 - 도6



특허청구의 범위

청구항 1

컬럼 방향으로 스택되도록 배치된 다수의 बैं크;

상기 다수의 बैं크에 대응하는 글로벌 데이터 라인; 및

상기 다수의 बैं크 각각에 대응하는 다수의 로컬 데이터 라인에 실린 데이터를 다중화하여 상기 글로벌 데이터 라인에 전달하기 위한 공통 글로벌 데이터 라인 구동수단

을 구비하는 반도체 메모리 소자.

청구항 2

제1항에 있어서,

상기 다수의 로컬 데이터 라인은 각각,

정 데이터 라인과 부 데이터 라인으로 구성되며, 상기 정 데이터 라인과 상기 부 데이터 라인은 데이터를 전달하지 않는 구간에서 전원전압 레벨로 프리차지 되는 것을 특징으로 하는 반도체 메모리 소자.

청구항 3

제1 बैं크;

상기 제1 बैं크와 컬럼 방향으로 스택되도록 배치된 제2 बैं크;

상기 제1 및 제2 बैं크에 대응하는 글로벌 데이터 라인;

상기 제1 बैं크에 대응하는 제1 로컬 데이터 라인에 실린 데이터를 감지 증폭하기 위한 제1 감지증폭수단;

상기 제2 बैं크에 대응하는 제2 로컬 데이터 라인에 실린 데이터를 감지 증폭하기 위한 제2 감지증폭수단; 및

상기 제1 및 제2 감지증폭수단으로부터 출력된 데이터를 다중화하여 상기 글로벌 데이터 라인에 전달하기 위한 공통 글로벌 데이터 라인 구동수단

을 구비하는 반도체 메모리 소자.

청구항 4

제3항에 있어서,

상기 공통 글로벌 데이터 라인 구동수단은,

상기 제1 감지증폭수단의 정/부 출력신호 및 상기 제2 감지증폭수단의 정/부 출력신호를 다중화하여 출력하기 위한 다중화부;

상기 다중화부의 출력신호를 버퍼링하기 위한 버퍼링부; 및

상기 버퍼링부의 출력신호에 응답하여 상기 글로벌 데이터 라인을 폴업/폴다운 구동하기 위한 구동부를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5

제4항에 있어서,

상기 다중화부는 상기 제1 감지증폭수단의 정 출력신호와 상기 제2 감지증폭수단의 정 출력신호를 입력으로 하는 제1 낸드 게이트와,

상기 제1 감지증폭수단의 부 출력신호와 상기 제2 감지증폭수단의 부 출력신호를 입력으로 하는 제2 낸드 게이트를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 6

제5항에 있어서,

상기 버퍼링부는,

상기 낸드 게이트의 출력신호를 입력으로 하는 제1 인버터;

상기 제2 낸드 게이트의 출력신호를 입력으로 하는 제2 인버터; 및

상기 제2 인버터의 출력신호를 입력으로 하는 제3 인버터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 7

제6항에 있어서,

상기 구동부는,

전원전압단에 소오스가 접속되고 상기 글로벌 데이터 라인에 드레인이 접속되며 상기 제1 인버터의 출력신호를 게이트 입력으로 하는 풀업 PMOS 트랜지스터와,

접지전압단에 소오스가 접속되고 상기 글로벌 데이터 라인에 드레인이 접속되며 상기 제3 인버터의 출력신호를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터를 구비하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 8

제3항 내지 제6항 중 어느 한 항에 있어서,

상기 제1 및 제2 로컬 데이터 라인은 각각,

정 데이터 라인과 부 데이터 라인으로 구성되며, 상기 정 데이터 라인과 상기 부 데이터 라인은 데이터를 전달하지 않는 구간에서 전원전압 레벨로 프리차지 되는 것을 특징으로 하는 반도체 메모리 소자.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 특히 반도체 메모리 설계 기술에 관한 것이며, 더 자세히는 반도체 메모리 소자의 컬럼 제어 블럭에 관한 것이다.

배경기술

[0002] DRAM(Dynamic Random Access Memory)을 비롯한 대부분의 반도체 메모리 소자에서 계층적인 데이터 버스 구조를 채택하고 있다. 즉, 뱅크 영역에는 로컬 데이터 버스를 배치하고 주변회로 영역에 글로벌 데이터 버스를 배치하고 있다. 경우에 따라 로컬 데이터 버스 자체도 계층적으로 배치할 수 있다.

- [0003] 도 1은 DRAM의 데이터 버스 배치 구조를 나타낸 도면이다.
- [0004] 도 1을 참조하면, 뱅크는 다수의 메모리 셀 어레이의 매트릭스를 포함한다. 메모리 셀 어레이의 로우 방향으로 세그먼트 데이터 버스(sio<0:3>)가 배치되며, 세그먼트 데이터 버스(sio<0:3>)와 직교하는 컬럼 방향으로 로컬 데이터 버스(LIO 0 ~ LIO 15)가 배치된다. 세그먼트 데이터 버스(sio<0:3>)와 로컬 데이터 버스(LIO 0 ~ LIO 15)는 통상 차동 라인으로 구현된다.
- [0005] 한편, 도시되지는 않았지만 글로벌 데이터 버스(GIO 0 ~ GIO 15)는 뱅크 하단의 주변회로 영역에 로우 방향으로 배치되며, 메모리 셀 어레이와 글로벌 데이터 버스(GIO 0 ~ GIO 15) 사이에 컬럼 제어 블럭이 배치된다. 컬럼 제어 블럭에는 라이트 드라이버(WD)와 데이터버스 감지증폭기(IOSA)가 구비된다.
- [0006] 도 2a는 DRAM의 리드 동작시 데이터 전달 경로를 나타낸 도면이다.
- [0007] 도 2a를 참조하면, DRAM의 리드 동작시 데이터 전달 경로에는 메모리 셀(MC), 비트라인(BL, BLB), 비트라인 감지증폭기(BLSA), 세그먼트 데이터 버스(SIO, SIOB), 로컬 데이터 버스(LIO, LIOB), 데이터버스 감지증폭기(IOSA), 글로벌 데이터 버스(GIO)가 존재한다.
- [0008] 여기서, 비트라인(BL, BLB)과 비트라인 감지증폭기(BLSA) 사이에는 비트라인 분리신호(BISH)에 제어받는 2개의 NMOS 트랜지스터가 구비되며, 비트라인 감지증폭기(BLSA)와 세그먼트 데이터 버스(SIO, SIOB) 사이에는 컬럼 선택신호(Yi)에 제어받는 NMOS 트랜지스터가 구비되며, 세그먼트 데이터 버스(SIO, SIOB)와 로컬 데이터 버스(LIO, LIOB) 사이에는 입출력 스위치 제어신호(iosw)에 제어받는 2개의 NMOS 트랜지스터가 구비된다.
- [0009] 도 2b는 도 2a에 도시된 회로의 동작 파형도로서, 이하 도 2b를 참조하여 DRAM의 리드 동작을 간단히 살펴본다.
- [0010] 우선, 액티브 커맨드가 인가되면, 액티브 커맨드와 동시에 인가된 로우 어드레스를 디코딩하여 하나의 워드라인(WL)이 선택되어 활성화된다. 이에 따라, 해당 워드라인(WL)에 연결된 모든 메모리 셀(MC)의 셀 트랜지스터가 턴온되고, 셀 커패시터와 프리차지 상태의 비트라인(BL, BLB) 사이에 전하 공유(charge sharing)가 일어난다. 정 비트라인(BL)과 부 비트라인(BLB)은 전하 공유에 의해 미소 전압차를 갖게 된다.
- [0011] 이어서, 비트라인 감지증폭기(BLSA)가 인에이블 되어 정 비트라인(BL)과 부 비트라인(BLB)의 미소 전압차를 감지하고 이를 풀다운전원(SB) 및 풀업전원(RTO) 레벨로 증폭한다. 도면에는 정 비트라인(BL)이 접지전압(VSS) 레벨로 증폭되고 과 부 비트라인(BLB)이 코어전압(VCORE) 레벨로 증폭된 경우를 나타내고 있다.
- [0012] 한편, 액티브 커맨드 인가 시점으로부터 일정 시간(trCD) 이후에 리드 커맨드가 인가되고, 리드 커맨드와 동시에 인가된 컬럼 어드레스를 디코딩하여 하나의 비트라인이 선택된다. 즉, 선택된 비트라인에 대응하는 컬럼 선택신호(YI)가 활성화되어 그에 제어받는 2개의 NMOS 트랜지스터를 턴온시키고, 이에 따라 비트라인(BL, BLB)과 세그먼트 데이터 버스(SIO, SIOB)이 서로 연결되어 증폭된 비트라인(BL, BLB) 데이터가 세그먼트 데이터 버스(SIO, SIOB)로 전달된다.
- [0013] 이어서, 입출력 스위치 제어신호(iosw)가 활성화되어 그에 제어받는 2개의 NMOS 트랜지스터가 턴온되고, 그에 따라 세그먼트 데이터 버스(SIO, SIOB)에 실린 데이터가 로컬 데이터 버스(LIO, LIOB)로 전달된다.
- [0014] 또한, 리드 커맨드를 받아서 생성된 스트로브 신호(iostasb)가 활성화되면 데이터버스 감지증폭기(IOSA)가 인에이블 되어 로컬 데이터 버스(LIO, LIOB)에 실린 데이터를 감지 증폭하고, 감지증폭된 데이터에 대응하는 레벨로 글로벌 데이터 버스(GIO)를 구동한다.
- [0015] 한편, 비트라인 감지증폭기(BLSA)에서 증폭된 데이터는 비트라인 감지증폭기(BLSA)이 디스에이블 되기 전에 메모리 셀(MC)에 재저장되고, 비트라인(BL, BLB)은 다시 프리차지 상태로 돌아간다.
- [0016] 한편, 데이터버스 감지증폭기(IOSA)는 기본적으로 로컬 데이터 버스(LIO, LIOB)에 실린 데이터를 감지 증폭하기 위한 감지증폭회로가 구비되며, 감지증폭된 데이터에 대응하는 레벨로 글로벌 데이터 버스(GIO)를 구동하기 위한 글로벌 데이터 버스 구동회로가 부속된다.
- [0017] 도 3a는 데이터버스 감지증폭기(IOSA)에 구비된 감지증폭회로를 나타낸 회로도이다.
- [0018] 도 3a를 참조하면, 데이터버스 감지증폭기(IOSA)에 구비된 감지증폭회로는 통상 2단 증폭회로로 구현하고 있다. 제1 증폭회로(300A)는 전류 미러형 차동증폭기(평행 연결형)로 구현된다. 전류 미러형 차동증폭기는 제1 스트로브 신호(iostb1)에 제어받으며, 로컬 데이터 버스(LIO, LIOB)를 차동 입력단으로 한다. 한편, 제2 증폭회로(300B)는 CMOS 크로스 커플형 차동증폭기로 구현된다. CMOS 크로스 커플형 차동증폭기는 제2 스트로브 신호

(iostb2)에 제어받으며, 제1 증폭회로(300A)의 출력신호(d0, d0b)를 차동 입력으로 한다.

- [0019] 도 3b은 도 3a의 감지증폭회로의 동작 과정도로서, 이를 참조하면 감지증폭회로의 동작을 이해하는데 도움이 될 것이다.
- [0020] 입출력 스위치 제어신호(iosw)가 활성화되면 세그먼트 데이터 버스(SIO, SIOB)와 로컬 데이터 버스(LIO, LIOB)가 연결되어, 세그먼트 데이터 버스(SIO, SIOB)의 전위가 로컬 데이터 버스(LIO, LIOB)로 전달된다.
- [0021] 제1 스트로브 신호(iostb1)는 입출력 스위치 제어신호(iosw)가 활성화된 시점으로부터 tA만큼의 시간 이후에 활성화된다. tA는 제1 증폭회로(300A)가 로컬 데이터 버스(LIO, LIOB) 센싱하는데 충분한 미소 전압차(dV)를 가질 정도로 로컬 데이터 버스(LIO, LIOB)가 디벨롭되는데 소요되는 마진 타임이다.
- [0022] 또한, 제2 스트로브 신호(iostb2)는 제1 스트로브 신호(iostb1)가 활성화된 시점으로부터 tB만큼의 시간 이후에 활성화된다. tB는 제2 증폭회로(300B)를 위한 마진 타임이다.
- [0023] 한편, 로컬 데이터 버스(LIO, LIOB)가 전원전압(VDD) 레벨로 프리차지 되는 것과 마찬가지로 감지증폭회로의 출력단(out, outb) 역시 전원전압(VDD) 레벨로 프리차지 된다.
- [0024] 도 4는 데이터버스 감지증폭기(IOSA)에 부속된 글로벌 데이터 버스 구동회로의 회로도이다.
- [0025] 도 4를 참조하면, 글로벌 데이터 버스 구동회로는, 감지증폭회로의 정 출력신호(out)를 입력으로 하는 인버터(INV1)와, 인버터(INV1)의 출력신호를 입력으로 하는 인버터(INV2)와, 감지증폭회로의 부 출력신호(outb)를 입력으로 하는 인버터(INV3)와, 인버터(INV3)의 출력신호를 입력으로 하는 인버터(INV4)와, 인버터(INV4)의 출력신호를 입력으로 하는 인버터(INV5)와, 전원전압단(VDD)에 소오스가 접속되고 글로벌 데이터 버스(GIO)에 드레인이 접속되며 인버터(INV2)의 출력신호를 게이트 입력으로 하는 풀업 PMOS 트랜지스터(MP1)와, 접지전압단(VSS)에 소오스가 접속되고 글로벌 데이터 버스(GIO)에 드레인이 접속되며 인버터(INV5)의 출력신호를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN1)를 구비한다.
- [0026] 한편, 최근의 초고집적 DRAM에서는 2개 이상의 बैं크를 스택하여 회로 면적을 줄이는 스택 बैं크 구조가 적용되고 있다. 스택 बैं크 구조를 적용하면 디코딩 회로를 다수의 बैं크가 공유하여 전체 디코딩 회로의 면적을 크게 줄일 수 있다.
- [0027] 도 5는 스택 बैं크 구조를 가지는 DRAM의 리드 경로의 블록 다이어그램이다.
- [0028] 도 5를 참조하면, 2개의 बैं크가 컬럼 방향으로 스택되도록 배치되어 있다. 즉, 제1 बैं크(Bank0) 상부에 제2 बैं크(Bank1)가 배치되어 있다. 제2 बैं크(Bank1)에 대응하는 로컬 데이터 버스(LIO_UP)가 제1 बैं크(Bank0)를 가로질러 글로벌 데이터 버스(GIO)까지 배치되며, 제1 बैं크(Bank0)에 대응하는 로컬 데이터 버스(LIO_DN)가 글로벌 데이터 버스(GIO)까지 배치된다.
- [0029] 한편, 제1 बैं크(Bank0)와 글로벌 데이터 버스(GIO) 사이에는 제1 बैं크(Bank0)에 대응하는 제1 컬럼 제어부와, 제2 बैं크(Bank1)에 대응하는 제2 컬럼 제어부가 배치된다. 진술한 바와 같이 제1 및 제2 컬럼 제어부에는 각각 라이트 드라이버(WD)와 데이터버스 감지증폭기(IOSA)가 구비되는데, 본 발명은 데이터버스 감지증폭기(IOSA)에 부속된 데이터 버스 구동회로에 관한 것이므로 이하에서는 라이트 드라이버(WD)에 대해서는 언급하지 않기로 한다.
- [0030] 좀 더 자세히 살펴보면, 제1 컬럼 제어부에는 로컬 데이터 버스(LIO_DN)에 실린 데이터를 감지 증폭하기 위한 감지증폭회로(도 3a 참조)와 데이터 버스 구동회로(도 4 참조)가 구비되며, 제2 컬럼 제어부에도 로컬 데이터 버스(LIO_UP)에 실린 데이터를 감지 증폭하기 위한 감지증폭회로와 데이터 버스 구동회로가 별도로 구비된다.
- [0031] 이와 같이 종래의 스택 बैं크 구조에서는 컬럼 제어 블록의 데이터 버스 구동회로가 각 बैं크마다 별도로 구비되어 있어 컬럼 제어 블록의 면적이 크다는 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

- [0032] 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 스택 बैं크 구조에서 데이터 버스 구동회로에 소요되는 회로 면적을 최소화할 수 있는 반도체 메모리 소자를 제공하는데 그 목적이 있다.

과제 해결수단

- [0033] 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 컬럼 방향으로 스택되도록 배치된 다수의 뱅크; 상기 다수의 뱅크에 대응하는 글로벌 데이터 라인; 및 상기 다수의 뱅크 각각에 대응하는 다수의 로컬 데이터 라인에 실린 데이터를 다중화하여 상기 글로벌 데이터 라인에 전달하기 위한 공통 글로벌 데이터 라인 구동수단을 구비하는 반도체 메모리 소자가 제공된다.
- [0034] 또한, 본 발명의 다른 측면에 따르면, 제1 뱅크; 상기 제1 뱅크와 컬럼 방향으로 스택되도록 배치된 제2 뱅크; 상기 제1 및 제2 뱅크에 대응하는 글로벌 데이터 라인; 상기 제1 뱅크에 대응하는 제1 로컬 데이터 라인에 실린 데이터를 감지 증폭하기 위한 제1 감지증폭수단; 상기 제2 뱅크에 대응하는 제2 로컬 데이터 라인에 실린 데이터를 감지 증폭하기 위한 제2 감지증폭수단; 및 상기 제1 및 제2 감지증폭수단으로부터 출력된 데이터를 다중화하여 상기 글로벌 데이터 라인에 전달하기 위한 공통 글로벌 데이터 라인 구동수단을 구비하는 반도체 메모리 소자가 제공된다.
- [0035] 본 발명은 스택 뱅크 구조를 채택하는 반도체 메모리 소자에서 컬럼 제어 블록의 데이터 버스 구동회로를 다수의 스택된 뱅크가 공유하는 방식을 제안한다. 본 발명에서는 액티브 되지 않은 뱅크의 로컬 데이터 버스는 전원 전압(VDD) 레벨로 프리차지 되는 것을 이용하여 액티브 된 뱅크의 로컬 데이터 버스에 실린 데이터를 선택할 수 있어 비교적 간단하게 다수의 뱅크에 대한 다중화가 가능하다.

효과

- [0036] 상기와 같이 본 발명은 데이터 버스 구동회로의 공유를 통해 컬럼 제어 블록의 면적을 크게 줄일 수 있으며, 이로 인하여 전체적인 넷다이(net die) 증대 효과를 기대할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0037] 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.
- [0038] 도 6은 본 발명의 일 실시예에 따른 스택 뱅크 구조를 가지는 DRAM의 리드 경로의 블록 다이어그램이다.
- [0039] 도 6을 참조하면, 본 실시예에 따른 DRAM은, 컬럼 방향으로 스택되도록 배치된 다수의 뱅크(Bank0, Bank1)와, 스택된 다수의 뱅크(Bank0, Bank1)에 대응하는 글로벌 데이터 버스(GIO)와, 다수의 뱅크(Bank0, Bank1) 각각에 대응하는 다수의 로컬 데이터 버스(LIO_DN, LIO_UP)에 실린 데이터를 다중화하여 글로벌 데이터 버스(GIO)에 전달하기 위한 공통 글로벌 데이터 버스 구동회로를 구비한다.
- [0040] 도면에서는 제1 뱅크(Bank0) 상부에 제2 뱅크(Bank1)가 배치되는 2뱅크 스택 구조를 도시하고 있으나, 4개의 이상의 뱅크도 스택할 수 있다. 제2 뱅크(Bank1)에 대응하는 로컬 데이터 버스(LIO_UP)가 제1 뱅크(Bank0)를 가로질러 공통 데이터 버스 구동회로까지 배치되며, 제1 뱅크(Bank0)에 대응하는 로컬 데이터 버스(LIO_DN)가 공통 데이터 버스 구동회로까지 배치되어 있다.
- [0041] 즉, 본 실시예에서는 데이터 버스 구동회로를 각 뱅크마다 할당하지 않고, 스택된 다수의 뱅크가 공유하여 사용한다.
- [0042] 도 7은 감지증폭회로까지 고려한 DRAM의 리드 경로의 블록 다이어그램이다.
- [0043] 도 7을 참조하면, 도시된 DRAM은, 제1 뱅크(Bank0)와, 제1 뱅크(Bank0)와 컬럼 방향으로 스택되도록 배치된 제2 뱅크(Bank1)와, 제1 및 제2 뱅크(Bank0, Bank1)에 대응하는 글로벌 데이터 버스(GIO)와, 제1 뱅크(Bank0)에 대응하는 제1 로컬 데이터 버스(LIO_DN)에 실린 데이터를 감지 증폭하기 위한 제1 감지증폭회로(DBSA0)와, 제2 뱅크(Bank1)에 대응하는 제2 로컬 데이터 버스(LIO_UP)에 실린 데이터를 감지 증폭하기 위한 제2 감지증폭회로(DBSA1)와, 제1 및 제2 감지증폭회로(DBSA0, DBSA1)로부터 출력된 데이터를 다중화하여 글로벌 데이터 버스(GIO)에 전달하기 위한 공통 데이터 버스 구동회로(GIODRV_COM)를 구비한다.

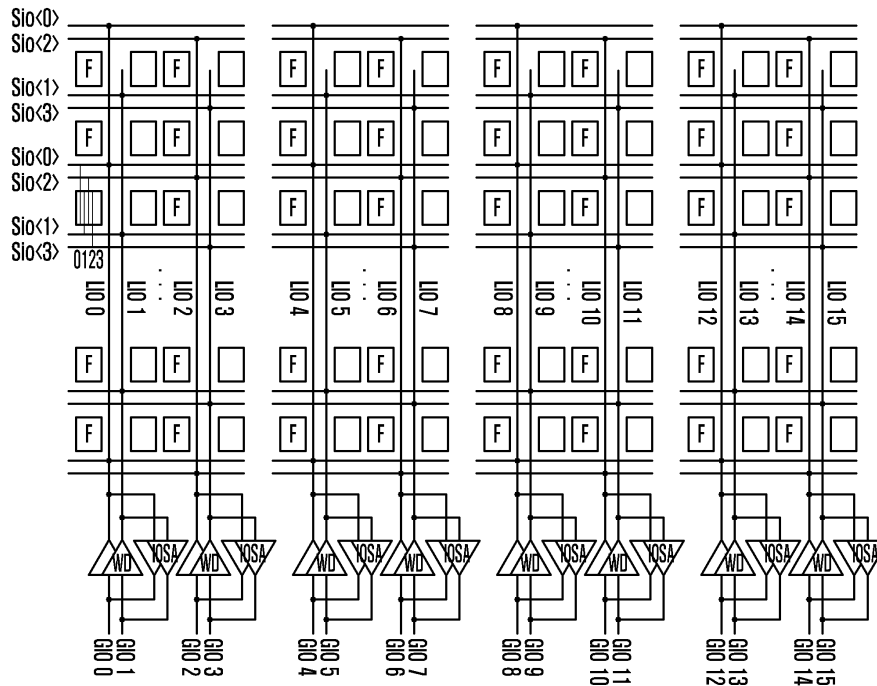
- [0044] 도 5에 도시된 종래기술과 비교할 때, 제1 감지증폭회로(DBSA0)와 제2 감지증폭회로(DBSA1)의 구성은 공히 도 3a에 도시된 바와 같이 종래와 동일하다. 다만, 데이터 버스 구동회로를 각 बैं크마다 할당하지 않고, 스택된 제 1 및 제2 बैं크(Bank0, Bank1)가 하나의 데이터 버스 구동회로를 공유하여 사용한다. 즉, 데이터 버스 구동회로 하나를 제거함으로써 그만큼의 회로 면적을 절약할 수 있게 되었다.
- [0045] 도 8은 도 7의 공통 데이터 버스 구동회로(GIODRV_COM)의 회로 구현예를 나타낸 도면이다.
- [0046] 도 8을 참조하면, 공통 데이터 버스 구동회로(GIODRV_COM)는, 제1 감지증폭회로(DBSA0)의 차동 출력신호(lio_dn, liob_dn) 및 제2 감지증폭회로(DBSA1)의 차동 출력신호(lio_up, liob_up)를 다중화하여 출력하기 위한 다중화부(800)와, 다중화부(800)의 출력신호를 버퍼링하기 위한 버퍼링부(810)와, 버퍼링부(810)의 출력신호에 응답하여 글로벌 데이터 버스(GIO)를 풀업/풀다운 구동하기 위한 구동부(820)를 구비한다.
- [0047] 다중화부(800)는 제1 감지증폭회로(DBSA0)의 정 출력신호(lio_dn)와 제2 감지증폭회로(DBSA1)의 정 출력신호(lio_up)를 입력으로 하는 낸드 게이트(NAND11)와, 제1 감지증폭회로(DBSA0)의 부 출력신호(liob_dn)와 제2 감지증폭회로(DBSA1)의 부 출력신호(liob_up)를 입력으로 하는 낸드 게이트(NAND12)를 구비한다.
- [0048] 버퍼링부(810)는 낸드 게이트(NAND11)의 출력신호를 입력으로 하는 인버터(INV11)와, 낸드 게이트(NAND12)의 출력신호를 입력으로 하는 인버터(INV12)와, 인버터(INV12)의 출력신호를 입력으로 하는 인버터(INV13)를 구비한다.
- [0049] 구동부(820)는 전원전압단(VDD)에 소오스가 접속되고 글로벌 데이터 버스(GIO)에 드레인이 접속되며 인버터(INV11)의 출력신호를 게이트 입력으로 하는 풀업 PMOS 트랜지스터(MP11)와, 접지전압단(VSS)에 소오스가 접속되고 글로벌 데이터 버스(GIO)에 드레인이 접속되며 인버터(INV13)의 출력신호를 게이트 입력으로 하는 풀다운 NMOS 트랜지스터(MN11)를 구비한다.
- [0050] 이하, 본 실시예에 따른 DRAM의 리드 동작을 간단히 살펴본다.
- [0051] 우선, 액티브 커맨드가 인가되어 제1 बैं크(Bank0)의 워드라인이 선택되어 활성화된 경우, 뒤이은 리드 커맨드에 의해 비트라인, 세그먼트 데이터 버스, 제1 로컬 데이터 버스(LIO_DN)로 데이터가 전달된다. 제1 로컬 데이터 버스(LIO_DN)에 실린 데이터는 제1 감지증폭회로(DBSA0)에 의해 감지 증폭되고, 이에 제1 감지증폭회로(DBSA0)의 차동 출력신호(lio_dn, liob_dn)는 감지 증폭된 데이터에 대응하는 레벨을 가질 것이다.
- [0052] 한편, 제1 로컬 데이터 버스(LIO_DN)에 대응하는 제2 बैं크(Bank1)의 제2 로컬 데이터 버스(LIO_UP)는 전원전압(VDD) 레벨로 프리차지 되어 있다. 즉, 제2 감지증폭회로(DBSA1)의 차동 출력신호(lio_up, liob_up)는 하이 레벨로 고정된다.
- [0053] 따라서, 다중화부(800)의 낸드 게이트(NAND11)는 제1 감지증폭회로(DBSA0)의 정 출력신호(lio_dn)를 반전시켜 출력하고, 낸드 게이트(NAND12)는 제1 감지증폭회로(DBSA0)의 부 출력신호(liob_dn)를 반전시켜 출력하게 된다. 즉, 제1 감지증폭회로(DBSA0)와 제2 감지증폭회로(DBSA1)의 출력신호 중에 제1 감지증폭회로(DBSA0)의 출력신호를 선택적으로 출력하게 되며, 구동부(820)는 그 출력신호에 대응하는 레벨로 글로벌 데이터 버스(GIO)를 구동하게 된다.
- [0054] 만일, 이와 반대로 제2 बैं크(Bank1)가 액티브 된 경우라면, 다중화부(800)는 제1 감지증폭회로(DBSA0)와 제2 감지증폭회로(DBSA1)의 출력신호 중에 제2 감지증폭회로(DBSA1)의 출력신호를 선택적으로 출력하게 된다.
- [0055] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.
- [0056] 예컨대, 전술한 실시예에서는 2개의 बैं크를 스택하는 경우를 일례로 들어 설명하였으나, 본 발명은 4개 이상의 짝수개의 बैं크를 스택하는 경우에도 적용된다.
- [0057] 또한, 전술한 실시예에서는 2개의 낸드 게이트를 이용하여 다중화부를 구현하는 경우를 일례로 들어 설명하였으나, 다중화부를 구현하는 방식은 이에 국한되지 않는다.
- [0058] 또한, 전술한 실시예에서는 DRAM의 경우를 일례로 들어 설명하였으나, 스택 बैं크 구조 및 계층적인 데이터 버스 구조를 가지는 다른 반도체 메모리 소자에도 본 발명을 적용할 수 있다.

도면의 간단한 설명

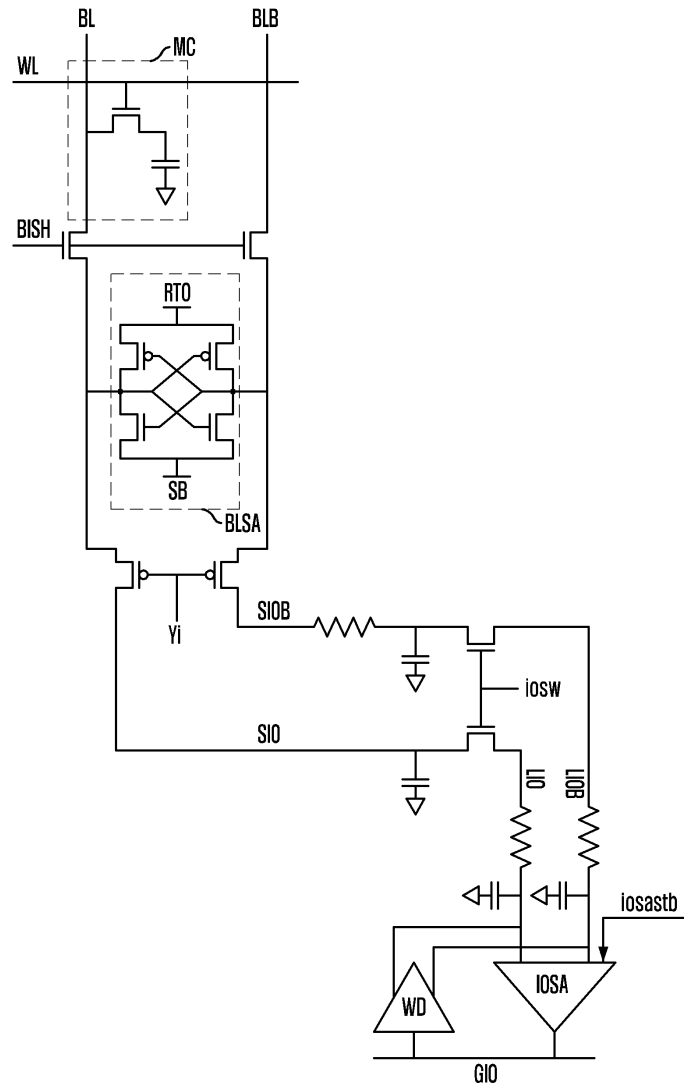
- [0059] 도 1은 DRAM의 데이터 버스 배치 구조를 나타낸 도면이다.
- [0060] 도 2a는 DRAM의 리드 동작시 데이터 전달 경로를 나타낸 도면이다.
- [0061] 도 2b는 도 2a에 도시된 회로의 동작 파형도이다.
- [0062] 도 3a는 데이터버스 감지증폭기(IOSA)에 구비된 감지증폭회로를 나타낸 회로도이다.
- [0063] 도 3b는 도 3a의 감지증폭회로의 동작 파형도이다.
- [0064] 도 4는 데이터버스 감지증폭기(IOSA)에 부속된 글로벌 데이터 버스 구동회로의 회로도이다.
- [0065] 도 5는 스택 뱅크 구조를 가지는 DRAM의 리드 경로의 블럭 다이어그램이다.
- [0066] 도 6은 본 발명의 일 실시예에 따른 스택 뱅크 구조를 가지는 DRAM의 리드 경로의 블럭 다이어그램이다.
- [0067] 도 7은 감지증폭회로까지 고려한 DRAM의 리드 경로의 블럭 다이어그램이다.
- [0068] 도 8은 도 7의 공통 데이터 버스 구동회로의 회로 구현예를 나타낸 도면이다.
- [0069] * 도면의 주요 부분에 대한 부호의 설명
- [0070] LIO_UP, LIO_DN: 로컬 데이터 버스
- [0071] GIO: 글로벌 데이터 버스
- [0072] GIODRV_COM: 공통 데이터 버스 구동회로

도면

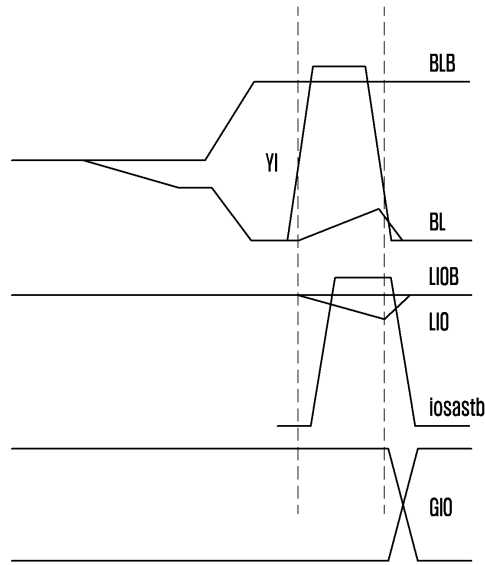
도면1



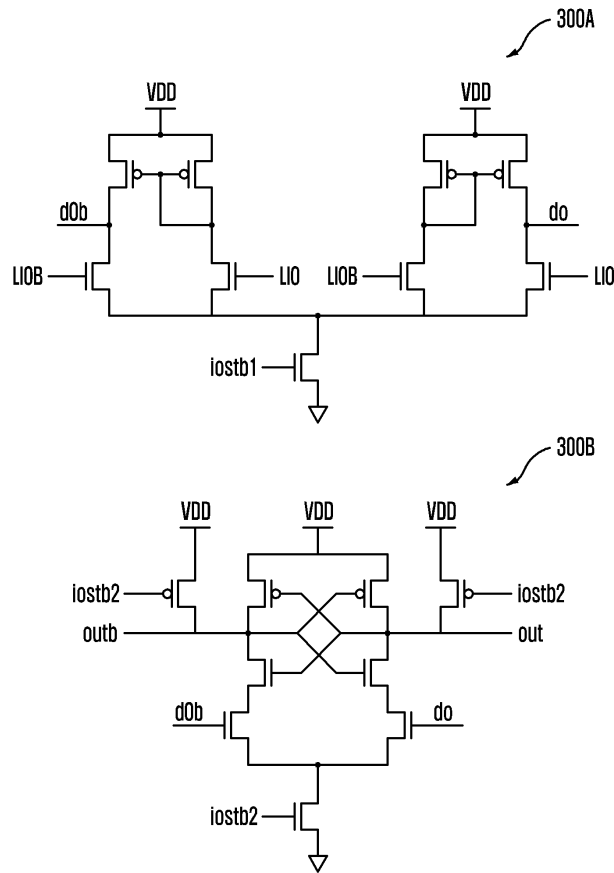
도면2a



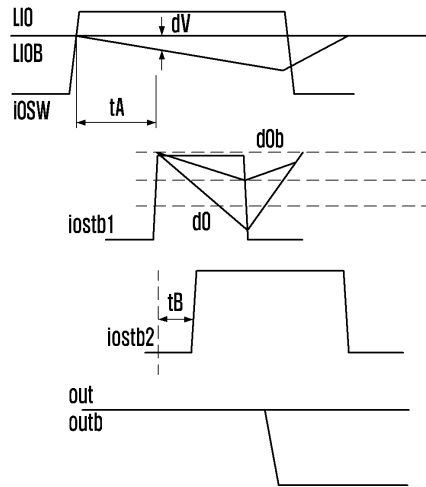
도면2b



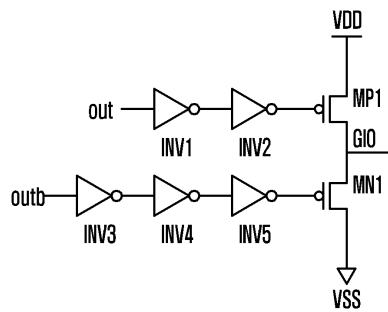
도면3a



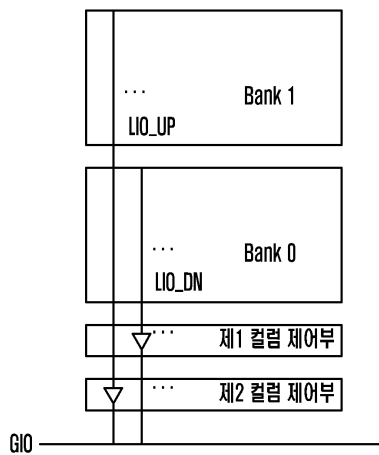
도면3b



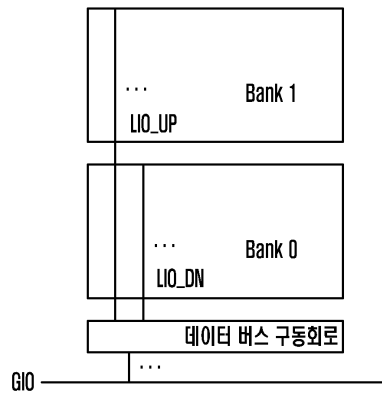
도면4



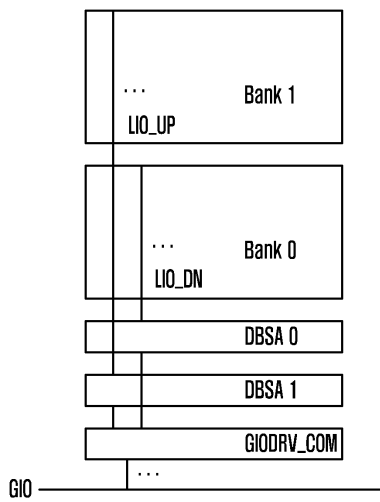
도면5



도면6



도면7



도면8

