

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-57157
(P2018-57157A)

(43) 公開日 平成30年4月5日(2018.4.5)

(51) Int.Cl. F I テーマコード (参考)
 HO2M 7/483 (2007.01) HO2M 7/483 5H770
 HO2M 7/487 (2007.01) HO2M 7/487

審査請求 有 請求項の数 2 O L (全 12 頁)

(21) 出願番号 特願2016-191007 (P2016-191007)
 (22) 出願日 平成28年9月29日 (2016.9.29)

(71) 出願人 591036457
 三菱電機エンジニアリング株式会社
 東京都千代田区九段北一丁目13番5号
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一
 (74) 代理人 100161171
 弁理士 吉田 潤一郎
 (74) 代理人 100188329
 弁理士 田村 義行
 (74) 代理人 100188514
 弁理士 松岡 隆裕

最終頁に続く

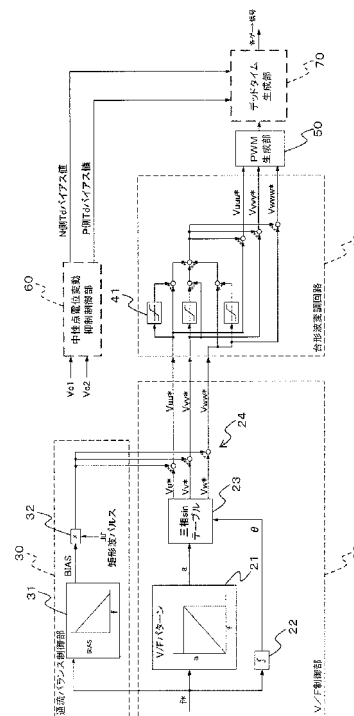
(54) 【発明の名称】 電力変換装置

(57) 【要約】

【課題】 中性点電位変動抑制制御と通流バランス制御との相互干渉を防止して、中性点電位の変動を抑制しつつ、通流バランスを確保することができる電力変換装置を得る。

【解決手段】 外部からの入力に基づいて、3レベルインバータに対する電圧指令値を演算する電圧指令演算部と、外部からの入力に基づいて、電圧指令値にあらかじめ設定された周期で正負の極性を切り替えながらバイアス値を加算する通流バランス制御部と、バイアス値が加算された電圧指令値を用いて、3レベルインバータのスイッチング素子に対するゲート信号を生成するPWM生成部と、正極側コンデンサおよび負極側コンデンサの電圧を正極側電圧および負極側電圧として検出する電圧検出部と、正極側電圧と負極側電圧との電位差に基づいて、電位差が小さくなるように、PWM生成部で生成されたゲート信号について、スイッチング素子のデッドタイムを設定するデッドタイム設定部とを備える。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

直流電源の正極側と負極側との間に互いに直列に接続され、接続点を中性点とする正極側コンデンサおよび負極側コンデンサを有し、前記直流電源からの直流電力を交流電力に変換してモータに供給する 3 レベルインバータと、

外部からの周波数指令または速度指令に基づいて、前記 3 レベルインバータに対する電圧指令値を演算する電圧指令演算部と、

前記外部からの周波数指令または速度指令に基づいて、前記電圧指令値にあらかじめ設定された周期で正負の極性を切り替えながらバイアス値を加算する通流バランス制御部と、

前記バイアス値が加算された前記電圧指令値に基づいて、前記 3 レベルインバータのスイッチング素子に対するゲート信号を生成する P W M 生成部と、

前記正極側コンデンサおよび前記負極側コンデンサの電圧を正極側電圧および負極側電圧として検出する電圧検出部と、

前記正極側電圧と前記負極側電圧との電位差に基づいて、前記電位差が小さくなるように、前記 P W M 生成部で生成された前記ゲート信号について、前記スイッチング素子のデッドタイムを設定するデッドタイム設定部と、

を備えた電力変換装置。

【請求項 2】

前記デッドタイム設定部は、前記 3 レベルインバータの各相について、前記スイッチング素子のデッドタイムを設定する

請求項 1 に記載の電力変換装置。

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、3 レベルインバータを用いた電力変換装置に関する。

【背景技術】**【0002】**

従来から、ゼロとプラス側との間で変化する三角波およびゼロとマイナス側との間で変化する三角波である 2 つの搬送波と、電圧指令値とを比較し、比較結果の大小関係に基づいて、スイッチング素子をオンまたはオフするためのゲート信号を生成し、ゲート信号に応じて 3 レベルインバータを制御する電力変換装置が知られている。

【0003】

また、3 レベルインバータを用いた電力変換装置において、直流電源の中性点電位の変動を抑制するために、電圧指令値に加算される中性点バイアス電圧を算出する中性点電位変動抑制制御部と、中性点バイアス電圧の極性を判定し、極性信号を出力する極性判定部と、ゲート信号があらかじめ設定された最小オンパルス幅を確保するために、中性点バイアス電圧が加算された電圧指令値に対して加算される値であり、極性信号に基づいて正負が決定されたオンパルスバイアス電圧を算出する最小オンパルス制御部と、を備えることで、中性点バイアス電圧とオンパルスバイアス電圧とが互いに干渉することを抑制することが提案されている（例えば、特許文献 1 参照）。

【0004】

ここで、3 レベルインバータにおいて、電圧指令値を定格直流電圧で規格化した変調率が 0.5 以下となった場合には、外側に配置された P / N 側素子の通流率に比べて、内側に配置された中性点側素子の通流率が大きくなる。

【0005】

そのため、例えば V / F 制御において、変調率が低い場合である低周波運転時には、中性点側素子に電流が集中し、インバータ装置として低周波領域で十分な電流を流すことができず、装置容量の低減率を大きくせざるを得ないという問題があった。そこで、低周波運転時における中性点側素子の通流率を改善する方法として、通流バランス制御が提案さ

10

20

30

40

50

れている（例えば、特許文献2参照）。

【0006】

通流バランス制御では、インバータの出力周波数に応じて、周波数が低いとき、すなわち変調率が小さいときほど振幅が大きくなる矩形波パルスを電圧指令値に加算することで、低周波運転時における中性点側素子の通流率とP/N側素子の通流率とを近づけて、通流バランスを確保している。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2013-110815号公報

10

【特許文献2】特開2006-14532号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、特許文献1の課題において、通流バランス制御を適用した場合であっても、中性点電位変動抑制制御および通流バランス制御が、ともに電圧指令値に対してバイアス値を加算する方法であることから、これらのバイアス値が互いに干渉してしまい、中性点電位が変動するとともに、制御が不安定になるという問題がある。

【0009】

この発明は、上記のような課題を解決するためになされたものであり、中性点電位変動抑制制御と通流バランス制御との相互干渉を防止して、中性点電位の変動を抑制するとともに、通流バランスを確保することができる電力変換装置を得ることを目的とする。

20

【課題を解決するための手段】

【0010】

この発明に係る電力変換装置は、直流電源の正極側と負極側との間に互いに直列に接続され、接続点を中性点とする正極側コンデンサおよび負極側コンデンサを有し、直流電源からの直流電力を交流電力に変換してモータに供給する3レベルインバータと、外部からの周波数指令または速度指令に基づいて、3レベルインバータに対する電圧指令値を演算する電圧指令演算部と、外部からの周波数指令または速度指令に基づいて、電圧指令値にあらかじめ設定された周期で正負の極性を切り替えながらバイアス値を加算する通流バランス制御部と、バイアス値が加算された電圧指令値に基づいて、3レベルインバータのスイッチング素子に対するゲート信号を生成するPWM生成部と、正極側コンデンサおよび負極側コンデンサの電圧を正極側電圧および負極側電圧として検出する電圧検出部と、正極側電圧と負極側電圧との電位差に基づいて、電位差が小さくなるように、PWM生成部で生成されたゲート信号について、スイッチング素子のデッドタイムを設定するデッドタイム設定部とを備えたものである。

30

【発明の効果】

【0011】

この発明に係る電力変換装置によれば、外部からの周波数指令または速度指令に基づいて、3レベルインバータに対する電圧指令値を演算する電圧指令演算部と、外部からの周波数指令または速度指令に基づいて、電圧指令値にあらかじめ設定された周期で正負の極性を切り替えながらバイアス値を加算する通流バランス制御部と、バイアス値が加算された電圧指令値に基づいて、3レベルインバータのスイッチング素子に対するゲート信号を生成するPWM生成部と、正極側コンデンサおよび負極側コンデンサの電圧を正極側電圧および負極側電圧として検出する電圧検出部と、正極側電圧と負極側電圧との電位差に基づいて、電位差が小さくなるように、PWM生成部で生成されたゲート信号について、スイッチング素子のデッドタイムを設定するデッドタイム設定部とを備えている。

40

そのため、中性点電位変動抑制制御と通流バランス制御との相互干渉を防止して、中性点電位の変動を抑制するとともに、通流バランスを確保することができる。

【図面の簡単な説明】

50

【 0 0 1 2 】

【 図 1 】 この発明の実施の形態 1 に係る電力変換装置の 3 レベルインバータを、直流電源およびモータとともに示す回路図である。

【 図 2 】 この発明の実施の形態 1 に係る電力変換装置の制御部を示すブロック構成図である。

【 図 3 】 (a) ~ (d) は、図 1 に示した 3 レベルインバータの一相分の回路動作モードを示す説明図である。

【 図 4 】 図 2 に示した中性点電位変動抑制制御部を示すブロック構成図である。

【 図 5 】 図 2 に示したデッドタイム生成部を示すブロック構成図である。

【 図 6 】 従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置におけるデッドタイムのシミュレーション結果を示す説明図である。

10

【 図 7 】 この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置におけるデッドタイムのシミュレーション結果を示す説明図である。

【 図 8 】 従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置における電位差のシミュレーション結果を示す説明図である。

【 図 9 】 この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置における電位差のシミュレーション結果を示す説明図である。

。

【 発明を実施するための形態 】

20

【 0 0 1 3 】

以下、この発明に係る電力変換装置の好適な実施の形態につき図面を用いて説明するが、各図において同一、または相当する部分については、同一符号を付して説明する。

【 0 0 1 4 】

まず、実施の形態の説明に先立って、この発明に係る電力変換装置の概要について説明する。この発明の電力変換装置は、3 レベルインバータの正極側コンデンサおよび負極側コンデンサの直流電圧を検出し、これらの電位差に応じて、中性点電位の変動を抑制するように、通常は固定値であるインバータのスイッチング素子のデッドタイムを変化させるものである。

【 0 0 1 5 】

30

具体的には、直流電圧をフィードバックし、直流電圧がバランスするように P I 制御を実施する。このとき、P I 制御器の出力は、デッドタイムの補正量となるので、直流電圧のアンバランス度合に応じて、デッドタイムを変化させる。これを、三相のそれぞれについて、個別に実行する。

【 0 0 1 6 】

このように、インバータのスイッチング素子のデッドタイムを変化させる中性点電位変動抑制制御を採用することで、中性点電位変動抑制制御と通流バランス制御とを両立させることができる。

【 0 0 1 7 】

40

また、中性点電位の変動を抑制することにより、直流電圧のアンバランスが改善されるので、コンデンサの耐圧や静電容量を必要以上に大きくすることなく、装置を小型化することができる。また、低周波運転時において、中性点側素子に電流が集中することがないので、装置容量の低減率を小さくすることができ、装置を小型化することができる。なお、この発明に係る電力変換装置は、V / F 制御、ベクトル制御等、制御種類によらず適用することができる。

【 0 0 1 8 】

実施の形態 1 .

図 1 は、この発明の実施の形態 1 に係る電力変換装置の 3 レベルインバータを、直流電源およびモータとともに示す回路図である。図 1 において、3 レベルインバータ 1 0 は、中性点が接地された直流電源 1 とモータ 2 とに接続されている。

50

【0019】

3レベルインバータ10は、直流電源1の正極側と負極側との間に互いに直列に接続され、接続点を中性点とする正極側コンデンサ11および負極側コンデンサ12と、一相あたり4個のスイッチング素子Q1～Q4で構成された三相分3レベルインバータとを備え、直流電源1からの直流電力を交流電力に変換してモータ2に供給する。

【0020】

ここで、3レベルインバータの一相分13を構成する4個のスイッチング素子は、中性点に双方向スイッチとして接続された2個の中性点素子Q3、Q4と、直流電源1の正極側と負極側との間に互いに直列に接続された正極側素子Q1および負極側素子Q2とを有し、これにより3レベルインバータを実現している。

10

【0021】

また、3レベルインバータ10には、正極側コンデンサ11および負極側コンデンサ12の電圧を正極側電圧Vc1および負極側電圧Vc2としてそれぞれ検出する電圧センサ14、15が設けられている。

【0022】

図2は、この発明の実施の形態1に係る電力変換装置の制御部を示すブロック構成図である。図2において、この制御部は、V/F制御部20、通流バランス制御部30、台形波変調回路40、PWM(Pulse Width Modulation:パルス幅変調)生成部50、中性点電位変動抑制制御部60およびデッドタイム生成部70から構成されている。

20

【0023】

V/F制御部20は、一般的なインバータ駆動でのモータ可変速制御を実現するものであり、モータ2の回転速度に応じた周波数指令 f^* を用いて、通流バランス制御後の電圧指令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* を出力する。また、V/F制御部20は、V/Fパターン21、積分器22、三相sinテーブル23および加算器24を有している。

【0024】

V/Fパターン21は、周波数 f と変調率 a との関係を記憶しており、入力された周波数指令 f^* に対して、変調率 a を出力する。ここで、V/F制御では、周波数 f と変調率 a とは比例の関係にあり、周波数 f が低い場合には、変調率 a も低くなる。積分器22は、周波数指令 f^* を積算して、位相角 θ を演算する。

30

【0025】

三相sinテーブル23は、変調率 a および位相角 θ と、電圧指令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* との関係を記憶しており、入力された変調率 a および位相角 θ に対して、三相の電圧指令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* を出力する。

【0026】

加算器24は、三相sinテーブル23から出力された電圧指令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* に、通流バランス制御部30から出力されたパルス状のバイアスを加算して、通流バランス制御後の電圧指令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* を出力する。

【0027】

通流バランス制御部30は、周波数指令 f^* を用いて、電圧指令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* に加算されるパルス状のバイアスを生成する。また、通流バランス制御部30は、バイアスパターン31と乗算器32とを有している。

40

【0028】

バイアスパターン31は、周波数 f とバイアス値との関係を記憶しており、入力された周波数指令 f^* に対して、バイアス値を出力する。ここで、周波数 f とバイアス値とは反比例の関係にあり、周波数 f が低い場合には、バイアス値が高くなる。乗算器32は、バイアスパターン31から出力されたバイアス値に、あらかじめ設定された周期で+側と-側とに振動する矩形波パルスを乗算して、パルス状のバイアスを生成する。

【0029】

台形波変調回路40は、V/F制御部20から出力された通流バランス制御後の電圧指

50

令値 V_{uu}^* 、 V_{vv}^* 、 V_{ww}^* に対して、正弦波のピーク部分を一定値にカットするよう変形して、台形波変調後の電圧指令値 V_{uuu}^* 、 V_{vvv}^* 、 V_{www}^* を出力する。

【0030】

また、台形波変調回路 40 は、三相それぞれの入力部にリミット回路 41 を有し、各相のリミット回路出力から元の信号を減算した値と、他の二相分のリミット回路出力からそれぞれ元の信号を減算した値とを加算した値に、元の信号を加算するように構成されている。これにより、ある相がリミット回路 41 にかかったとき、他の二相は線間電圧が変化しないように補正される。

【0031】

PWM生成部 50 は、台形波変調後の電圧指令値 V_{uuu}^* 、 V_{vvv}^* 、 V_{www}^* に基づいて、3レベルインバータ 10 のゲート信号を生成する。ここで、PWM生成部 50 は、ゼロとプラス側との間で変化する三角波およびゼロとマイナス側との間で変化する三角波である 2 つの搬送波と、電圧指令値とを比較し、比較結果に基づいて、スイッチング素子 $Q_1 \sim Q_4$ をオンまたはオフするためのゲート信号を生成する。

【0032】

ここで、一般的な PWM生成部の動作は、例えば特許文献 2 等に記載されているので、説明を省略する。なお、PWM生成部 50 から出力されるゲート信号には、デッドタイム T_d が含まれていないものとする。また、中性点電位変動抑制制御部 60 およびデッドタイム生成部 70 は、3レベルインバータ 10 を構成する 12 個のスイッチング素子のデッドタイム T_d を変化させることにより、中性点電位の変動を抑制する。

【0033】

以下、図 3 (a) ~ 図 3 (d) を参照しながら、3レベルインバータ 10 のスイッチング素子 $Q_1 \sim Q_4$ のデッドタイム T_d を変化させることにより、中性点電位の変動を抑制する方法について説明する。図 3 (a) ~ (d) は、図 1 に示した 3レベルインバータの一相分の回路動作特性を示す説明図である。説明をわかりやすくするため、一相分にのみ着目するが、実際の制御は 3相全て動作する。

【0034】

まず、図 3 (a) は、3レベルインバータ 10 の出力電流 (中性点電流) > 0 、かつスイッチング素子 Q_1 および Q_3 がスイッチングしている状態 (電圧指令 > 0) を示している。また、図 3 (a) において、実線はスイッチング素子 Q_1 がオン状態の電流経路を示し、点線はデッドタイム期間中の電流経路を示している。

【0035】

なお、デッドタイム期間中は、スイッチング素子 Q_1 および Q_3 がともにオフ状態で、スイッチング素子 Q_4 が常時オン状態であることから、ダイオード D_3 およびスイッチング素子 Q_4 を通って電流が流れる。

【0036】

また、図 3 (b) は、3レベルインバータ 10 の出力電流 < 0 、かつスイッチング素子 Q_1 および Q_3 がスイッチングしている状態 (電圧指令 > 0) を示している。また、図 3 (b) において、実線はスイッチング素子 Q_3 がオン状態の電流経路を示し、点線はデッドタイム期間中の電流経路を示している。なお、デッドタイム期間中は、スイッチング素子 Q_1 および Q_3 がともにオフ状態であることから、ダイオード D_1 を通って電流が流れる。

【0037】

また、図 3 (c) は、3レベルインバータ 10 の出力電流 > 0 、かつスイッチング素子 Q_2 および Q_4 がスイッチングしている状態 (電圧指令 < 0) を示している。また、図 3 (c) において、実線はスイッチング素子 Q_4 がオン状態の電流経路を示し、点線はデッドタイム期間中の電流経路を示している。なお、デッドタイム期間中は、スイッチング素子 Q_2 および Q_4 がともにオフ状態であることから、ダイオード D_2 を通って電流が流れる。

10

20

30

40

50

【 0 0 3 8 】

また、図 3 (d) は、3 レベルインバータ 1 0 の出力電流 < 0 、かつスイッチング素子 Q 2 および Q 4 がスイッチングしている状態 (電圧指令 > 0) を示している。また、図 3 (d) において、実線はスイッチング素子 Q 2 がオン状態の電流経路を示し、点線はデッドタイム期間中の電流経路を示している。

【 0 0 3 9 】

なお、デッドタイム期間中は、スイッチング素子 Q 2 および Q 4 がともにオフ状態で、スイッチング素子 Q 3 が常時オン状態であることから、ダイオード D 4 およびスイッチング素子 Q 3 を通って電流が流れる。

【 0 0 4 0 】

ここで、図 3 (a) および図 3 (b) より、スイッチング素子 Q 1 および Q 3 のデッドタイム期間中は、負極側コンデンサ 1 2 から放電するか、または正極側コンデンサ 1 1 に充電することが分かる。つまり、この場合には、正極側コンデンサ 1 1 の正極側電圧 V_{c1} が大きくなり、負極側コンデンサ 1 2 の負極側電圧 V_{c2} が小さくなること分かる。

【 0 0 4 1 】

また、図 3 (c) および図 3 (d) より、スイッチング素子 Q 2 および Q 4 のデッドタイム期間中は、負極側コンデンサ 1 2 に充電することが分かる。つまり、この場合には、負極側コンデンサ 1 2 の負極側電圧 V_{c2} が大きくなり、正極側コンデンサ 1 1 の正極側電圧 V_{c1} が小さくなること分かる。

【 0 0 4 2 】

そこで、上述した回路動作特性を考慮して、中性点電位変動抑制制御部 6 0 およびデッドタイム生成部 7 0 により、以下の条件を満たす制御系を構成する。

正極側電圧 $V_{c1} < 負極側電圧 V_{c2}$: スwitching素子 Q 1 および Q 3 のデッドタイム T_d を長くし、スイッチング素子 Q 2 および Q 4 のデッドタイム T_d を短くする。

正極側電圧 $V_{c1} > 負極側電圧 V_{c2}$: スwitching素子 Q 1 および Q 3 のデッドタイム T_d を短くし、スイッチング素子 Q 2 および Q 4 のデッドタイム T_d を長くする。

【 0 0 4 3 】

以下、図 4 および図 5 を参照しながら、中性点電位変動抑制制御部 6 0 およびデッドタイム生成部 7 0 の詳細な構成について説明する。図 4 は、図 2 に示した中性点電位変動抑制制御部を示すブロック構成図であり、図 5 は、図 2 に示したデッドタイム生成部を示すブロック構成図である。

【 0 0 4 4 】

図 4 において、中性点電位変動抑制制御部 6 0 は、減算器 6 1、PI 制御器 6 2、上下限リミッタ 6 3、加算器 6 4、上下限リミッタ 6 5、減算器 6 6、反転回路 6 7 および上下限リミッタ 6 8 を有している。

【 0 0 4 5 】

減算器 6 1 は、正極側電圧 V_{c1} と負極側電圧 V_{c2} との偏差 V を演算する。PI 制御器 6 2 は、偏差 V が零になるよう PI 制御を実行し、偏差 V にあらかじめ設定された係数 K を乗算してデッドタイム T_d の変化量を演算する。上下限リミッタ 6 3 は、デッドタイム T_d の変化量があらかじめ設定された範囲内に収まるよう、上下限値を制限する。

【 0 0 4 6 】

加算器 6 4 は、上下限値を制限されたデッドタイム T_d の変化量と、デッドタイム T_d の初期値 (通常 $3 \sim 5 \mu s e c$) とを加算する。上下限リミッタ 6 5 は、加算器 6 4 からの出力があらかじめ設定された範囲内に収まるよう、上下限値を制限して、N 側 T_d バイアス値として出力する。なお、N 側 T_d バイアス値は、スイッチング素子 Q 2 および Q 4 のデッドタイム T_d を変化させるために用いられる。

【 0 0 4 7 】

減算器 6 6 は、上下限値を制限されたデッドタイム T_d の変化量から、デッドタイム T_d の初期値を減算する。反転回路 6 7 は、減算器 6 6 からの出力に、 $- 1$ を掛けて符号を

10

20

30

40

50

反転させる。上下限リミッタ 68 は、反転回路 67 からの出力があらかじめ設定された範囲内に収まるよう、上下限値を制限して、P 側 Td バイアス値として出力する。なお、P 側 Td バイアス値は、スイッチング素子 Q1 および Q3 のデッドタイム Td を変化させるために用いられる。

【0048】

ここで、PI 制御器 62 は、偏差 V に応じて、デッドタイム補正量を計算する。例えばある偏差 V の場合に、PI 制御器 62 の出力が $1\ \mu\text{sec}$ であるとし、デッドタイム Td の初期値が $5\ \mu\text{sec}$ であるとする、N 側 Td バイアス値は $6\ \mu\text{sec}$ となり、P 側 Td バイアス値は $4\ \mu\text{sec}$ となる。なお、上下限リミッタ 63、65、68 が設けられているのは、デッドタイム Td の変化量が極端に大きい場合や極端に小さい場合に、デッドタイムの可変範囲を制限するためである。

10

【0049】

図 5 において、デッドタイム生成部 70 には、PWM 生成部 50 からスイッチング素子 Q1 ~ Q4 に対するデッドタイム Td を含まないゲート信号が入力される。ここで、デッドタイム生成部 70 は、スイッチング素子 Q1 ~ Q4 それぞれについて同等の回路が設けられているので、ここでは、Q1 ゲート信号について説明する。

【0050】

デッドタイム生成部 70 は、積分器 71、NOT 回路 72、コンパレータ 73 および AND 回路 74 を有している。積分器 71 は、演算周期毎に 1 ずつカウントアップした値を出力する。NOT 回路 72 は、入力側の Q1 ゲート信号がオフになった場合に、積分器 71 のカウント値をリセットする。

20

【0051】

コンパレータ 73 は、積分器 71 からの出力が P 側 Td バイアス値よりも大きくなった場合に、オンとなる信号を出力する。AND 回路 74 は、デッドタイム Td を含まない Q1 ゲート信号とコンパレータ 73 から出力されたデッドタイム Td を含む信号との論理積をとって、デッドタイム Td を含む Q1 ゲート信号を出力する。

【0052】

ここで、P 側 Td バイアス値が $4\ \mu\text{sec}$ である場合には、AND 回路 74 から出力される Q1 ゲート信号および Q3 ゲート信号のデッドタイム Td が $4\ \mu\text{sec}$ となるので、 $5\ \mu\text{sec}$ であるデッドタイム Td の初期値よりも短くなっていることが分かる。

30

【0053】

また、同様にして、N 側 Td バイアス値が $6\ \mu\text{sec}$ である場合には、AND 回路 74 から出力される Q2 ゲート信号および Q4 ゲート信号のデッドタイム Td が $6\ \mu\text{sec}$ となるので、 $5\ \mu\text{sec}$ であるデッドタイム Td の初期値よりも長くなっていることが分かる。

【0054】

すなわち、例えば正極側電圧 V_{c1} と負極側電圧 V_{c2} との偏差 V があり、正極側電圧 $V_{c1} > 負極側電圧 V_{c2}$ となっている場合には、スイッチング素子 Q1 および Q3 のデッドタイム Td を短くして、スイッチング素子 Q2 および Q4 のデッドタイム Td を長くすることで、偏差 V が零に近づくことが分かる。

40

【0055】

次に、図 6 ~ 図 9 を参照しながら、この発明の実施の形態 1 に係る電力変換装置のシミュレーション結果について、特許文献に示した従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用したものと、この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用したものとを比較して説明する。

【0056】

図 6 は、従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置におけるデッドタイムのシミュレーション結果を示す説明図である。また、図 7 は、この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置におけるデッドタイムのシミュレーション結果を示す説明図である

50

。

【 0 0 5 7 】

図 6 および図 7 において、従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置では、P 側 T d の時間と N 側 T d の時間とがほぼ同じであることが分かる。これに対して、この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置では、P 側 T d バイアス値が N 側 T d バイアス値よりも大きくなるように制御することで、N 側 T d の時間よりも、P 側 T d の時間のほうが長くなっていることが分かる。

【 0 0 5 8 】

図 8 は、従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置における電位差のシミュレーション結果を示す説明図である。また、図 9 は、この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置における電位差のシミュレーション結果を示す説明図である。

10

【 0 0 5 9 】

図 8 および図 9 において、従来の中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置では、正極側電圧 V_{c1} と負極側電圧 V_{c2} との偏差 V がバランスしていないことが分かる。これは、中性点電位変動抑制制御と通流バランス制御とが相互干渉しているためである。これに対して、この発明の実施の形態 1 に係る中性点電位変動抑制制御と通流バランス制御とを同時に適用した電力変換装置では、正極側電圧 V_{c1} と負極側電圧 V_{c2} との電差 V がバランスしていることが分かる。

20

【 0 0 6 0 】

以上のように、実施の形態 1 によれば、外部からの周波数指令または速度指令に基づいて、3 レベルインバータに対する電圧指令値を演算する電圧指令演算部と、外部からの周波数指令または速度指令に基づいて、電圧指令値にあらかじめ設定された周期で正負の極性を切り替えながらバイアス値を加算する通流バランス制御部と、バイアス値が加算された電圧指令値に基づいて、3 レベルインバータのスイッチング素子に対するゲート信号を生成する PWM 生成部と、正極側コンデンサおよび負極側コンデンサの電圧を正極側電圧および負極側電圧として検出する電圧検出部と、正極側電圧と負極側電圧との電位差に基づいて、電位差が小さくなるように、PWM 生成部で生成されたゲート信号について、スイッチング素子のデッドタイムを設定するデッドタイム設定部とを備えている。

30

そのため、中性点電位変動抑制制御と通流バランス制御との相互干渉を防止して、中性点電位の変動を抑制するとともに、通流バランスを確保することができる。

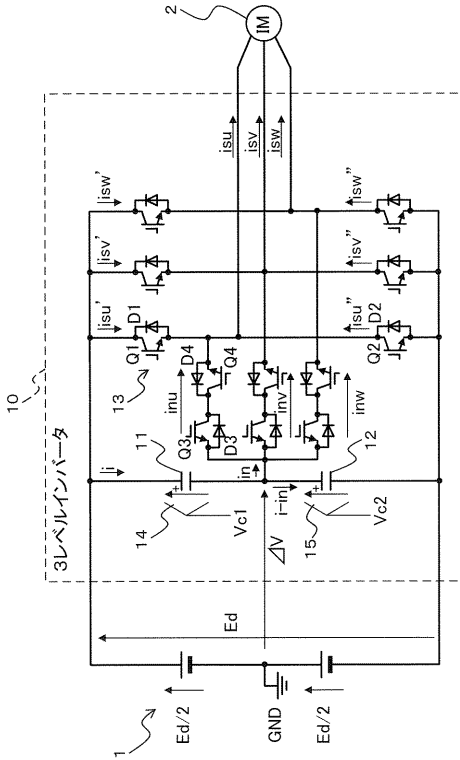
【 符号の説明 】

【 0 0 6 1 】

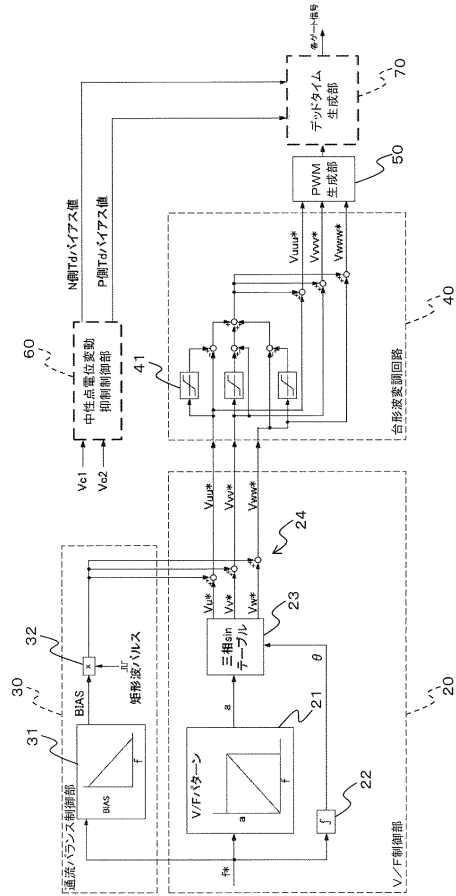
1 直流電源、2 モータ、10 3 レベルインバータ、11 正極側コンデンサ、12 負極側コンデンサ、13 3 レベルインバータ相分、14、15 電圧センサ（電圧検出部）、20 V/F 制御部（電圧指令演算部）、21 V/F パターン、22 積分器、23 三相 \sin テーブル、24 加算器、30 通流バランス制御部、31 バイアスパターン、32 乗算器、40 台形波変調回路、41 リミット回路、50 生成部、60 中性点電位変動抑制制御部（デッドタイム設定部）、61 減算器、62 PI 制御器、63 上下限リミッタ、64 加算器、65 上下限リミッタ、66 減算器、67 反転回路、68 上下限リミッタ、70 デッドタイム生成部（デッドタイム設定部）、71 積分器、72 NOT 回路、73 コンパレータ、74 AND 回路。

40

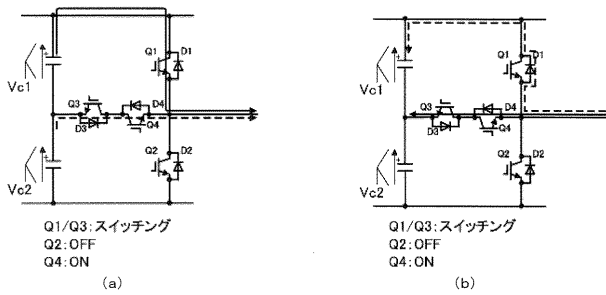
【図1】



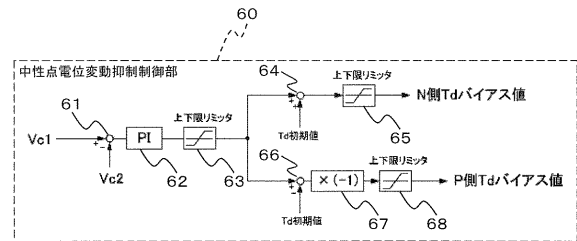
【図2】



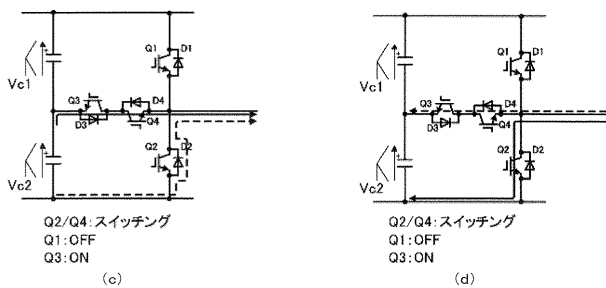
【図3】



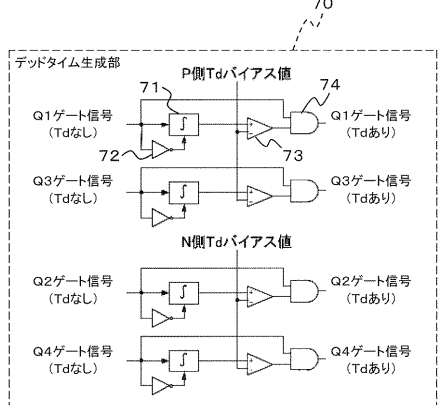
【図4】



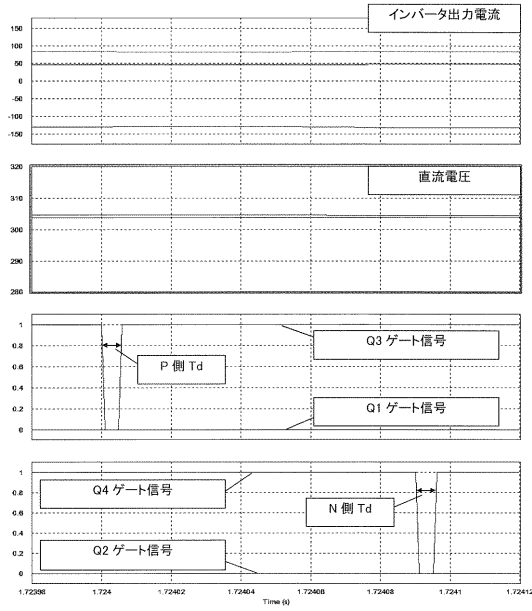
【図5】



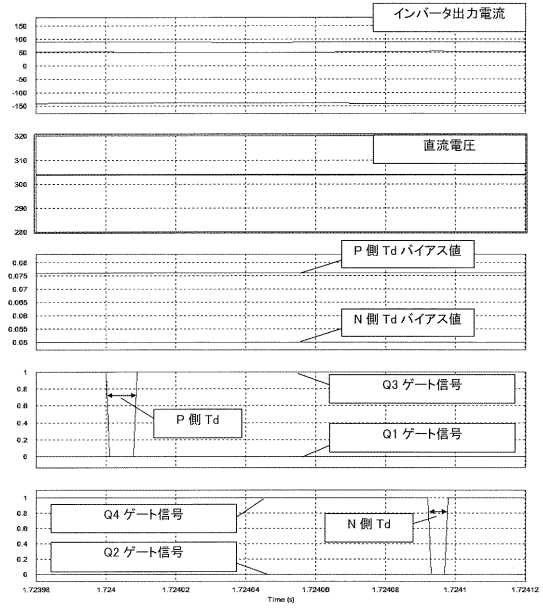
【図5】



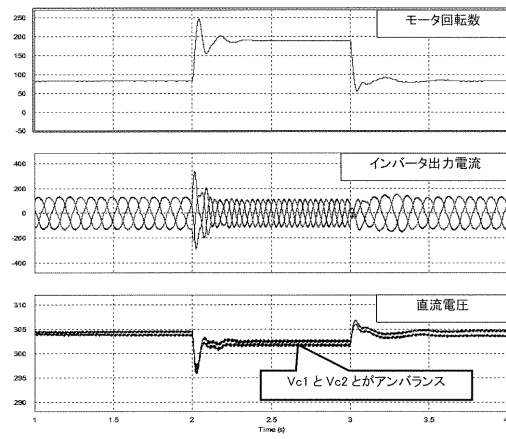
【 図 6 】



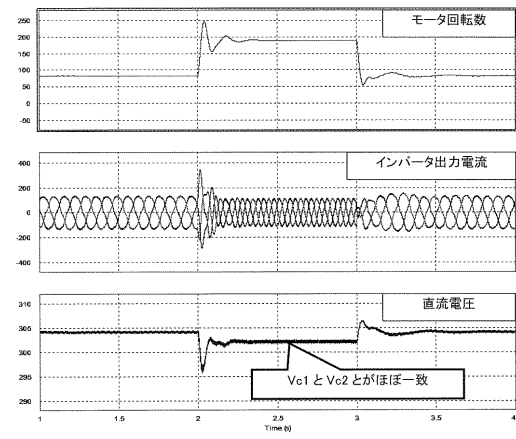
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

(74)代理人 100090011

弁理士 茂泉 修司

(74)代理人 100194939

弁理士 別所 公博

(74)代理人 100206782

弁理士 佐藤 彰洋

(72)発明者 菅原 正宏

東京都千代田区九段北一丁目13番5号 三菱電機エンジニアリング株式会社内

(72)発明者 鳥越 勝己

東京都千代田区九段北一丁目13番5号 三菱電機エンジニアリング株式会社内

Fターム(参考) 5H770 AA15 BA01 DA03 DA34 DA41 EA03 EA25 GA13 GA17 GA19

HA03W JA03X KA03Z LB02