

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205901

(P2008-205901A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.

H03K 4/06 (2006.01)

F I

H03K 4/06

H

テーマコード (参考)

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願2007-40569 (P2007-40569)
 (22) 出願日 平成19年2月21日 (2007.2.21)

(71) 出願人 000002325
 セイコーインスツル株式会社
 千葉県千葉市美浜区中瀬1丁目8番地
 (74) 代理人 100079212
 弁理士 松下 義治
 (72) 発明者 出口 充康
 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内

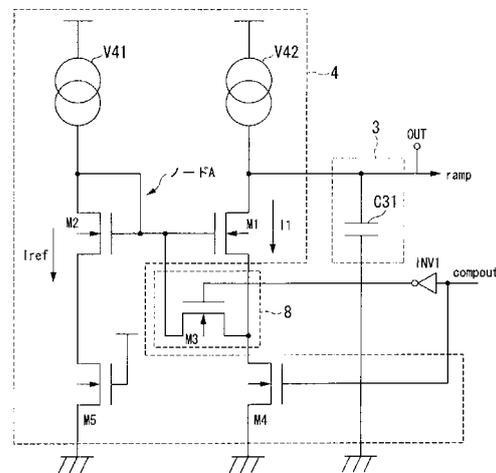
(54) 【発明の名称】 三角波生成回路

(57) 【要約】

【課題】 放電開始信号の入力から実際に放電が開始されるまでのタイムラグを低減することを可能とした三角波生成回路を提供する。

【解決手段】 三角波発振回路の充放電回路が、比較回路からの切換信号を反転する反転回路と、容量からの放電の基準電位である放電基準電位を生成する放電基準電位生成回路と、第1の電流源回路と容量との接続点にドレインが接続され、放電基準電位生成回路が生成した放電基準電位にゲートが接続された第1のNMOSトランジスタと、反転回路を介して切換信号がゲートに入力され、第1のNMOSトランジスタのゲートにドレインが接続され、第1のNMOSトランジスタのソースにソースが接続された第2のNMOSトランジスタと、切換信号がゲートに入力され、第1のNMOSトランジスタのソースと第2のNMOSトランジスタのソースとの接続点にドレインが接続され、ソースが接地された第3のNMOSトランジスタと、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

電流を発生する第 1 の電流源回路と、
 容量と、
 複数の基準電圧を発生する基準電圧回路と、
 前記容量の電圧と前記基準電圧とを比較し、前記比較の結果に応じて前記容量への充電と放電とを切り換える切換信号を出力する比較回路と、
 前記比較回路の切換信号に応じて、前記第 1 の電流源回路により規定された電流を、前記容量に充電または前記容量から放電する充放電回路と、
 前記比較回路の切換信号に応じて前記複数の基準電圧を切り換えるスイッチ回路と、
 を有することを特徴とする三角波発振回路であり、
 前記充放電回路が、
 前記比較回路からの切換信号を反転する反転回路と、
 前記容量からの放電の基準電位である放電基準電位を生成する放電基準電位生成回路と

10

、
 前記第 1 の電流源回路と前記容量との接続点にドレインが接続され、放電基準電位生成回路が生成した放電基準電位にゲートが接続された第 1 の N M O S トランジスタと、
 前記反転回路を介して前記切換信号がゲートに入力され、前記第 1 の N M O S トランジスタのゲートにドレインが接続され、前記第 1 の N M O S トランジスタのソースにソースが接続された第 2 の N M O S トランジスタと、
 前記切換信号がゲートに入力され、前記第 1 の N M O S トランジスタのソースと前記第 2 の N M O S トランジスタのソースとの接続点にドレインが接続され、ソースが接地された第 3 の N M O S トランジスタと、
 を有することを特徴とする三角波発振回路。

20

【請求項 2】

前記充放電回路が、
 前記容量への充電時には、
 前記第 2 の N M O S トランジスタが導通状態となり、前記第 3 の N M O S トランジスタが非導通状態となることにより、前記第 1 の N M O S トランジスタのソースとゲートとの電位が前記放電基準電位と同じとなり、前記第 1 の N M O S トランジスタのドレインとソースとが非導通状態となることにより、前記第 1 の電流源回路からの電流により前記容量を充電する、
 ことを特徴とする請求項 1 に記載の三角波発振回路。

30

【請求項 3】

前記充放電回路が、
 前記容量からの放電時には、
 前記第 2 の N M O S トランジスタが非導通状態となり、前記第 3 の N M O S トランジスタが導通状態になることにより、前記第 1 の N M O S トランジスタのソースの電位がゲートの放電基準電位より下がり、前記第 1 の N M O S トランジスタのドレインとソースとが導通状態となることにより、前記容量から放電する、
 ことを特徴とする請求項 1 または請求項 2 に記載の三角波発振回路。

40

【請求項 4】

前記放電基準電位生成回路が、
 電流を発生する第 2 の電流源回路と、
 前記第 2 の電流源回路にドレインが接続された第 4 の N M O S トランジスタと、
 前記第 4 の N M O S トランジスタのソースにドレインが接続され、ソースが接地され、ゲートに前記電源電圧が印加される第 5 の N M O S トランジスタと、
 を有し、
 前記第 4 の N M O S トランジスタのゲートが前記前記第 1 の N M O S トランジスタのゲートに接続され、

50

前記第 2 の電流源回路のドレインと前記第 4 の N M O S トランジスタのドレインとの接続点が、前記 4 の N M O S トランジスタのゲートと前記前記第 1 の N M O S トランジスタのゲートとの接続点に接続される、

ことを特徴とする請求項 1 から請求項 3 に記載の三角波発振回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三角波生成回路に関し、特に、容量を定電流で充電し、充電電位と基準電圧をコンパレータで比較する事で容量への充放電を制御する三角波生成回路に関する。

【背景技術】

【0002】

容量を定電流で充電し、その充電電位と基準電圧をコンパレータで比較する事で前記容量への充放電を制御する方法で三角波を得る装置（以降、三角波生成回路とする）が知られている（特許文献 1 参照）。

【0003】

この三角波生成回路においては、基準電圧には高電位（以降、 V_H とする）と低電位（以降、 V_L とする）とが存在し、基準電圧を基準電圧 V_H と基準電圧 V_L とからいずれか一方を選択する切換器により、基準電圧 V_H と基準電圧 V_L とのいずれか一方が選択され、選択された基準電圧がコンパレータに入力されるようになっている。

【0004】

この三角波生成回路において、基準電圧 V_H がコンパレータに入力されている時は、容量は充電のフェーズにあり、容量の電位が基準電圧 V_H に達するとコンパレータが反応し、容量から電荷の放電が行なわれるように制御され、また、コンパレータへ入力される基準電圧は基準電圧 V_L に切り換えられる。

【0005】

次に、容量の電位が放電により基準電圧 V_L まで低下すると、再びコンパレータが反応し、再度、容量への充電が行なわれるように制御され、また、コンパレータへ入力される基準電圧 V_H に切り換えられる。

三角波生成回路は、以上の動作を繰り返すことにより、三角波を生成する。

【0006】

次に、この特許文献 1 に示す三角波生成回路を、図 3 と図 4 とを用いて、詳細に説明する。

まず、図 3 を用いて三角波発生回路 1 の構成について説明する。三角波発生回路 1 は、電源電圧に比例した電流を発生する電流源回路 2 と、容量 3 と、充放電回路 4 と、電源電圧に比例した第 1 の基準電圧 V_H および電源電圧に比例した第 2 の基準電圧 V_L を発生する基準電圧回路 5 と、比較回路 6 と、スイッチ制御回路 7 と第 1 のスイッチ回路 8 と、第 2 のスイッチ回路 9 と、出力端子 O U T とで構成される。出力端子 O U T からは三角波信号が出力される。図中の A、B、E、F、G、J はそれぞれ信号配線とする。以下、各信号配線の電位を V_A 、 V_B 、 \dots 、 V_J と表し、また各信号配線を伝わる信号をそれぞれ A、B、 \dots 、J のように表す。

【0007】

図 3 の構成において、電流源回路 2 は電源電圧に比例した電流を発生する回路である。電流源回路 2 で発生した電流は、信号配線 A を介して、充放電回路 4 が発生する充放電電流を規定する。充放電回路 4 が発生する充放電電流によって容量 3 は充放電される。容量 3 の電圧端子は出力端子 O U T と比較回路 6 の入力的一方である非反転入力端子に接続される。基準電圧回路 5 は電源電圧に比例した第 1 の基準電圧 V_H と、電源電圧に比例した第 2 の基準電圧 V_L とを発生する。ここに第 1 の基準電圧 V_H は第 2 の基準電圧 V_L よりも高い電圧とする。第 1 の基準電圧 V_H と、第 2 の基準電圧 V_L は第 2 のスイッチ回路 9 に入力される。第 2 のスイッチ回路 9 の出力は比較回路 6 の入力のもう一方である反転入力端子に接続される。比較回路 6 の出力はスイッチ制御回路 7 の入力に接続される。スイ

10

20

30

40

50

タッチ制御回路 7 の出力の一方は、第 1 のスイッチ回路 8 の入力に接続され、もう一方の出力は、第 2 のスイッチ回路 9 の入力に接続される。第 1 のスイッチ回路 8 の出力は充放電回路 4 に接続され、充放電回路 4 の充電と放電の切り換えの制御を行う。第 2 のスイッチ回路 9 の出力は比較回路 6 の入力のもう一方である反転入力端子に接続されており、配線 E の電圧 V_E を第 1 の基準電圧 V_H にするか第 2 の基準電圧 V_L にするか切り換えの制御を行う。

【 0 0 0 8 】

次に図 3 の各構成の動作を説明する。ここで V_{DD} を電源電圧、 V_{SS} を接地電圧とする。電流源回路 2 が発生する電流を I_2 とする。 I_2 は電源電圧に比例して変化する電流である。

10

【 0 0 0 9 】

電流源回路 2 が発生する電流 I_2 は、信号配線 A を介して、充放電回路 4 が発生する充放電電流を規定する。充放電回路 4 が発生する充放電電流を I_4 とする。充電時には充放電電流 I_4 により容量 3 に電荷が蓄積され、容量 3 の電圧、すなわち出力端子 OUT の電圧 V_{OUT} が上昇する。

【 0 0 1 0 】

比較回路 6 は、反転入力端子に入力される配線 E の電圧 V_E と非反転入力端子に入力される電圧 V_{OUT} とを比較して信号 F を出力する。ここに比較回路 6 の出力信号 F は、 $V_{OUT} < V_E$ であるときにローレベル、 $V_{OUT} > V_E$ であるときにハイレベルである信号となる。ここにハイレベルとは電位が V_{DD} 、ローレベルとは電位が V_{SS} であることを表すものとする。比較回路 6 が出力した信号 F はスイッチ制御回路 7 に入力される。

20

【 0 0 1 1 】

スイッチ制御回路 7 は、比較回路 6 からの信号 F に応じて、信号 G および J を出力する。信号 G は、信号 F がローレベルである時にハイレベルであり、信号 F がハイレベルである時にローレベルである信号とする。また信号 J は、信号 F がローレベルである時にローレベルであり、信号 F がハイレベルである時にハイレベルである信号とする。

【 0 0 1 2 】

スイッチ制御回路 7 が出力した信号 G は第 1 のスイッチ回路 8 に入力される。第 1 のスイッチ回路 8 は充放電回路 4 の充電と放電の切り換えの制御を行う。信号 G がハイレベルである時に充放電回路 4 は容量 3 の充電を行い、信号 G がローレベルである時に充放電回路 4 は容量 3 の放電を行うものとする。

30

【 0 0 1 3 】

基準電圧回路 5 は第 1 の基準電圧 V_H と、第 2 の基準電圧 V_L とを発生する。ここに、第 1 の基準電圧 V_H と、第 2 の基準電圧 V_L は、それぞれ電源電圧に比例して変化する電圧である。第 1 の基準電圧 V_H と、第 2 の基準電圧 V_L は第 2 のスイッチ回路 9 に入力される。また第 2 のスイッチ回路 9 には、スイッチの制御を行う信号 J が入力され、配線 E の電圧 V_E を第 1 の基準電圧 V_H にするか第 2 の基準電圧 V_L にするか切り換えの制御を行う。ここに第 2 のスイッチ回路 9 は、信号 J がローレベルである時に $V_E = V_H$ であり、信号 J がハイレベルである時に $V_E = V_L$ であるように動作するものとする。第 2 のスイッチ回路 9 が出力した配線 E の電圧は、比較回路 6 の反転入力端子に入力される。

40

【 0 0 1 4 】

次に、以上のように構成された図 3 の三角波発生回路 1 の動作について説明する。

【 0 0 1 5 】

$V_{OUT} < V_E$ である場合には、比較回路 6 の出力信号 F はローレベルとなり、スイッチ制御回路 7 が出力する信号 G はハイレベル、信号 J はローレベルとなる。信号 J がローレベルの場合には、 $V_E = V_H$ となるように第 2 のスイッチ回路 9 は制御される。また、信号 G がハイレベルである場合には第 1 のスイッチ回路 8 は充放電回路 4 が容

50

量 3 の充電を行うように充放電回路 4 を制御する。従って大きさ I_4 の充電電流により容量 3 に電荷が蓄積され、容量 3 の電圧、すなわち出力端子 OUT の電圧 V_{OUT} は時間の経過と共に上昇する。 V_{OUT} の電圧が上昇し、 $V_E = V_H$ よりも高い電圧になると、 $V_{OUT} > V_E$ となり、比較回路 6 の出力信号 F はローレベルからハイレベルに変化する。信号 F のハイレベルへの変化に伴い、信号 G はハイレベルからローレベルへ、信号 J はローレベルからハイレベルへ変化する。信号 J がハイレベルの場合、 $V_E = V_L$ となるように第 2 のスイッチ回路 9 は制御される。また、信号 G がローレベルである場合には第 1 のスイッチ回路 8 は充放電回路 4 が容量 3 の放電を行うように充放電回路 4 を制御する。従って大きさ I_4 の放電電流により容量 3 に蓄積された電荷は放電され、容量 3 の電圧、すなわち出力端子 OUT の電圧 V_{OUT} は時間の経過と共に下降する。 V_{OUT} の電圧が下降し、 $V_E = V_L$ よりも低い電圧になると、 $V_{OUT} < V_E$ となるため、上述の通り、 V_{OUT} は時間の経過と共に上昇する。以降、この動作を繰り返し、 V_{OUT} は三角波状に変化する。

10

【0016】

次に、図 4 を用いて、図 3 の三角波発生回路 1 の構成に対する一例としての回路について説明する。図 4 の 1 ~ 9 および各配線は、それぞれ図 3 の 1 ~ 9 および各配線に対応しており、各配線の信号に対する図 4 の 1 ~ 9 の回路の動作は図 3 の回路の動作と対応している。また、図 4 の 10 は電源電圧端子、11 は接地電圧端子である。ここに、電源電圧を V_{DD} 、接地電圧を $V_{SS} = GND$ とする。

20

【0017】

図 4 において、電流源回路 2 は、抵抗 21、抵抗 22、抵抗 26、オペアンプ 23、PMOS トランジスタ 24、NMOS トランジスタ 25 とで構成される。抵抗 21 と抵抗 22 は直列に接続され、抵抗 21 と抵抗 22 の接続点 K はオペアンプ 23 の非反転入力端子に接続される。抵抗 21 のもう一方の端子は電源電圧端子 10 に接続され、抵抗 22 のもう一方の端子は接地電圧端子 11 に接続される。オペアンプ 23 の出力は NMOS トランジスタ 25 のゲートに接続される。NMOS トランジスタ 25 のソースは抵抗 26 の一方の端子に接続点 M にて接続され、オペアンプ 23 の反転入力端子に接続される。NMOS トランジスタ 25 のドレインは PMOS トランジスタ 24 のドレインに接続される。抵抗 26 のもう一方の端子は接地電圧端子 11 に接続される。PMOS トランジスタ 24 のソースは電源電圧端子 10 に接続され、ゲートはドレインに接続される。

30

【0018】

図 4 において、充放電回路 4 は、PMOS トランジスタ 41 ~ 42、NMOS トランジスタ 43 ~ 45 とで構成される。ここに、PMOS トランジスタ 41 と 42 は同じサイズであり、また、NMOS トランジスタ 43 ~ 45 は同じサイズである。PMOS トランジスタ 41 と 42 のゲートは共通結線され、配線 A を介して電流源回路 2 の PMOS トランジスタ 24 のゲートに接続される。PMOS トランジスタ 41 と 42 のソースはそれぞれ電源電圧端子 10 に接続される。NMOS トランジスタ 43、44、45 のゲートは共通結線され、NMOS トランジスタ 43 のドレインに接続される。NMOS トランジスタ 43、44、45 のソースはそれぞれ接地電圧端子 11 に接続される。PMOS トランジスタ 41 のドレインは NMOS トランジスタ 43 のドレインに接続され、PMOS トランジスタ 42 のドレインは NMOS トランジスタ 44 と 45 のドレインに接続される。

40

【0019】

また図 4 において、第 1 のスイッチ回路 8 は NMOS トランジスタ 81 で構成されており、NMOS トランジスタ 81 のドレインは配線 B を介して充放電回路 4 の NMOS トランジスタ 43 のドレインに接続される。NMOS トランジスタ 81 のソースは接地電圧端子 11、ゲートには配線 F からの信号 F が入力される。

【0020】

また図 4 において、容量 3 は容量 31 で構成されており、容量 31 の一方の端子は PMOS トランジスタ 42 のドレインに接続され、容量 31 のもう一方の端子は接地電圧端子 11 に接続される。上記の PMOS トランジスタ 42 のドレインに接続された容量 31 の

50

一方の端子をOUTとする。

【0021】

図4において、比較回路6は比較回路61で構成される。比較回路61の反転入力端子は配線Eに接続され、非反転入力端子は容量31の一方の端子OUTに接続される。比較回路61は、反転入力端子に入力される電圧VEと非反転入力端子に入力される電圧VOUとを比較して配線Fに信号Fを出力する。比較回路6の出力信号Fは、VOU < VEであるときにローレベル、VOU > VEであるときにハイレベルである信号となる。比較回路6が出力した信号Fは配線Fによりスイッチ制御回路7に入力される。

【0022】

図4において、スイッチ制御回路7は、定電流源71、NMOSトランジスタ72、インバータ73～75で構成される。定電流源71の一方の端子は電源電圧端子10に接続され、もう一方の端子はNMOSトランジスタ72のドレインに接続される。NMOSトランジスタ72のゲートには配線Fが接続され、ソースは接地電圧端子11に接続される。NMOSトランジスタ72のドレインはインバータ73の入力に接続され、インバータ73の出力はインバータ74の入力に、インバータ74の出力はインバータ75の入力に、それぞれ接続される。またインバータ74の出力は配線Gに接続され、またインバータ75の出力は配線Jに接続される。

10

【0023】

図4において、基準電圧回路5は、抵抗51～53で構成される。抵抗51～53は直列接続され、抵抗51の一方の端子は電源電圧端子10に接続され、もう一方の端子は抵抗52の一方の端子に接続される。抵抗53の一方の端子は接地電圧端子11に接続され、もう一方の端子は抵抗52のもう一方の端子に接続される。抵抗51と抵抗52の接続点は配線Hに接続され、抵抗52と抵抗53の接続点は配線Lに接続される。

20

【0024】

図4において、第2のスイッチ回路9は、PMOSトランジスタ91とNMOSトランジスタ92とで構成される。PMOSトランジスタ91とNMOSトランジスタ92のゲートは共通結線され、配線Jに接続される。またPMOSトランジスタ91とNMOSトランジスタ92のソースは共通結線され、配線Eに接続される。またPMOSトランジスタ91のドレインは配線Hに、NMOSトランジスタ92のドレインは配線Lに接続される。

30

【0025】

以上に説明したように図4の1～9は構成され、この2～9の各構成の回路は、それぞれ、図3の2～9の各構成の動作と同じように動作する。よって、図4の三角波発生回路1は、図3の三角波発生回路1と同様に三角波発生回路として動作する。

【0026】

次に、図4において、本実施の形態と関係する電流源回路2と充放電回路4と第1のスイッチ回路8と容量3からなる回路の動作について、詳細に説明する。

PMOSトランジスタ41と42は同じサイズのトランジスタであり、またゲートが共通結線されているので、同じ大きさの電流が流れる。この電流の大きさをI4とする。また、PMOSトランジスタ24と41、PMOSトランジスタ24と42はカレントミラー回路構成であるから、PMOSトランジスタ24に流れる電流をI2、カレントミラー比を β とすると、上記の各PMOSに流れる電流の関係は次式で表される。

40

【0027】

$$I_4 = \beta \times I_2 \quad (\text{式 } 25)$$

ここに、カレントミラー比 β は、トランジスタのサイズ比によって決まる値である。カレントミラー比 β の詳細な説明については、公知であるため省略する。またカレントミラー比 β は第1の実施例における比例定数 β_1 に対応する。PMOSトランジスタ24に流れる電流I2は、抵抗26に流れる電流に等しく、

$$I_2 = I_{26} \quad (\text{式 } 26)$$

であるから、(式25)と(式26)から

50

$$I_4 = \frac{V_{DD}}{R_{21} + R_{22}} \times \frac{R_{22}}{R_{26}} \times V_{DD} \quad (\text{式 } 27)$$

となり、PMOSトランジスタ41と42には電流源回路2で発生した電流によって規定された電流が流れる。

【0028】

上記の電流 I_4 は容量31の充電と放電を行う充放電電流となる。

まず、信号Gがハイレベルである場合には、NMOSトランジスタ81のゲートにハイレベルが入力され、NMOSトランジスタ81はオンとなり、第1のスイッチ回路8はオンする。よって、NMOSトランジスタ43のドレインとソースは導通状態にされ、NMOSトランジスタ43～45のゲートはローレベルになり、NMOSトランジスタ43～45には電流は流れない。従って、PMOSトランジスタ42からの電流 I_4 は全て容量31に流れ、容量31の充電を行う。

10

また一方で、信号Gがローレベルである場合には、NMOSトランジスタ81のゲートにローレベルが入力され、NMOSトランジスタ81はオフとなり、第1のスイッチ回路8はオフする。よって、PMOSトランジスタ41からの電流 I_4 は全てNMOSトランジスタ43に流れる。

ここで、NMOSトランジスタ43とNMOSトランジスタ44および45は、ゲートが共通結線されたカレントミラー構成であり、同じサイズのトランジスタであるので、NMOSトランジスタ44と45にはそれぞれNMOSトランジスタ43に流れる電流と同じ大きさの電流 I_4 が流れる。NMOSトランジスタ44と45に流れる電流の和は $2 \times I_4$ であり、容量31の放電電流となる。またこのとき、PMOSトランジスタ42からの電流 I_4 により容量31には充電電流 I_4 が流れており、結果として容量31には大きさ I_4 の放電電流が流れる。

20

【0029】

以上から、電流 I_4 は容量31の充電と放電を行う充放電電流となり、信号Gがハイレベルである場合には容量31は充電され、ローレベルである場合には容量31は放電される。

【特許文献1】特開2004-253868号公報

【発明の開示】

【発明が解決しようとする課題】

【0030】

30

この特許文献1に示す三角波生成回路にあっては、充放電制御は実際の回路では放電用MOSトランジスタを定電流素子とし、容量の充電時には、その放電用MOSトランジスタのゲート電位を0Vにすることにより、放電用MOSトランジスタをオフとすることにより、充放電を制御している。

しかしながら、特許文献1に示す三角波生成回路にあっては、放電時において、この放電用MOSトランジスタのゲートを0Vの状態から、再び定電流素子として働く電位まで上昇させる為には、その回路構成上、微小電流による充電に依らなければならないため、放電開始信号の入力から実際に放電が開始されるまでに、数10nsのタイムラグが発生してしまうという問題がある。

【0031】

40

この問題を、図5と図6とを用いて説明する。図5は、図4の三角波生成回路において、電流源回路2と充放電回路4と第1のスイッチ回路8と容量3からなる回路に相当する回路図である。

【0032】

図5において、図4のNMOSトランジスタ44と45とは、図5のNMOSトランジスタM1に対応し、図4のNMOSトランジスタ43は、図5のNMOSトランジスタM2に対応し、図4の第1のスイッチ回路8を構成するNMOSトランジスタ81は、図5のNMOSトランジスタM3に対応し、また、図4の容量31は、図5の容量C31に対応する。

また、図4の、PMOSトランジスタ41と42から出力される電流電源を、図5では

50

、電流源回路V41とV42とする。

【0033】

また、図5においては、図3または図4の信号Gに対して、この信号Gを反転した信号を信号compoutとし、この信号compoutがインバータINV1を介してNMOSトランジスタM3のゲートに入力される。

この信号compoutは、例えば、図4のインバータ73の出力とインバータ74の入力との接続点からの出力される信号である。

【0034】

また、図4においては、NMOSトランジスタ43～45は同じサイズであり、PMOSトランジスタ41と42とから出力される電流電源は同一であったが、図5においては、NMOSトランジスタM1とNMOSトランジスタM2とを、そのサイズを同じとし、電流源回路V41とV42との比を2:1として説明する。

これは、NMOSトランジスタM2がNMOSトランジスタ43である1個のNMOSトランジスタに対応し、NMOSトランジスタM1がNMOSトランジスタ44と45との2個のNMOSトランジスタに対応し、NMOSトランジスタ43～45が同じサイズであるため、NMOSトランジスタM2とNMOSトランジスタM1とのサイズを同一とした場合に、容量3の放電と充電とを同じとするためである。

【0035】

なお、上記のような構成の比とすることは、三角波生成回路が生成する三角波について、時間に対する電位上昇の増加率と電位下降の減少率とを同じとし、電位上昇と電位下降との時間を同じとするため、つまり、三角波のデューティ比を50%とするためである。

以上より、図5の回路は、上記図4を用いて説明した電流源回路2と充放電回路4と第1のスイッチ回路8と容量3からなる回路と同一の動作をする。

【0036】

次に、図6を用いて、図5に示す回路の動作を詳細に説明する。説明において、NMOSトランジスタM1を流れる電流をI1、NMOSトランジスタM3を流れる電流をIref、ノードAの電位をVAとし、また、図3の出力端子OUTからの出力信号、つまり、図5の容量C31とNMOSトランジスタM1のドレインとの接続点からの出力電圧をrampとして説明する。

ここで、ノードAとは、NMOSトランジスタM1のゲートとNMOSトランジスタM2とのゲートとが接続される接続点であり、また、NMOSトランジスタM2のドレイン、NMOSトランジスタM3のソース、および、電流源回路V41とが接続される接続点である。

このノードAの電位VAがハイレベルであるかローレベルであるかにより、NMOSトランジスタM1とNMOSトランジスタM2とは、オンまたはオフに制御される。

【0037】

まず、信号compoutがローレベルである場合には、インバータINV1により信号compoutを反転したハイレベルがNMOSトランジスタM3のゲートに入力され、NMOSトランジスタM3はオンとなる。

よって、NMOSトランジスタM3のドレインとソースは導通状態にされ、NMOSトランジスタM1とM2のゲートに接続されるノードAの電位VAはローレベルになり、NMOSトランジスタM1とM2には電流は流れない。

従って、電流源回路V42からの電流は全て容量C31に流れ、容量C31が充電される。

【0038】

この期間は、図6の期間T1であり、この期間T1において、信号compoutがローレベルであり、そのため、電位VAはローレベルであり、電流Irefおよび電流I1は、ほぼ0である。また、この期間T1において、容量C31は電流源回路V42からの一定の電流により時間とともに充電されるため、容量C31に接続する出力端子OUTからの出力信号rampの電圧は、線形に上昇する。

なお、この時、電流源回路V41からの一定の電流は、NMOSトランジスタM2とM1とがオフであり、NMOSトランジスタM1がオンであるため、ノードAとNMOSトランジスタM1とを介して接地点に流れる。

【0039】

次に、信号compoutがハイレベルになった場合には、インバータINV1により信号compoutを反転したローレベルがNMOSトランジスタM3のゲートに入力され、NMOSトランジスタM3はオフとなる。

次に、NMOSトランジスタM3がオフとなったため、ノードAとNMOSトランジスタM3とを介して接地点に流れていた電流源回路V41からの一定の電流が、NMOSトランジスタM3を介して流れなくなり、そのため、この電流源回路V41からの一定の電流によりノードAの電位VAが上昇する。

このノードAの電位VAが上昇し、NMOSトランジスタM2およびM1のゲートの閾値電圧を越えると、NMOSトランジスタM2およびM1はオンになる。

NMOSトランジスタM1がオンになることにより、NMOSトランジスタM1から電流I1が流れ出し、これにより、容量C31からの放電が開始される。

【0040】

この期間が図6の期間T2であり、この期間T2において、信号compoutがハイレベルになったことに応じて、電位VAはローレベルからハイレベルに上昇し、電位VAがNMOSトランジスタM2およびM1のゲートソース間の閾値電圧を越えると、NMOSトランジスタM1から電流I1が流れ出し、これにより、容量C31から放電が開始され、容量C31に接続する出力端子OUTからの出力信号rampの電圧は、線形に下降する。

【0041】

以降、図3を用いて説明したように、出力信号rampの電圧は線形に下降し、出力信号rampの電位であるVOUTの電圧が下降し、 $V_E = V_L$ よりも低い電圧になると、 $V_{OUT} < V_E$ となるため、VOUTは時間の経過と共に上昇する。この出力信号rampが下降し始めてから、上昇し始めるまでの期間が、期間T3である。

以降、この期間T1から期間T3の動作を繰り返し、VOUTつまり出力信号rampは三角波状に変化する。

【0042】

ここで、上記の期間T2において、信号compoutがハイレベルになったことに応じて、容量C31に接続する出力端子OUTからの出力信号rampの電圧が線形に下降しだすまでの間の時間、つまり、放電開始信号の入力から実際に放電が開始されるまでの間に、タイムラグが発生するという問題がある。

【0043】

出力信号ramp理想として、放電開始信号によりタイムラグ無しに放電が開始される理想的な出力信号を図6に図示する。

出力信号rampの下降しだした時間を t_1 とし、その時の電位を H_1 とする。また、出力信号ramp理想の下降しだす時間を t_2 とし、その時の電位を H_2 とする。

タイムラグTとは、時間 t_2 - 時間 t_1 である。このタイムラグTは、期間T2の時間長と同じである。このタイムラグTは、期間T1および期間T3の期間が長い場合には、その期間T1および期間T3の期間の長さと比較してタイムラグTの割合が小さいため、その影響は少ないが、生成する三角波の周期が早くなり、期間T1および期間T3の期間が短くなると、その期間T1および期間T2の期間の長さと比較してタイムラグTの割合が大きくなり、三角波を設計した通りに生成できなくなるという問題が生じる。

つまり、放電開始信号の入力から実際に放電が開始されるまでの間にタイムラグがあるために、高周波の三角波を生成することが出来ない、という問題がある。

【0044】

また、このようなタイムラグのある三角波生成回路で生成された三角波を用いるスイッ

チングレギュレータにあっては、その出力電圧を制御するためのパルスのデューティ比が、設計通りにならないという問題がある。

また、理想的には、電位H2が出力されるはずが、タイムラグ Tのために電位H1が出力されるという問題も生じる。また、容量C31には上限および下限があるため、容量C31が期間T2の間に飽和してしまい、容量C31の電位が線形に増加することが出来なくなることもあり、その場合には、出力される波形が台形波となる、という問題も生じる。

【0045】

従って、上記に説明したように、放電開始信号の入力から実際に放電が開始されるまでの間にタイムラグがあると、三角波生成回路の出力を放電開始信号に応じた正常な比率にできないという問題、また、三角波生成回路を高周波化できないという問題がある。

10

【0046】

本発明は、このような事情に鑑みてなされたもので、その目的は、放電開始信号の入力から実際に放電が開始されるまでのタイムラグを低減することを可能とした三角波生成回路を提供することにある。

【課題を解決するための手段】

【0047】

この発明は上述した課題を解決するためになされたもので、請求項1に記載の発明は、電流を発生する第1の電流源回路と、容量と、複数の基準電圧を発生する基準電圧回路と、前記容量の電圧と前記基準電圧とを比較し、前記比較の結果に応じて前記容量への充電と放電とを切り換える切換信号を出力する比較回路と、前記比較回路の切換信号に応じて、前記第1の電流源回路により規定された電流を、前記容量に充電または前記容量から放電する充放電回路と、前記比較回路の切換信号に応じて前記複数の基準電圧を切り換えるスイッチ回路と、を有することを特徴とする三角波発振回路であり、前記充放電回路が、前記比較回路からの切換信号を反転する反転回路と、前記容量からの放電の基準電位である放電基準電位を生成する放電基準電位生成回路と、前記第1の電流源回路と前記容量との接続点にドレインが接続され、放電基準電位生成回路が生成した放電基準電位にゲートが接続された第1のNMOSトランジスタと、前記反転回路を介して前記切換信号がゲートに入力され、前記第1のNMOSトランジスタのゲートにドレインが接続され、前記第1のNMOSトランジスタのソースにソースが接続された第2のNMOSトランジスタと、前記切換信号がゲートに入力され、前記第1のNMOSトランジスタのソースと前記第2のNMOSトランジスタのソースとの接続点にドレインが接続され、ソースが接地された第3のNMOSトランジスタと、を有することを特徴とする三角波発振回路である。

20

30

【0048】

請求項2に記載の発明は、前記充放電回路が、前記容量への充電時には、前記第2のNMOSトランジスタが導通状態となり、前記第3のNMOSトランジスタが非導通状態となることにより、前記第1のNMOSトランジスタのソースとゲートとの電位が前記放電基準電位と同じとなり、前記第1のNMOSトランジスタのドレインとソースとが非導通状態となることにより、前記第1の電流源回路からの電流により前記容量を充電する、ことを特徴とする請求項1に記載の三角波発振回路である。

40

【0049】

請求項3に記載の発明は、前記充放電回路が、前記容量からの放電時には、前記第2のNMOSトランジスタが非導通状態となり、前記第3のNMOSトランジスタが導通状態になることにより、前記第1のNMOSトランジスタのソースの電位がゲートの放電基準電位より下がり、前記第1のNMOSトランジスタのドレインとソースとが導通状態となることにより、前記容量から放電する、ことを特徴とする請求項1または請求項2に記載の三角波発振回路である。

【0050】

請求項4に記載の発明は、前記放電基準電位生成回路が、電流を発生する第2の電流源回路と、前記第2の電流源回路にドレインが接続された第4のNMOSトランジスタと、

50

前記第4のNMOSトランジスタのソースにドレインが接続され、ソースが接地され、ゲートに前記電源電圧が印加される第5のNMOSトランジスタと、を有し、前記第4のNMOSトランジスタのゲートが前記前記第1のNMOSトランジスタのゲートに接続され、前記第2の電流源回路のドレインと前記第4のNMOSトランジスタのドレインとの接続点が、前記第4のNMOSトランジスタのゲートと前記前記第1のNMOSトランジスタのゲートとの接続点に接続される、ことを特徴とする請求項1から請求項3に記載の三角波発振回路である。

【発明の効果】

【0051】

この発明によれば、放電用MOSトランジスタに対して、直列に新たなスイッチ用MOSトランジスタを追加し、この放電用MOSトランジスタのゲートを定電流素子として動作できる電位付近に保つようにしたことにより、放電開始信号の入力から実際に放電が開始されるまでのタイムラグを低減することが可能となる三角波生成回路を提供することが可能となる効果を奏する。

10

【0052】

また、三角波生成回路において、放電開始信号の入力から実際に放電が開始されるまでのタイムラグを低減することが可能となったため、三角波生成回路が生成する三角波を高周波化することが可能となるという効果を奏する。

【発明を実施するための最良の形態】

【0053】

以下、図面を参照して、本発明の実施の形態について説明する。図1は、この発明の一実施の形態による三角波生成回路の回路図である。

20

同図において図5の各部に対応する部分には同一の符号を付け、その説明を省略する。また、ここでは、三角波生成回路が生成する三角波のデューティ比を50%とした場合について説明する。

【0054】

図1の三角波生成回路は、図5の三角波生成回路に対して、信号compout（切換信号）を直接にゲートに入力され、NMOSトランジスタM1およびNMOSトランジスタM3のソースにそのドレインが接続され、そのソースが接地されるNMOSトランジスタM4と、NMOSトランジスタM2のソースにそのドレインが接続され、そのソースが接地され、そのゲートがゲートをオンとする電源電圧に接続されるNMOSトランジスタM5、とを有する。

30

このNMOSトランジスタM5は、ゲートが電源電圧に接続されているため、常にオンである。

【0055】

つまり、三角波発振回路は、電流を発生する電流源回路V42（第1の電流源回路）と、容量C31と、複数の基準電圧を発生する基準電圧回路5と、容量C31の電圧と基準電圧とを比較し、比較の結果に応じて容量C31への充電と放電とを切り換える信号compoutを出力する比較回路6と、比較回路6の信号compoutに応じて、電流源回路V42により規定された電流を、容量C31に充電または容量C31から放電する充放電回路4と、比較回路6の信号compoutに応じて複数の基準電圧を切り換える第2のスイッチ回路9と、を有する。

40

なお、ここでは、充放電回路4は、第1のスイッチ回路8を含むものとして説明している。

【0056】

この充放電回路4が、図1に示すように、比較回路6からの信号compoutを反転するインバータINV1（反転回路）と、容量C31からの放電の基準電位である放電基準電位を生成する放電基準電位生成回路と、電流源回路V42と容量C31との接続点にドレインが接続され、放電基準電位生成回路が生成した放電基準電位にゲートが接続されたNMOSトランジスタM1（第1のNMOSトランジスタ）と、インバータINV1を

50

介して信号 `compout` がゲートに入力され、NMOSトランジスタM1のゲートにドレインが接続され、NMOSトランジスタM1のソースにソースが接続されたNMOSトランジスタM3（第2のNMOSトランジスタ）と、信号 `compout` がゲートに入力され、NMOSトランジスタM1のソースとNMOSトランジスタM3のソースとの接続点にドレインが接続され、ソースが接地されたNMOSトランジスタM4（第3のNMOSトランジスタ）と、を有する。

【0057】

この三角波発振回路の充放電回路4は、容量C31への充電時には、NMOSトランジスタM3が導通状態となり、NMOSトランジスタM4が非導通状態となることにより、NMOSトランジスタM1のソースとゲートとの電位が放電基準電位と同じとなり、NMOSトランジスタM1のドレインとソースとが非導通状態となることにより、電流源回路V42からの電流により容量C31を充電する。この容量C31を充電する電流を、充電電流Iと称する。

10

【0058】

また、三角波発振回路の充放電回路4は、容量C31への放電時には、NMOSトランジスタM3が非導通状態となり、NMOSトランジスタM4が導通状態になることにより、NMOSトランジスタM1のソースの電位がゲートの放電基準電位より下がり、NMOSトランジスタM1のドレインとソースとが導通状態となることにより、容量C31から放電する。この容量C31から放電する電流を、放電電流I1と称する。

20

【0059】

また、三角波発振回路の放電基準電位生成回路は、電流を発生する電流源回路V41（第2の電流源回路）と、電流源回路V41にドレインが接続されたNMOSトランジスタM2（第4のNMOSトランジスタ）と、NMOSトランジスタM2のソースにドレインが接続され、ソースが接地され、ゲートに電源電圧が印加されるNMOSトランジスタM5（第5のNMOSトランジスタ）と、を有する。

また、NMOSトランジスタM2のゲートがNMOSトランジスタM1のゲートに接続され、電流源回路V41のドレインとNMOSトランジスタM2のドレインとの接続点が、4のNMOSトランジスタのゲートとNMOSトランジスタM1のゲートとの接続点に接続される。

30

【0060】

このNMOSトランジスタM5は、NMOSトランジスタM4と対応して、カレントミラーの比を同じとし、その特性を合わせるためのNMOSトランジスタであり、このNMOSトランジスタM5は常時オンされている。

【0061】

なお、ここでは、三角波生成回路が生成する三角波について、三角波の電位上昇と電位下降の比を同じとし、電位上昇と電位下降との時間を同じとする場合、つまり、生成する三角波のデューティ比を50%とするものとする場合について説明する。

生成する三角波のデューティ比が50%の場合には、例えば、電流源回路V41とV42との出力電流の比を2:1とし、NMOSトランジスタM2とNMOSトランジスタM1とのサイズの比を1:1とし、NMOSトランジスタM5とNMOSトランジスタM4とのサイズの比を2:1とする。

40

【0062】

<動作原理>

次に、図2を用いて、図1に示す回路の動作の原理について説明する。

ノードAの電位は参照電流IrefとNMOSトランジスタM2のK値とで決定される。ここで、NMOSトランジスタM5のK値を十分に大きくすれば、NMOSトランジスタM5のドレイン-ソース間電圧Vdsは無視出来る為、ノードAの電位、すなわちNMOSトランジスタM2のゲート-ソース間電位Vgsは、次の式1で算出される。

$$V_{gs} = (I_{ref} / K)^{(1/2)} + V_{th} \quad \dots \quad (式1)$$

但し、上記の式1において、VthはNMOSトランジスタM2のスレッショルド電圧

50

であり、 K はNMOSトランジスタM2の誘電率である。この誘電率 K は、次の式2で算出される。

$$K = (W/L) \times \mu_0 \times C_{ox} \quad \dots \quad (\text{式2})$$

但し、上記の式2において、 W はゲート幅であり、 L はゲート長であり、 μ_0 は移動度であり、 C_{ox} はゲートの単位容量である。

【0063】

ノードAの電位は上記の式1で決定され、またNMOSトランジスタM3とNMOSトランジスタM4とは交互に導通状態となる事から、NMOSトランジスタM3を経由して電流が流れる事は無い。

【0064】

さらに、参照電流 I_{ref} は常に流れているので、ノードAの電位は常に一定の電圧となる。なお、図2で出力信号 $ramp$ が上昇に転じる瞬間に、ノードAの電位 V_A が一瞬低下するが、これはNMOSトランジスタM3のゲートがHレベルからLレベルに低下する為に、容量カップリングによって一瞬下がるものである。

【0065】

よってNMOSトランジスタM1のゲート電位も、上記の式1で決る電圧値 V_{gs} が常に印加されている。

以上説明したように、ノードAの電位は常に固定であり、微小電流による充放電が行なわれない。

【0066】

< NMOSトランジスタM1の導通または非導通の制御方法 >

次に、NMOSトランジスタM1の導通または非導通の制御方法について説明する。

まず、NMOSトランジスタM3が導通状態となり、NMOSトランジスタM4が非導通状態となる事で、NMOSトランジスタM1のソース電位がノードAの電位と等しくなる。

すなわちNMOSトランジスタM1のゲート-ソース間電位 V_{gs} は0Vとなり、NMOSトランジスタM1は非導通状態となる。なお、この時もノードAの電位は変動していない。

【0067】

次に、NMOSトランジスタM3が非導通状態となり、NMOSトランジスタM4が導通状態となった後、NMOSトランジスタM1に電流が流れ始めるまでには、NMOSトランジスタM1のソース電位が0Vまで速やかに立ち下がる必要がある。この場合、M1のソース電位に充電されている電荷をM4で放電する事になるのだが、一例として、NMOSトランジスタM1のソースの寄生容量が1pF、NMOSトランジスタM4のON抵抗が100とすると、およそ99%の放電が行なわれるまでの時間は、 $5 \times 1 \text{ p} \times 100 = 500 \text{ p}$ 秒である。

【0068】

< 従来技術との比較 >

これに対して、ノードAの電位を接地電位GNDまで落として、NMOSトランジスタM1を非導通にする従来技術のやり方では、NMOSトランジスタM1が非導通状態から再び電流が流れるようにノードAの電位が上昇するまでの時間 t は、すなわちタイムラグ t は、ノードAの寄生容量の両端電圧を前記式1で決定される電圧まで定電流で充電する時間とみなせる事から、ノードAの寄生容量値 C を1pF、ノードAの安定電位 V を1V、参照電流 I_{ref} を1uAと仮定すると、次の式3から、1u秒の時間がかかる事がわかる。

$$t = CV / I_{ref} \quad \dots \quad (\text{式3})$$

【0069】

式3から、従来技術の方式で、このタイムラグ t をなるべく短縮するには、まず、参照電流 I_{ref} を大きくする事が考えられる。しかしながら、この参照電流 I_{ref} は、容量 C_{31} と共に、発振周波数 f を決定する要因のひとつである。

10

20

30

40

50

この発振周波数 f は、充電電流を I 、放電電流を $I (= I_1)$ 、容量 C_{31} の容量値を C 、出力信号 $ramp$ の波高値を V とすると、次の式 5 で決定される。なお、この係数は、充電電流 I を 1 とした場合の、充電電流と放電電流との比を表す係数である。

$$f = (1 + \quad) I / CV \quad \dots \quad (\text{式 5})$$

ここで、参照電流 I_{ref} と放電電流 I とは比例関係にあるので、式 5 から発振周波数を一定としたままに参照電流 I_{ref} を大きくするには、この参照電流 I_{ref} を大きくすると共に、容量 C_{31} の値を大きくしなければならない。これは半導体集積回路のチップサイズの制約から、容量 C_{31} を大きく出来る限界が決定され、参照電流 I_{ref} を大きくできる範囲の自由度は小さい。

従って、参照電流 I_{ref} を大きくする事により、タイムラグ t を短縮することには、その出来る範囲に限りがあることがわかる。

10

【0070】

次に、式 3 から、寄生容量値 C を小さくする事で、タイムラグ t をなるべく短縮することが考えられる。しかしながら、寄生容量値 C の支配的要因である、NMOS トランジスタ M_1 と NMOS トランジスタ M_2 とのトランジスタサイズは、次の要因で決定されるため、寄生容量値 C を小さくするには限界がある。

【0071】

次に、寄生容量値 C を小さくするには限界があることについて、説明する。

まず、出力信号 $ramp$ の下限電圧においても、NMOS トランジスタ M_1 は、飽和領域で動作を行なうことが求められる。

20

この飽和領域の動作条件は、NMOS トランジスタ M_1 のドレイン - ソース間電位を V_{ds} とすると、次の式 4 で算出される。

$$V_{ds} = V_{gs} - V_{th} \quad \dots \quad (\text{式 4})$$

ここで、スレッシュホールド電圧 V_{th} は固定値である。より低い V_{ds} までトランジスタを飽和領域で動作させるためには、ドレイン - ソース間電位 V_{gs} を、スレッシュホールド電圧 V_{th} に近い電圧にする必要がある。ここでいう NMOS トランジスタ M_1 のドレイン - ソース間電位 V_{gs} は、ノード A の電位そのものであり、上記の式 1 から、NMOS トランジスタ M_2 の K 値と参照電流 I_{ref} とによって決定される。

【0072】

上記式 1 から、NMOS トランジスタ M_2 の K 値を大きくする事で、NMOS トランジスタ M_1 のドレイン - ソース間電位 V_{ds} を下げることが出来る。この K 値を大きくするには、ゲート長 L の値を短くする事と、ゲート幅 W のを長くする事が考えられる。

30

ここで、ゲート長 L の長さを短くする事は、その製造プロセスの能力において限界があるため、短かく出来る下限がある。従って、ゲート幅 W を長くする事により、 K 値を大きくすることとなってしまう。

しかしながら、ゲート幅 W を長くすることは、トランジスタサイズの増加を招きノード A の寄生容量値が増加してしまうこととなる。

このことから、トランジスタサイズを縮小してノード A の寄生容量 C を低減する事にも限界がある。従って、ノード A の寄生容量 C を低減する事により、タイムラグ t を短縮することには、その出来る範囲に限りがあることがわかる。

40

【0073】

以上より、従来技術の方式では、参照電流 I_{ref} を大きくする事にも限界があり、また、寄生容量値 C を小さくする事にも限界があるために、式 3 のタイムラグ t を短縮することには、限界があることがわかる。

これに対して、本実施の形態では、 M_1 のゲート電圧ノード A の電位は、参照電流 I_{ref} と NMOS トランジスタ M_2 の K 値とで式 1 で決定される一定の電位に常に保たれ、 M_1 のソース電位を比較的抵抗の M_4 により急速に放電する事で、速やかに NMOS トランジスタ M_1 のゲート - ソース間電圧 V_{gs} が NMOS トランジスタ M_2 のゲート - ソース間電圧 V_{gs} と等しくなり、NMOS トランジスタ M_2 との間でカレントミラー動作が行なえるようになり、容量 C_{31} からの放電が始まるまでのタイムラグ t を短縮するこ

50

とが可能となる。

【0074】

<動作>

次に、図2を用いて、図1に示す回路の動作について説明する。

まず、信号c o m p o u tがローレベルである場合には、インバータI N V 1により信号c o m p o u tを反転したハイレベルがN M O SトランジスタM 3のゲートに入力され、N M O SトランジスタM 3はオンとなる。

この時、同時に、信号c o m p o u tのローレベルが、N M O SトランジスタM 4のゲートに入力されており、このN M O SトランジスタM 4はオフする。

よって、N M O SトランジスタM 3のドレインとソースは導通状態にされており、また、N M O SトランジスタM 4のドレインとソースは非導通状態にされている。

10

【0075】

N M O SトランジスタM 4のドレインとソースは非導通状態にされているため、N M O SトランジスタM 1およびN M O SトランジスタM 4からなる回路は、導通しない。従って、電流源回路V 4 2からの一定の電流は、容量C 3 1へ流れ、容量C 3 1に電荷が蓄積されて充電される。

【0076】

この期間は、図2の期間T 1であり、この期間T 1において、信号c o m p o u tがローレベルであり、電位V Aは、式1を用いて説明したノードAの電位は参照電流I r e fとN M O SトランジスタM 2のK値とで決定されるほぼ一定の電位に保たれている。

20

また、この期間T 1において、容量C 3 1は電流源回路V 4 2からの一定の電流により時間とともに充電されるため、容量C 3 1に接続する出力端子O U Tからの出力信号r a m pの電圧は、線形に上昇する。

【0077】

次に、信号c o m p o u tがハイレベルになった場合には、インバータI N V 1により信号c o m p o u tを反転したローレベルがN M O SトランジスタM 3のゲートに入力され、N M O SトランジスタM 3はオフとなる。この時、同時に、信号c o m p o u tのハイレベルが、N M O SトランジスタM 4のゲートに入力され、N M O SトランジスタM 4はオンする。

よって、N M O SトランジスタM 3のドレインとソースは非導通状態にされており、また、N M O SトランジスタM 4のドレインとソースは導通状態となる。

30

【0078】

N M O SトランジスタM 3が非導通となることで、N M O SトランジスタM 1のソースはノードAから電氣的に分離される。かつN M O SトランジスタM 4が導通状態となることで、N M O SトランジスタM 1のソース電位は0 Vまで急速に放電される。

このため、N M O SトランジスタM 1が導通し、N M O SトランジスタM 1およびN M O SトランジスタM 4のドレインとソースを介して、容量C 3 1に蓄積された電荷が放電される。

【0079】

この期間が図2の期間T 2であり、この期間T 2において、信号c o m p o u tがハイレベルになったことに応じてN M O SトランジスタM 3が非導通、N M O SトランジスタM 4が導通しN M O SトランジスタM 1のソース電位が0 Vとなり、N M O SトランジスタM 2に電流が流れ始めることで、容量C 3 1からの放電が開始され、容量C 3 1に接続する出力端子O U Tからの出力信号r a m pの電圧は、線形に下降する。

40

【0080】

なお、図2の期間T 2は、図5の期間T 2と比較して、その期間の長さが短い。

図5の従来技術においては、期間T 1から期間T 2では、電位V Aは、ローレベル(電位0)からN M O SトランジスタM 1のゲートの閾値電圧まで上昇して容量C 3 1からの放電が開始される。

これに対して、本実施の形態では、ノードAの電位、すなわちN M O SトランジスタM

50

2のゲート-ソース間電位 V_{gs} が、参照電流 I_{ref} とNMOSトランジスタM2のK値とで式1で決定される一定の電位に保たれている。

従って、図5の本実施の形態では、期間T1から期間T2においては、図5の従来技術の期間T2と比較して、図2の、本実施の形態での期間T2は、その期間の長さが短い、つまり、タイムラグ t が短縮されている。

【0081】

別の言い方をすると、図5の充放電回路4においては、NMOSトランジスタM1のゲート電位を、ローレベルであるかハイレベルであるか制御することにより、容量C31の充電と放電とを制御していたのに対して、図1に充放電回路4においては、NMOSトランジスタM1のゲート電位を一定とし、その一定の電位であるゲート電位に対するソースの電位を、NMOSトランジスタM3とNMOSトランジスタM2とにより、同じであるかまたは低いかと制御することにより、容量C31の充電と放電とを制御している。

10

このNMOSトランジスタM1の制御方法の違いにより、図1に充放電回路4においては、放電開始信号の入力から実際に放電が開始されるまでのタイムラグを低減することが可能となる。

【0082】

以降、図3を用いて説明したことと同様に、出力信号 $ramp$ の電圧は線形に下降し、出力信号 $ramp$ の電位である V_{OUT} の電圧が下降し、 $V_E = V_L$ よりも低い電圧になると、 $V_{OUT} < V_E$ となるため、 V_{OUT} は時間の経過と共に上昇する。

以降、三角波生成回路は、この期間T1から期間T3の動作を繰り返し、 V_{OUT} つまり出力信号 $ramp$ を三角波として生成する。

20

【0083】

以上より、本実施の形態による三角波生成回路は、放電開始信号の入力から実際に放電が開始されるまでのタイムラグを低減することが可能となる。

【0084】

なお、上記説明においては、三角波生成回路が生成する三角波のデューティ比を50%とする場合について説明したが、これに限られるものではなく、三角波生成回路が生成する三角波のデューティ比は設計により決められる値であり、設計値として定めたデューティ比に応じて、電流源回路V42、および、電流源回路V41の出力電流が設定される。

また、三角波のデューティ比は設計値により、NMOSトランジスタM1とNMOSトランジスタM2とのサイズの比、および、NMOSトランジスタM4とNMOSトランジスタM5とのサイズの比とが、設定される。

30

なお、このNMOSトランジスタM1とNMOSトランジスタM2とのサイズの比、および、NMOSトランジスタM4とNMOSトランジスタM5とのサイズの比とは、電流源回路V42と電流源回路V41との出力電流との比によっても、設定される。

【0085】

なお、実施の形態の説明である図1の回路において、例えば、図4のインバータ73とインバータ74との接続点から信号 $compout$ を出力し、この信号 $compout$ が図1のインバータINV1を介してNMOSトランジスタM2のゲートに入力され、図1の信号 $compout$ をNMOSトランジスタM4のゲートに入力されるようにしたが、このインバータINV1は必ずしも必要ではなく、例えば、図4のインバータ73とインバータ74との接続点から信号 $compoutA$ を出力し、この信号 $compoutA$ が図1のNMOSトランジスタM4のゲートに入力されるようにし、また、図4のインバータ74とインバータ75との接続点から信号 $compoutB$ を出力し、この信号 $compoutB$ を図1のNMOSトランジスタM3のゲートに入力されるようにしてもよい。

40

【0086】

また、逆に、図4のインバータ74とインバータ75との接続点から信号 $compout$ を出力し、この信号 $compout$ が図1のNMOSトランジスタM2のゲートに入力され、この信号 $compout$ が図1のインバータINV1を介してNMOSトランジスタM4のゲートに入力されるようにしてもよい。

50

つまり、NMOSトランジスタM3のゲートに入力される信号と、NMOSトランジスタM4のゲートに入力される信号とが、互いに反転していることが重要である。

【0087】

なお、この三角波生成回路は、スイッチングレギュレータに適応されるものとして説明したが、これに限られるものではなく、任意の機器に適応可能である。

【0088】

以上、この発明の実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計等も含まれる。

【産業上の利用可能性】

【0089】

本発明は、三角波生成回路に用いて好適である。

【図面の簡単な説明】

【0090】

【図1】この発明の一実施形態による充放電回路の回路図である。

【図2】図1の充放電回路の動作図である。

【図3】従来の一実施形態による三角波生成回路の回路図である。

【図4】図3の三角波生成回路の一実施形態による回路図である。

【図5】図4の従来の一実施形態による充放電回路の回路図である。

【図6】図5の充放電回路の動作図である。

【符号の説明】

【0091】

C31 容量

INV1 インバータ

M1、M2、M3、M4、M5 NMOSトランジスタ

V41、V42 電流源回路

1 三角波発生回路

2 電流源回路

3、31 容量

4 充放電回路

5 基準電圧回路

6、61 比較回路

7 スイッチ制御回路

8 第1のスイッチ回路

9 第2のスイッチ回路

10 電源電圧端子

11 接地電圧端子

25、43、44、72、81、92 NMOSトランジスタ

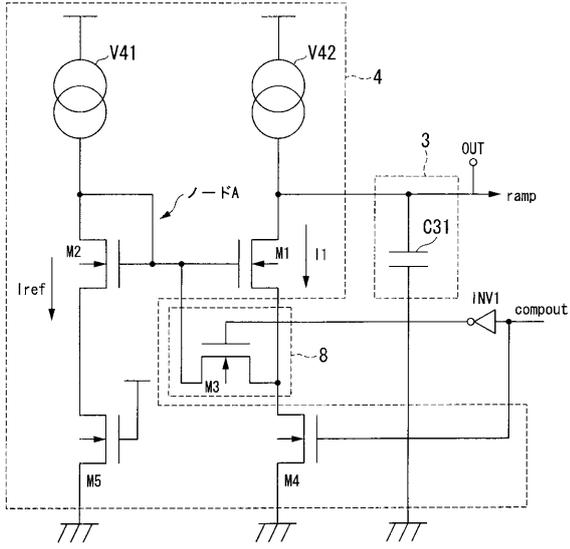
73、74、75 インバータ

10

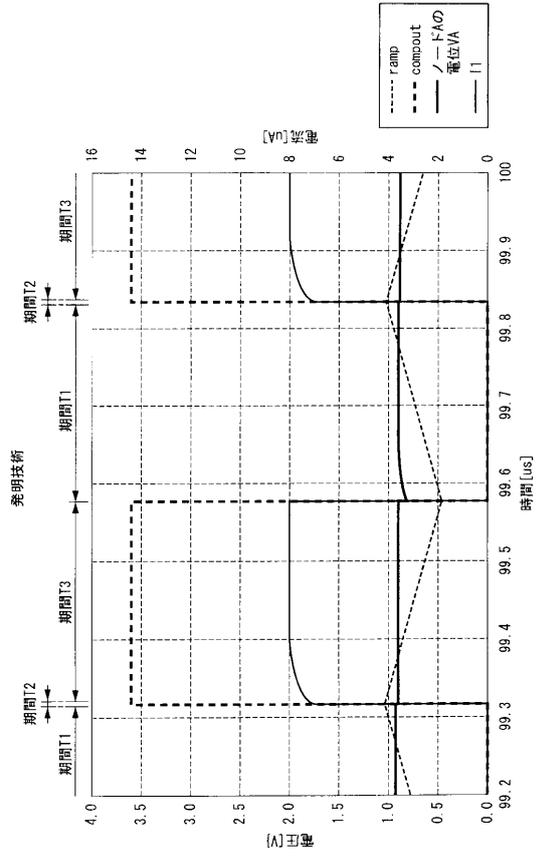
20

30

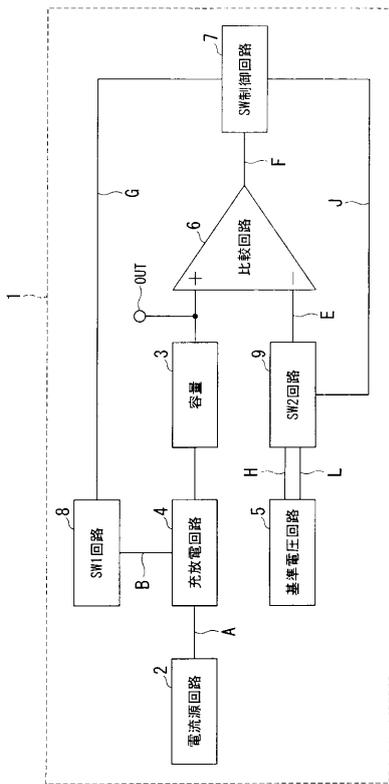
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

