



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I415126 B

(45) 公告日：中華民國 102 (2013) 年 11 月 11 日

(21) 申請案號：098118918

(22) 申請日：中華民國 98 (2009) 年 06 月 06 日

(51) Int. Cl. : G11C11/413 (2006.01)

(30) 優先權：2008/09/01 日本

2008-223364

(71) 申請人：富士通半導體股份有限公司 (日本) FUJITSU SEMICONDUCTOR LIMITED (JP)  
日本

(72) 發明人：兒玉剛 KODAMA, TSUYOSHI (JP)

(74) 代理人：惲軼群；陳文郎

(56) 參考文獻：

US 6717842B2

US 6738296B2

US 6804153B2

US 6903973B2

US 6950362B2

US 2007/0280022A1

審查人員：劉聖尉

申請專利範圍項數：11 項 圖式數：12 共 0 頁

(54) 名稱

半導體記憶體

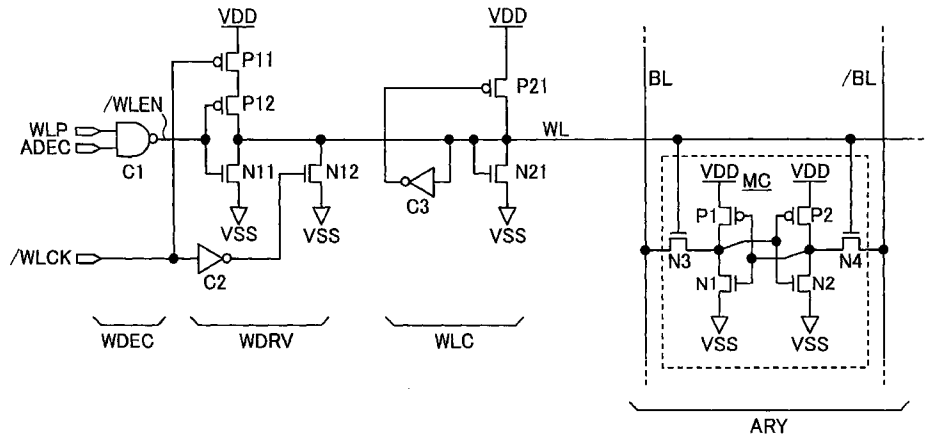
SEMICONDUCTOR MEMORY

(57) 摘要

一種半導體記憶體包括一條連接到一記憶體胞元之電晶體的字線；一個被構築來作動該字線的字驅動器；一個被構築來根據該字線之作動來把該字線連接到一低位準電壓線且在該字線之作動周期中之第一周期逝去之後解除該連接的第一電阻部份；一個被構築來在該作動周期中之第二周期中把該字線連接到一高位準電壓線的第二電阻部份；及一個被構築來在該第二周期中把該字線連接到該低位準電壓線的第三電阻部份，該第三電阻部份的電阻是比該第一電阻部份的電阻高，其中，在該第二周期中該字線的高位準電壓是比該高位準電壓線的高位準電壓低。

A semiconductor memory is provided which includes a word line coupled to a transistor of a memory cell; a word driver configured to activate the word line; a first resistance portion configured to couple the word line to a low-level voltage line in accordance with an activation of the word line and to decouple the coupling after a first period in an activation period of the word line elapses; a second resistance portion configured to couple the word line to a high-level voltage line in a second period in the activation period; and a third resistance portion configured to couple the word line to the low-level voltage line in the second period, a resistance of the third resistance portion being higher than a resistance of the first resistance portion, wherein a high-level voltage of the word line in the second period is lower than that of the high-level voltage line.

第2圖



- WLP . . . 字作動訊號
- ADEC . . . 位址解碼訊號
- C1 . . . NAND 閘
- /WLEN . . . 字致能訊號
- /WLCK . . . 字時脈訊號
- WDEC . . . 字解碼器
- WDRV . . . 字驅動器
- WLC . . . 字線控制電路
- C2 . . . CMOS 反相器
- P11 . . . PMOS 電晶體
- P12 . . . PMOS 電晶體
- N11 . . . NMOS 電晶體
- N12 . . . NMOS 電晶體
- P1 . . . PMOS 電晶體
- ARY . . . 記憶體單元陣列
- VDD . . . 電源供應電壓
- VSS . . . 地電位
- C3 . . . CMOS 反相器
- P21 . . . PMOS 電晶體
- WL . . . 字線
- N21 . . . NMOS 電晶體

BL . . . 位元線

/BL . . . 位元線

MC . . . 記憶體胞元

N1 . . . NMOS 電晶  
體

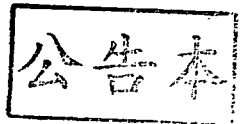
N2 . . . NMOS 電晶  
體

N3 . . . NMOS 電晶  
體

N4 . . . NMOS 電晶  
體

P2 . . . PMOS 電晶  
體

# 發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：9811891A

※申請日：98.6.6

※IPC 分類：G11C 11/413 (2006.01)

## 一、發明名稱：(中文/英文)

半導體記憶體

SEMICONDUCTOR MEMORY

## 二、中文發明摘要：

一種半導體記憶體包括一條連接到一記憶體胞元之電晶體的字線；一個被構築來作動該字線的字驅動器；一個被構築來根據該字線之作動來把該字線連接到一低位準電壓線且在該字線之作動周期中之第一周期逝去之後解除該連接的第一電阻部份；一個被構築來在該作動周期中之第二周期中把該字線連接到一高位準電壓線的第二電阻部份；及一個被構築來在該第二周期中把該字線連接到該低位準電壓線的第三電阻部份，該第三電阻部份的電阻是比該第一電阻部份的電阻高，其中，在該第二周期中該字線的高位準電壓是比該高位準電壓線的高位準電壓低。

## 三、英文發明摘要：

A semiconductor memory is provided which includes a word line coupled to a transistor of a memory cell; a word driver configured to activate the word line; a first resistance portion configured to couple the word line to a low-level voltage line in accordance with an activation of the word line and to decouple the coupling after a first period in an activation period of the word line elapses; a second resistance portion configured to couple the word line to a high-level voltage line in a second period in the activation period; and a third resistance portion configured to couple the word line to the low-level voltage line in the second period, a resistance of the third resistance portion being higher than a resistance of the first resistance portion, wherein a high-level voltage of the word line in the second period is lower than that of the high-level voltage line.

#### 四、指定代表圖：

(一)本案指定代表圖為：第 ( 2 ) 圖。

(二)本代表圖之元件符號簡單說明：

WLP	字作動訊號	VDD	電源供應電壓
ADEC	位址解碼訊號	VSS	地電位
C1	NAND閘	C3	CMOS反相器
/WLEN	字致能訊號	P21	PMOS電晶體
/WLCK	字時脈訊號	WL	字線
WDEC	字解碼器	N21	NMOS電晶體
WDRV	字驅動器	BL	位元線
WLC	字線控制電路	/BL	位元線
C2	CMOS反相器	MC	記憶體胞元
P11	PMOS電晶體	N1	NMOS電晶體
P12	PMOS電晶體	N2	NMOS電晶體
N11	NMOS電晶體	N3	NMOS電晶體
N12	NMOS電晶體	N4	NMOS電晶體
P1	PMOS電晶體	P2	PMOS電晶體
ARY	記憶體胞元陣列		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

相關申請案之相互參照

本申請案係主張2008年9月1日所申請之日本專利申請案第2008-223364號的優先權，茲將其完整內容在此列入參考。

發明領域

於此中所討論的實施例係有關於一種半導體記憶體。

### 【先前技術】

發明背景

由於電晶體是利用細微設計規則(finier design rules)製成，供應到一半導體記憶體的電源供應電壓是降低。據此，在電晶體之電氣特性上的變化，像是在靜態記憶體胞元中之電晶體之臨界電壓上的變化般，是由於電晶體的製程而發生。在電晶體之電氣特性上的變化導致記憶體胞元之運作的不穩定性，而半導體記憶體的產量降低。

為了避免在記憶體胞元中之電晶體之電氣特性上之前述的變化，一種用於依據記憶體胞元中之電晶體之電氣特性來調整一字線之高位準電壓的方法是在日本早期公開專利公告第2007-66493號案中被揭露，例如。此外，一個具有一用於避免由位址訊號之雜訊所引起之故障之閃功能的字驅動器是在日本早期公開專利公告第H8-36881號案中被揭露，例如。

### 【發明內容】

## 發明概要

根據本發明之實施例之一特徵，一種半導體記憶體被提供，該半導體記憶體包括一個記憶體胞元；一條連接到該記憶體胞元之傳輸電晶體的字線；一個被構築來作動該字線的字驅動器；一個被構築來依據該字線之作動來把該字線連接到一低位準電壓線及在該字線之作動周期中之一第一周期逝去之後解除該連接的第一電阻部份；一個被構築來作動該字線的字驅動器；一個被構築來在該作動周期中之一第二周期來把該字線連接到一高位準電壓線的第二電阻部份，其中，該第二周期未被包括在該第一周期內；及一個被構築來在該第二周期中把該字線連接到該低位準電壓線的第三電阻部份，該第三電阻部份的電阻是比該第一電阻部份的電阻高，其中，在該第二周期中該字線的高位準電壓是由於第二電阻部份與第三電阻部份的電阻電壓分割而比該高位準電壓線的電壓低。

本發明之其他的優點與新穎特徵將會部份地在後面的說明作陳述，而部份對於熟知此項技術的人仕來說將會在審視後面的說明或者藉由實施本發明來學習而會變得顯而易知。

## 圖式簡單說明

第1圖描繪一第一實施例；

第2圖描繪一範例字解碼器、一範例字驅動器、一範例字線控制電路、及一範例記憶體胞元陣列；

第3圖描繪一字解碼器、一字驅動器、及一字線控制電

路的範例運作；

第4圖描繪一記憶體胞元的範例電氣特性；

第5圖描繪一第二實施例；

第6圖描繪一範例字解碼器、一範例字驅動器、及一範例字線控制電路；

第7圖描繪一第三實施例；

第8圖描繪一第四實施例；

第9圖描繪一第五實施例；

第10圖描繪一第六實施例；

第11圖描繪一字解碼器、一字驅動器、及一字線控制電路的範例運作；及

第12圖描繪一第七實施例。

### 【實施方式】

較佳實施例之詳細說明

例如，一字線的高位準電壓最好是在沒有增加電力消耗之下迅速降低到一約定值。再者，例如，一字線的高位準電壓最好是依據在記憶體胞元之p-通道金屬氧化半導體(PMOS)電晶體之電氣特性方面的改變來作調整。

在第1至12圖中，以粗體描繪的訊號線表示包含數條訊號線。連接有粗體線之方塊的一部份包括數個電路。訊號線是以代表被傳輸通過訊號線之訊號之名字的標號標示。標號之尾巴有"/"的訊號表示為負邏輯。雙正方形標號表示一個外部電極，像是在一半導體晶片上的焊墊或者一包含該半導體晶片在其內之封裝體的接腳般。電極以及供應通



過該等電極的訊號分別是由相同的標號標示。

第1圖描繪一第一實施例。例如，一半導體記憶體可以是一靜態隨機存取記憶體(SRAM)。該半導體記憶體可以是一個容納在一封裝體內的半導體記憶體。該半導體記憶體可以是一被埋藏於一個系統大規模積體電路(系統LSI)或其類似內的記憶體巨集(一智慧型核心(IP))。該半導體記憶體可以是一非時脈同步型半導體記憶體或者是一時脈同步型半導體記憶體。

該SRAM是利用一互補金屬氧化半導體(CMOS)製程來形成在一矽基體上，例如。該SRAM包括一個位址緩衝器ADB、一個命令緩衝器CMDB、一個字解碼器WDEC、字驅動器WDRV、字線控制電路WLC、一個行解碼器CDEC、控制電路CNTL、一個預先充電單元PRE、一個記憶體胞元陣列ARY、一個感應放大器單元SA、一個行開關單元CSW、及一個資料輸入/輸出單元IOB。例如，這些電路是根據一個供應到一外部電極的電源供應電壓VDD來運作。

該位址緩衝器ADB經由位址電極接收位址訊號AD，並且把接收的位址訊號AD輸出到該字解碼器WDEC和該行解碼器CDEC。該命令緩衝器CMDB經由命令電極接收像是晶片選擇訊號/CS與寫入致能訊號/WE般的命令訊號CMD。該命令緩衝器CMDB把接收的命令訊號CMD解碼，並且輸出一個讀取控制訊號RD或者一個寫入控制訊號WR到該等控制電路CNTL中之每一者。該控制電路CNTL接收該讀取控制訊號RD或者該寫入控制訊號WR，並且輸出用於致使該

字解碼器 WDEC、該等字驅動器 WDRV、該行解碼器 CDEC、該預先充電單元 PRE、該感應放大器單元 SA、與該資料輸入/輸出單元 IOB 運作之像是時序訊號般的控制訊號。

該字解碼器 WDEC 把該等位址訊號 AD 的高次位元解碼，例如，列位址 RAD，並且選擇該等字驅動器 WDRV 中之一者。被選擇的字驅動器 WDRV 作動由該列位址 RAD 所表示之字線 WL 中之對應之一者從一低位準，例如，地電位 VSS，到一高位準，例如，電源供應電壓 VDD，一約定周期。該字解碼器 WDEC 與該字驅動器 WDRV 響應於從該等控制電路 CNTL 中之適當之一者供應出來的一字時脈訊號 /WLCK 與一字作動訊號 WLP 來運作。

該等字線控制電路 WLC 中之每一者根據記憶體胞元 MC 的電氣特性來調整該等字線 WL 中之一對應之一者的高位準電壓。該行解碼器 CDEC 把該等位址訊號 AD 的低次位元解碼，例如，一行位址 CAD。該行解碼器 CDEC 作動，例如，對應於由該行位址 CAD 所表示之位元線對 BL 與 /BL 之行選擇訊號 CL 中之一者從一低位準，例如，地電位 VSS，到一高位準，例如，電源供應電壓 VDD，一約定周期。該預先充電單元 PRE 在記憶體胞元 MC 未被存取的周期中把該等位元線對 BL 與 /BL 預先充電到高位準，而當該等記憶體胞元 MC 被存取時停止預先充電。該字線控制電路 WLC 可以利用該記憶體胞元陣列 ARY 中的偽記憶體細胞 DMC 來形成。

該記憶體胞元陣列ARY包括以矩陣形式排列的記憶體胞元MC。在第1圖中之水平方向排列的記憶體胞元MC是連接到一公用字線。在第1圖中之垂直方向排列的記憶體胞元MC是連接到共用位元線對BL與/BL。該感應放大器單元SA包括感應放大器，該等感應放大器中之每一者是連接到該等位元線對BL與/BL中之一者。感應放大器的數目可以是連接到一字線WL之記憶體胞元MC的數目，例如，1024。該等感應放大器中之每一者把在該等位元線對BL與/BL之電壓之間的差放大，藉此決定來自該記憶體胞元MC之讀取資料的邏輯值。

該行開關單元CSW包括用於把對應之位元線對BL與/BL連接到該資料輸入/輸出單元IOB的行開關。該等行開關中之每一者是在一對應之行選擇訊號CL處於高位準時打開，並且把一由該行位址CAD所表示之對應的位元線對BL與/BL連接到該資料輸入/輸出單元IOB。例如，16個行開關是依據一個行位址CAD來打開。

當一讀取運作被執行時，該資料輸入/輸出單元IOB輸出由該感應放大器單元SA所決定之在數個-位元讀取資料當中之經由該等行開關供應的16-位元資料到一資料輸入/輸出電極I/O。該資料輸入/輸出電極I/O是為，例如，一個16-位元電極。當一寫入運作被執行時，該資料輸入/輸出單元IOB把從資料輸入/輸出電極I/O供應出來的16-位元寫入資料輸出到由該等行開關所選擇的十六個位元線對BL與/BL。當一寫入運作被執行時，該寫入資料被寫入到該16

個依據行位址CAD來選擇的記憶體胞元MC。雖然連接到該對應於該等寫入有寫入資料之記憶體胞元MC之字線之餘下之記憶體胞元MC的運作是實質上與該讀取運作相同，無資料是被輸出到該資料輸入/輸出電極I/O。

第2圖描繪一範例字解碼器、一範例字驅動器、一範例字線控制電路、及一範例記憶體胞元陣列。例如，該範例字解碼器、該範例字驅動器、該範例字線控制電路、及該範例記憶體胞元陣列可以分別是在第1圖中所描繪的該字解碼器WDEC、該等字驅動器WDRV中之一者、該等字線控制電路WLC中之一者、及該記憶體胞元陣列ARY之一部份。在第2圖中描繪的該字解碼器WDEC、該字驅動器WDRV、和該字線控制電路WLC是針對該等字線WL中之每一者來設置，例如。

該字解碼器WDEC包括一NAND閘C1。當一用於選擇該字線WL的位址解碼訊號ADEC是處於一有效位準時，例如，高位準，與該字作動訊號WLP同步地，該NAND閘C1把一字致能訊號/WLEN設定到低位準。該字解碼器WDEC包括一個根據該列位址RAD來產生該位址解碼訊號ADEC的邏輯電路。該字解碼器WDEC的解碼邏輯可以是該NAND閘C1的NAND。或者，該字解碼器WDEC的解碼邏輯可以是接收數個位址解碼訊號ADEC與該字作動訊號WLP的解碼邏輯。

該字驅動器WDRV包括串聯地設置在一電源供應電壓線VDD與一地線VSS之間的PMOS電晶體P11和P12及一個

n-通道金屬氧化半導體(NMOS)電晶體N11。該電晶體P11的閘極接收該字時脈訊號/WLCK。該等電晶體P12和N11的閘極接收該字致能訊號/WLEN。該等電晶體P12和N11的汲極是連接到該字線WL。除了該電源供應電壓線VDD，該PMOS電晶體P11的源極可以連接到一高位準電壓線。

該字驅動器WDRV包括一個設置在該字線WL與該地線VSS之間的NMOS電晶體N12。該NMOS電晶體N12可以設置在該字驅動器WDRV外部。除了該地線VSS，該NMOS電晶體N12的源極可以連接到一低位準電壓線。該電晶體N12的閘極經由一CMOS反相器C2來接收該字時脈訊號/WLCK。當該字時脈訊號/WLCK是處於低位準時，該電晶體N12是打開俾可把該字線WL連接到該地線VSS。在這情況中，該電晶體N12運作如一電阻器。一個從該具有高位準之字線WL流到該地線VSS的電流是根據該電晶體N12的開態電阻來決定。當該字致能訊號/WLEN和該字時脈訊號/WLCK皆處於低位準時，該字驅動器WDRV把該字線WL作動成高位準。

該字線控制電路WLC包括串聯地設置在該電源供應電壓線VDD與該地線VSS之間的一PMOS電晶體P21和一NMOS電晶體N21，及一個把該字線WL之訊號反相並且把該反相訊號輸出到該電晶體P21之閘極的CMOS反相器C3。除了該電源供應電壓線VDD，該PMOS電晶體P21的源極可以連接到一高位準電壓線。除了該地線VSS，該NMOS電晶體N21的源極可以連接到一低位準電壓線。

該電晶體P21的閘極接收該CMOS反相器C3的輸出作為一控制電壓。當該字線WL處於高位準時，該電晶體P21是打開俾可把該字線WL連接到該電源供應電壓線VDD。在這情況中，該電晶體P21運作如一電阻器。該電晶體N21的閘極是連接到該字線WL，並且接收該字線WL的電壓作為控制電壓。當該字線WL的高位準電壓超過該電晶體N21的臨界電壓時，該電晶體N21是打開俾可把該字線WL連接到該地線VSS。在這情況中，該電晶體N21運作如一電阻器。一個從該電源供應電壓線VDD經由該等電晶體P21和N21流到該地線VSS的貫穿電流(through current)是依據該電晶體P21的開態電阻以及該電晶體N21的開態電阻來決定。

該電晶體P21之尺寸與結構中之至少一者可以是，例如，實質上與記憶體胞元MC之電晶體P2的那些相同。該電晶體P21的電氣特性，其包括該電晶體P21的臨界電壓等等，可以是實質上與該電晶體P2的那些相同。該電晶體N21之尺寸與結構中之至少一者可以是，例如，實質上與該記憶體胞元MC之電晶體N2的那些相同。該電晶體N21的電氣特性，其包括該電晶體N21的臨界電壓，可以是實質上與該電晶體N2的那些相同。該CMOS反相器C3可以包括，例如，實質上與記憶體胞元MC之電晶體P1和N1相同的電晶體。例如，該電晶體N21的尺寸可以是比該電晶體N12的那些小。因此，該電晶體N21的開態電阻是比該電晶體N12的開態電阻高。

當該字致能訊號/WLEN和該字時脈訊號/WLCK是處於

低位準時，字線WL的高位準電壓是依據電晶體P11,P12和P21之開態電阻與電晶體N12和N21之開態電阻的比率來決定。該字線WL的高位準電壓主要是依據具有高驅動能力的電晶體P11,P12,和N12來設定。當該字致能訊號/WLEN是處於低位準而該字時脈訊號/WLCK是處於高位準時，該字線WL的高位準電壓是依據具有低驅動能力之電晶體P21之開態電阻與具有低驅動能力之電晶體N21之開態電阻的比率來決定。

該等電晶體P11,P12,N11,和N12之尺寸中之至少一者可以是比該等電晶體P21和N21的那些大。例如，該等電晶體P11,P12,N11,和N12的尺寸可以比該等電晶體P21和N21的尺寸大100倍。因此，該等電晶體P11,P12,N11,和N12的驅動能力是比該等電晶體P21和N21的驅動能力高。例如，一電晶體的尺寸是由電晶體的閘極寬度W表示。例如，該電晶體的驅動能力是由一個比率W/L表示，該比率W/L是為該閘極寬度W對一通道長度L的比率。例如，該等電晶體P11,P12,N11,N12,P21,和N21的通道長度L可以實質上是相同。

例如，與一SRAM相似，該記憶體胞元MC包括作用如負載電晶體的PMOS電晶體P1和P2、作用如驅動器電晶體的NMOS電晶體N1和N2、及作用如傳輸電晶體的NMOS電晶體N3和N4。該電晶體P1的結構可以實質上是與該電晶體P2的結構相同。該電晶體N1的結構可以是實質上與該電晶體N2的結構相同。該電晶體N3的結構可以實質上是與該電晶

體N4的結構相同。

第3圖描繪一字解碼器、一字驅動器、與一字線控制電路的範例運作。例如，該字解碼器、該字驅動器、與該字線控制電路分別可以是在第1圖中所示的字解碼器WDEC、字驅動器WDRV、與字線控制電路WLC。當該SRAM被存司時，該晶片選擇訊號/CS被作動成低位準(第3圖的(a))。在一讀取運作RD中，該寫入致能訊號/WE是維持高位準。在一寫入運作WR中，與該晶片致能訊號/CS同步地，該寫入致能訊號/WE被作動成低位準(第3圖的(b))。與該晶片選擇訊號/CS同步地，該等位址訊號AD被供應到該SRAM(第3圖的(c))。該晶片選擇訊號/CS、該等位址訊號AD、和該寫入致能訊號/WE是從一個像是存取該SRAM之中央處理單元(CPU)般的控制器輸出。

當該晶片選擇訊號/CS正被作動時，該字解碼器WDEC，像是在第2圖中所示的WDEC般，把該對應於由該等位址訊號AD，例如，列位址RAD，所表示之字線WL的位址解碼訊號ADEC作動成高位準(第3圖的(d))。與該晶片選擇訊號/CS同步地，在第1圖中所示的控制電路CNTL把該字作動訊號WLP作動成高位準(第3圖的(e))。該字線WL的作動周期是根據該字作動訊號WLP來決定。與該字作動訊號WLP同步地，接收高位準之位址解碼訊號ADEC的NAND閘C1把該該字致能訊號/WLEN作動成低位準(第3圖的(f))。

與該晶片選擇訊號/CS同步地，該控制電路CNTL在一約定周期中把該字時脈訊號/WLCK作動成低位準(第3圖的



(g))。例如，該字時脈衝訊號/WLCK的作動周期ACT1是根據字線WL之電壓是到達高位準的周期來決定。因為該字線WL是連接到大量的記憶體胞元MC，該字線WL的負載電容是高。具有高驅動能力的電晶體P11和P12是在作動周期ACT1打開，藉此，當一存取運作，像是讀取運作或者寫入運作般，開始時，該字線WL的電壓是迅速從低位準改變成高位準。

該電晶體N12的驅動能力可以是比該等電晶體P11和P12中之每一者的驅動能力高。該電晶體N12致使經由該等電晶體P11和P12流到字線WL之電流的一部份流到該地線VSS作為一貫穿電流。據此，該字線WL的高位準電壓是由於具有高驅動能力的電晶體N12而降低到一希望的電壓。

例如，當該電晶體N12的驅動能力是實質上與該記憶體胞元MC之NMOS電晶體N1或N3的驅動能力相同或者相似時，電晶體N12的電氣特性，包括電晶體N12的臨界電壓等等，是實質上與記憶體胞元MC之電晶體N1或N3的電氣特性相同。在這情況中，因為該電晶體N12的尺寸是小，例如，因為該電晶體N12的驅動能力是低，該字線WL的高位準電壓不降低到一希望的電壓。

流過具有高能力之電晶體P11,P12,和N12的貫穿電流是高。作動周期ACT1是為字線WL之作動周期的一部份，例如，字線WL之作動周期的20%到50%。因此，該SRAM的電流消耗會比該SRAM在電晶體P11,P12,和N12於字線WL之作動周期中打開時的電流消耗小。

與具有低位準的字致能訊號/WLEN和具有低位準的字時脈訊號/WLCK同步地，該字驅動器WDRV關閉該電晶體N11並打開該等電晶體P11,P12,和N12。該字線WL的電壓是設定成一個根據電晶體P11和P12之開態電阻與電晶體N12之開態電阻之比率來決定的電壓Vbase(第3圖的(h))。

該電壓Vbase是根據電晶體P11,P12,和N12的臨界電壓來決定。電晶體P11,P12,和N12的尺寸是與記憶體胞元MC內之電晶體的尺寸不同，而電晶體P11,P12,和N12所處的位置是遠離該記憶體胞元MC。因此，電晶體P11,P12,和N12的臨界電壓是與記憶體胞元MC內之電晶體的臨界電壓不同。在臨界電壓上之因半導體記憶體之生產條件方面之變化而起的變化在每個PMOS電晶體和每個NMOS電晶體中會是實質上相同。因此，電壓Vbase是根據記憶體胞元MC之電晶體的臨界電壓來設定成一個值。

記憶體胞元MC之傳輸電晶體N3和N4的開態電阻增加，因為電壓Vbase是比電源供應電壓VDD低。因此，記憶體胞元MC的靜態雜訊邊界SNM被改進。

在作動周期ACT1之後，字時脈訊號/WLCK被解除作動成高位準，藉此電晶體P11和N12被關閉(第3圖的(i))。其後，流過電晶體P11,P12,和N12的貫穿電流降低。電晶體P21和N21是由於該字線WL的高位準電壓而打開。因此，在一個是為字線WL之餘下之作動周期的作動周期ACT2中，該貫穿電流經由電晶體P21和N21來從電源供應電壓線VDD流到地線VSS。電晶體P21和N21的尺寸是實質上與記憶體

胞元MC之電晶體P1和N1的尺寸相同，而且它們會是，例如，小的。流過電晶體P21和N21的貫穿電流是比流過電晶體P11,P12,和N12的貫穿電流小。如此，該被存取之SRAM的電流消耗是降低。

在該作動周期ACT2中該字線WL的高位準電壓是根據電晶體P21之開態電阻(臨界電壓)與電晶體N21之開態電阻(臨界電壓)的比率來設定。此外，字線WL的電壓是根據電晶體P21之開態電阻與電晶體N21之開態電阻的電阻電壓分割來設定。例如，當該電晶體P21的臨界電壓，例如，該電晶體P21之臨界電壓的絕對值，是低時，當該電晶體N21的臨界電壓，例如，該電晶體N21之臨界電壓的絕對值，是高時，或者當該電晶體P21的臨界電壓，例如，該電晶體P21之臨界電壓的絕對值，是低且該電晶體N21之臨界電壓，例如，該電晶體N21之臨界電壓的絕對值，是高時，字線WL的高位準電壓增加(第3圖的(j))。當該電晶體P21的臨界電壓，例如，電晶體P21之臨界電壓的絕對值，是高時，當該電晶體N21的臨界電壓，例如，該電晶體N21之臨界電壓的絕對值，是低時，或者當該電晶體P21之臨界電壓，例如，該電晶體P21之臨界電壓的絕對值，是高且該電晶體N21之臨界電壓，例如，電晶體N21之臨界電壓的絕對值，是低時，字線WL的高位準電壓降低(第3圖的(k))。該等電晶體P21和N21分別是實質上與記憶體胞元MC的電晶體P2和N2相同或者相似。如是，字線WL的高位準電壓是根據記憶體胞元MC內之電晶體之包括電晶體之臨界電壓等等的電氣特性

作調整。

該晶片選擇訊號/CS可以被解除作動成高位準(第3圖的(l))。如是，與在位址訊號AD上的改變同步地，位址解碼訊號ADEC被解除作動(第3圖的(m))。此外，與晶片選擇訊號/CS的解除作動同步地，字作動訊號WLP被解除作動(第3圖的(n))。又此外，與位址解碼訊號ADEC或者字作動訊號WLP的解除作動同步地，該字致能訊號/WLEN被解除作動(第3圖的(o))。又此外，與字致能訊號/WLEN的解除作動同步地，電晶體P12是關閉而電晶體P11是打開。又此外，字線WL被解除作動成低位準(第3圖的(p))。又此外，字線控制電路WLC的電晶體P21和N21是由於字線WL的位準改變成低位準而關閉。

第4圖描繪一記憶體胞元的範例電氣特性。例如，在第4圖中所示之記憶體胞元的電氣特性可以是在第3圖中所示之記憶體胞元MC的電氣特性。水平軸表示該等NMOS電晶體N1至N4中之每一者的臨界電壓 $V_{thn}$ 。垂直軸表示該等PMOS電晶體P1和P2中之每一者的臨界電壓 $V_{thp}$ 。在第4圖中所示的虛線 $T_{yp}$ 表示臨界電壓 $V_{thn}$ 和 $V_{thp}$ 的典型值，例如，臨界電壓 $V_{thn}$ 和 $V_{thp}$ 的理想值。一個由一平行四邊形所表示的區域表示臨界電壓 $V_{thn}$ 和 $V_{thp}$ 的規格。該等臨界電壓 $V_{thn}$ 和 $V_{thp}$ 是在該SRAM的製程中對每個晶片或者每個晶圓測量。運作測試是對具有落在該等規格之內之臨界電壓 $V_{thn}$ 和 $V_{thp}$ 的晶片執行。

在第4圖中所示之記憶體胞元MC中之每一者中，一個

低位準L是儲存在一個設置在傳輸電晶體N3側的儲存節點ND1，而一個高位準H是儲存在一個設置於傳輸電晶體N4側的儲存節點ND2。描繪在第4圖之左上側之該記憶體胞元MC的讀取運作邊界，例如，記憶體胞元MC的靜態雜訊邊界SNM，是小的。描繪在第4圖之右下側之該記憶體胞元MC的寫入運作邊界是小的。

在該讀取運作中，位元線BL與 $\overline{BL}$ 是事先預先充電到高位準H。當該等NMOS電晶體N1至N4中之每一者的臨界電壓 $V_{thn}$ 是低時，傳輸電晶體N3的開態電阻降低。經由傳輸電晶體N3從位元線BL流到儲存節點ND1的電流量增加。由於驅動器電晶體N1的臨界電壓 $V_{thn}$ 也是低，從儲存節點ND1流到地線VSS的電流量增加。在儲存節點ND1的電壓會由於從位元線BL流出的電流而增加。

當低位準L維持在儲存節點ND1時，電晶體N2關閉。然而，電晶體N2由於在儲存節點ND1之電壓方面的增加，例如，靜態雜訊，而是可以打開。當電晶體N2打開時，維持在記憶體胞元MC的資料會被損壞。當臨界電壓 $V_{thn}$ 是低時，該讀取運作邊界，例如，該靜態雜訊邊界SNM，縮減。讀取運作邊界的縮減是在PMOS電晶體P1和P2中之每一者的臨界電壓 $V_{thp}$ 是高時，或者是在該等NMOS電晶體N1至N4中之每一者的臨界電壓 $V_{thn}$ 是低且該等PMOS電晶體P1和P2中之每一者的臨界電壓 $V_{thp}$ 是高時，發生。在讀取運作上之以上所述的故障是發生於在寫入運作中未寫入有資料的記憶體胞元MC內，例如，在未由行開關選擇的記憶體

胞元MC內。

在寫入運作中，例如，該等位元線BL與/BL是由資料輸入/輸出單元IOB設定成分別與在儲存節點ND1和ND2之位準相反的低位準或者高位準。當該等電晶體N1至N4中之每一者的臨界電壓 $V_{thn}$ 是高時，從儲存節點ND2流到元線/BL的電流量降低。一個經由驅動器電晶體N2從儲存節點ND2流到地線VSS的電流減少。據此，在儲存節點ND2之位準不容易反相成低位準。當臨界電壓 $V_{thn}$ 是高時，寫入運作邊界縮減。當該等PMOS電晶體P11和P12中之每一者的臨界電壓 $V_{thp}$ 是低時，或者當該等NMOS電晶體N1至N4中之每一者是高且該等PMOS電晶體P11和P12中之每一者的臨界電壓 $V_{thp}$ 是低時，寫入運作的縮減發生。

在第2圖中所示的電路中，字線控制電路WLC之電晶體N21的臨界電壓會是，例如，實質上與記憶體胞元MC之NMOS電晶體的臨界電壓 $V_{thn}$ 相同。字線控制電路WLC之電晶體P21的臨界電壓會是，例如，實質上與記憶體胞元MC之PMOS電晶體的臨界電壓 $V_{thp}$ 相同。因為電晶體N21的開態電阻在臨界電壓 $V_{thn}$ 是低時降低，字線WL的高位準電壓降低。因為電晶體P21的開態電阻在臨界電壓 $V_{thp}$ 是高時增加，字線WL的高位準電壓降低。由於字線WL的高位準電壓降低，傳輸電晶體N3的開態電阻增加。在第4圖之左上側所示之記憶體胞元MC中之臨界電壓的條件之下，從位元線BL流到儲存節點ND1的電流量減少，而讀取運作邊界不縮減。

因為電晶體N21的開態電阻在臨界電壓 $V_{thn}$ 是高時增加，字線WL的高位準電壓增加。因為電晶體P21的開態電阻在臨界電壓 $V_{thp}$ 是低時降低，字線WL的高位準電壓增加。由於字線WL的高位準電壓增加，傳輸電晶體N4的開態電阻降低。在第4圖之右下側所示之記憶體胞元MC中之臨界電壓的條件之下，從位元線/BL流到儲存節點ND2的電流量增加，而寫入運作邊界不縮減。

在該第一實施例中，具有高驅動能力的電晶體P11,P12,和N12是在該被包括在字線WL之作動周期內的第一作動周期ACT1中打開。具有低驅動能力的電晶體P21和N21是在該被包括在字線WL之作動周期內的第二作動周期ACT2中打開。字線WL的高位準電壓是在沒有增加電力消耗之下迅速設定成一個比電源供應電壓VDD低之想要的電壓。該字線WL的高位準電壓是根據臨界電壓 $V_{thn}$ 與臨界電壓 $V_{thp}$ 來設定成適當的電壓。因此，不管在臨界電壓 $V_{thp}$ 和 $V_{thn}$ 上的變化，讀取運作邊界與寫入運作邊界不縮減，如是，該等SRAM的產量是提升。

第5圖描繪一第二實施例。實質上與在第一實施例中之那些相同的元件是由相同的標號標示，而且相關的說明是被省略或者減少。在第二實施例中該SRAM之字線控制電路WLC中之每一者包括一個在記憶體胞元陣列ARY內的偽記憶體胞元DMC。該偽胞元DMC會包括實質上與記憶體胞元MC之電晶體P1,P2,及N1至N4相同的電晶體。該等偽記憶體胞元DMC會以實質上與記憶體胞元MC之間距相同的間距

來設置。偽位元線DBL和/DBL是以實質上與位元線BL和/BL之間距相同的間距來設置在偽記憶體胞元DMC側。字線控制電路WLC之其他元件的結構是實質上與在第1圖中所示之字線控制電路WLC之其他元件的結構相同或者相似。該字線控制電路WLC可以如在第1圖中所示設置在記憶體胞元陣列ARY外部。

第6圖描繪一範例字解碼器、一範例字驅動器、與一範例字線控制電路。該範例字解碼器、該範例字驅動器、與該範例字線控制電路分別可以是在第5圖中所示的字解碼器WDEC、該等字驅動器WDRV中之一者、與該字線控制電路WLC。該等記憶體胞元MC中之每一者可以是，例如，實質上與在第2圖中所示的記憶體胞元相同。雖然該等偽記憶體胞元DMC中之每一者可以具有一個實質上與記憶體胞元MC之結構相同的結構，偽記憶體胞元DMC之電晶體之佈線圖案中之一些可以是與記憶體胞元MC的佈線圖案不同。該偽記憶體胞元DMC之其他元件的結構是實質上與在第2圖中所示之記憶體胞元MC之其他元件的結構相同。在第6圖底部的偽記憶體胞元DMC會是一等效電路。

該字線控制電路WLC，例如，該等效電路，包括該PMOS電晶體P2、該NMOS電晶體N2、一CMOS反相器P1/N1、和該NMOS電晶體N4。該等電晶體P2和N2是串聯地設置在電源供應電壓線VDD與地線VSS之間。該CMOS反相器P1/N1把該字線WL的訊號反相，並且把反相訊號輸出到該等電晶體P2和N2的閘極。該NMOS電晶體N4是串聯



地設置在字線WL與地線VSS之間。

除了在第2圖中所示之字線控制電路WLC中的元件之外，該字線控制電路WLC包括該電晶體N2，該電晶體N2的閘極接收該CMOS反相器P1/N1的輸出。該字線控制電路WLC的運作是，例如，實質上與在第3圖中所示之字線控制電路WLC的運作相同。

在第二實施例中的優點是實質上與在第一實施例中的條點相同。該字線控制電路WLC包括該具有一個實質上與該記憶體胞元MC之結構相同之結構的偽記憶體胞元DMC。因此，該字線WL的高位準電壓是根據在記憶體胞元MC中之電晶體的電氣特性來精準地設定。

第7圖描繪一第三實施例。第7圖描繪一範例字解碼器WDEC、範例字驅動器WDRV、與一範例字線控制電路WLC。實質上與在第一和第二實施例中之元件相同的元件是由相同的標號標示，且它們的說明被省略或者減少。在第7圖中所示的記憶體胞元MC可以是，例如，實質上與在第2圖中所示的記憶體胞元MC相同。半導體記憶體可以是，例如，SRAM。

該字線控制電路WLC之NMOS電晶體N21的閘極是連接到該電源供應電壓線VDD。該字線控制電路WLC之其他元件的結構是實質上與在第2圖中所示之字線控制電路WLC之其他元件的結構相同或者相似。字線控制電路WLC的運作是實質上與在第3圖中所示之字線控制電路WLC的運作相同或者相似。實質上與在以上所述之實施例中每一

者中之優點相同或者相似的優點也會在第三實施例中得到。

第8圖描繪一第四實施例。第8圖描繪一範例字解碼器WDEC、範例字驅動器WDRV、與範例字線控制電路WLC。與在第一至第三實施例中之元件實質上相同的元件是由相同的標號標示，且它們的說明被省略或者減少。在第8圖中所示的記憶體胞元MC可以是，例如，在第2圖中所示的記憶體胞元MC。

該字驅動器WDRV包括一延遲電路C4和一NAND閘C5。該延遲電路C4接收該字線控制電路WLC之反相器C3的輸出。該NAND閘C5接收該字作動訊號WLP和該延遲電路C4的輸出訊號，並且產生該字時脈訊號/WLCK。在第四實施例中，例如，於第1圖中所示的控制電路CNTL不產生該字時脈訊號/WLCK。

該延遲電路C4包括偶數個串接的反相器。該延遲電路C4的延遲時間可以是實質上與在第3圖中所示的作動周期ACT1相同。在字線WL被作動起逝去作動周期ACT1之後，該延遲電路C4把一低位準解除作動訊號輸出到該NAND閘C5。例如，在沒有使用該控制電路CNTL之下，該延遲電路C4產生該具有一個實質上與在第3圖中所示之字時脈訊號/WLCK之波形相同之波形的字時脈訊號/WLCK。該字線控制電路WLC之電晶體N21的閘極可以如在第7圖中所示連接到電源供應電壓線VDD。延遲電路C4可以設置在字線控制電路WLC。延遲電路C4可以包括奇數個串接的反相器，

而字線WL可以連接到延遲電路C4的輸入端。

在第四實施例中的優點是實質上與在先前之實施例中之每一者中的優點相同。在該第四實施例中，字時脈訊號/WLCK被解除作動的時序，例如，字時脈訊號/WLCK的升緣，是響應於在字線WL之電壓上的改變來產生。因此，作動周期ACT1的結束時間是設定成當一個約定時間在字線WL被作動之後逝去時的時間。該作動周期ACT1被設定以致於流過電晶體P11,P12,和N12的貫穿電流被最小化，藉此，當SRAM被存取時電流消耗是減少。縱使當漏電流由於記憶體胞元MC之電晶體的臨界電壓是低而是高，具有超過電流消耗之規格之電流消耗的SRAM數目減少。因此，SRAM的產量是提升。

第9圖描繪一第五實施例。第9圖描繪一範例字解碼器WDEC、範例字驅動器WDRV、與範例字線控制電路WLC。實質上與在第一至第四實施例中之元件相同的元件是由相同的標號標示，而且它們的說明是省略或者減少。在第9圖中所示的記憶體胞元MC可以是，例如，在第2圖中所示的記憶體胞元MC。半導體記憶體可以是SRAM。

該字線控制電路WLC包括如在第6圖中所示的偽記憶體胞元DMC。該字驅動器WDRV包括如在第8圖中所示的延遲電路C4和NAND閘C5。因為字時脈訊號/WLCK是利用NAND閘C5產生，例如，在第1圖中所示的控制電路CNTL不產生該字時脈訊號/WLCK。字線控制電路WLC的運作是實質上與在第3圖中所示之字線控制電路WLC的運作相同

或者相似。在第五實施例中的優點是實質上與在先前之實施例中之每一者中的優點相同。

第10圖描繪一第六實施例。第10圖描繪一範例字解碼器 WDEC、範例字驅動器 WDRV、及範例字線控制電路 WLC。實質上與在先前之實施例中之元件相同的元件是由相同的標號標示，而它們的詳細說明是省略或者減少。在第10圖中所示的記憶體胞元MC可以是與在第2圖中所示的記憶體胞元MC相同。半導體記憶體可以是SRAM。

該字線控制電路WLC不包括，例如，在第2圖中所示的電晶體N21。字線控制電路WLC包括二極體-耦合(diode-coupled)的NMOS電晶體N22和N23。該電晶體N22的閘極是連接到字線WL。該電晶體N23的閘極是連接到電晶體N22的源極。除了字線控制電路WLC之電晶體的尺寸是不同之外，字線控制電路WLC之其他元件的結構是實質上與在第1和2圖中所示之字線控制電路WLC之其他元件的結構相同或者相似。

字線控制電路WLC可以包括如在第5和6圖中所示設置在記憶體胞元陣列ARY中的偽記憶體胞元DMC。字時脈訊號/WLCK可以利用在第8圖中所示的延遲電路C4來產生。

第11圖描繪一字解碼器、一字驅動器、與一字線控制電路的範例運作。該字解碼器、該字驅動器、與該字線控制電路分別可以是在第10圖中所示的字解碼器WDEC、字驅動器WDRV、與字線控制電路WLC。字線WL在作動周期ACT2中的電壓是與在第3圖中所示之字線WL的電壓不

同。在第11圖中所示的其他運作是實質上與在第3圖中所示的運作相同或者相似。

在該第六實施例中，當記憶體胞元MC之NMOS電晶體的臨界電壓 $V_{thn}$ 是高時，例如，在第10圖中所示的電晶體N22和N23是不容易打開。因此，當該NMOS電晶體的臨界電壓 $V_{thn}$ 是高時，字線WL在作動周期ACT2中的高位準電壓增加(第11圖的(a))。由於字線WL的高位準電壓增加，記憶體胞元MC之傳輸電晶體N3和N4的開態電阻降低。因此，寫入運作邊界是改進。

在第10圖中所示之電晶體P21的臨界電壓被設計以致於當記憶體胞元MC之電晶體的臨界電壓 $V_{thn}$ 和 $V_{thp}$ 是為典型值 $T_{yp}$ 時，字線WL在作動周期ACT2中的電壓被設定成在第3圖中所示的參考電壓 $V_{base}$ 。在第六實施例中的優點是實質上與在先前之實施例中之每一者中的優點相同。

第12圖描繪一第七實施例。第12圖描繪一範例字解碼器、範例字驅動器、與範例字線控制電路。實質上與在第一至第六實施例中之元件相同的元件是由相同的標號標示，而它們的說明是省略或者減少。在第12圖中所示的記憶體胞元MC可以是，例如，實質上與在第2圖中所示的記憶體胞元MC相同。半導體記憶體可以是，例如，SRAM。

在第七實施例中，例如，在第10圖中所示之二極體-耦合的NMOS電晶體N22和N23是加入到在第2圖中所示的字線控制電路WLC。字線控制電路WLC之其他元件的結構是實質上與在第1和2圖中所示之字線控制電路WLC之其他元

件的結構相同或者相似。字線控制電路WLC可以包括如在第5和6圖中所示在記憶體胞元陣列ARY中的偽記憶體胞元DMC。在第8圖中所示的延遲電路C4可以產生該字時脈訊號/WLCK。在第七實施例中的優點是實質上與在先前之實施例中的優點相同。

本發明的例子實施例現在業已根據以上的優點來作說明。會察覺到的是，這些例子僅為本發明的例證而已。很多的變化和改變對於熟知此項技術的人仕而言是顯而易知的。

此外，名詞“或者”是傾向於表示包括性“或者”而不是排除性“或者”。即，除非特別指出，或者從文中清楚可見，片語“X使用A或者B”是傾向於表示包括性排列中之任一者。即，該片語“X使用A或B”是指後面例子中之任一者：X使用A；X使用B；或X使用A和B。此外，除非特別指出或者從文中清楚可見是指單數，在這說明書與後附之申請專利範圍中所使用的冠詞“一”和“一個”意思是“一個或多個”。

### 【圖式簡單說明】

第1圖描繪一第一實施例；

第2圖描繪一範例字解碼器、一範例字驅動器、一範例字線控制電路、及一範例記憶體胞元陣列；

第3圖描繪一字解碼器、一字驅動器、及一字線控制電路的範例運作；

第4圖描繪一記憶體胞元的範例電氣特性；

第5圖描繪一第二實施例；

第6圖描繪一範例字解碼器、一範例字驅動器、及一範例字線控制電路；

第7圖描繪一第三實施例；

第8圖描繪一第四實施例；

第9圖描繪一第五實施例；

第10圖描繪一第六實施例；

第11圖描繪一字解碼器、一字驅動器、及一字線控制電路的範例運作；及

第12圖描繪一第七實施例。

### 【主要元件符號說明】

ADB	位址緩衝器	/CS	晶片選擇訊號
CMDB	命令緩衝器	/WE	寫入致能訊號
WDEC	字解碼器	CMD	命令訊號
WDRV	字驅動器	RD	讀取控制訊號
WLC	字線控制電路	WR	寫入控制訊號
CDEC	行解碼器	RAD	列位址
CNTL	控制電路	VSS	地電位
PRE	預先充電單元	/WLCK	字時脈訊號
ARY	記憶體胞元陣列	WLP	字作動訊號
SA	感應放大器	MC	記憶體胞元
CSW	行開關單元	CL	行選擇訊號
IOB	資料輸入/輸出單元	CAD	行位址
VDD	電源供應電壓	BL	位元線
AD	位址訊號	/BL	位元線

DMC	偽記憶體胞元	P1	PMOS電晶體
I/O	資料輸入/輸出電極	P2	PMOS電晶體
C1	NAND閘	N1	NMOS電晶體
ADEC	位址解碼訊號	N2	NMOS電晶體
/WLEN	字致能訊號	N3	NMOS電晶體
P11	PMOS電晶體	N4	NMOS電晶體
P12	PMOS電晶體	ACT1	作動周期
N11	NMOS電晶體	ND1	儲存節點
N12	NMOS電晶體	ND2	儲存節點
C2	CMOS反相器	DMC	偽記憶體胞元
C3	CMOS反相器	C4	延遲電路
P21	PMOS電晶體	C5	NAND閘
N21	NMOS電晶體		



## 七、申請專利範圍：

### 1. 一種半導體記憶體，包含：

一個記憶體胞元；

一條連接到該記憶體胞元之傳輸電晶體的字線；

一個被構築來作動該字線的字驅動器；

一個第一電阻部份，其被構築來根據該字線之作動來把該字線連接到一低位準電壓線且在該字線之作動周期中之第一周期逝去之後釋放連接；

一個被構築來在該作動周期中之第二周期中把該字線連接到一高位準電壓線的第二電阻部份，其中，該第二周期不包括在該第一周期內；及

一個被構築來在該第二周期中把該字線連接到該低位準電壓線的第三電阻部份，該第三電阻部份的電阻是比該第一電阻部份的電阻高，

其中，在該第二周期中該字線的高位準電壓是由於該第二電阻部份與該第三電阻部份的一電阻電壓分割而比該高位準電壓線的高位準電壓低。

### 2. 如申請專利範圍第 1 項所述之半導體記憶體，

其中，該第一電阻部份、該第二電阻部份、與該第三電阻部份包括運作如電阻器的電晶體，且

其中，該第三電阻部份之電晶體的閘極寬度是比該第一電阻部份之電晶體的閘極寬度小。

### 3. 如申請專利範圍第 2 項所述之半導體記憶體，

其中，該第二電阻部份的電晶體包括一個 p-通道金屬

氧化物半導體電晶體，該電晶體的至少一個尺寸是實質上與該記憶體胞元之一個 p-通道金屬氧化物半導體電晶體的尺寸相同，且

其中，該第三電阻部份的電晶體包括一個 n-通道金屬氧化物半導體電晶體，該電晶體的至少一個尺寸是實質上與該記憶體胞元之一個 n-通道金屬氧化物半導體電晶體的尺寸相同。

4. 如申請專利範圍第 1 項所述之半導體記憶體，

其中，該第二電阻部份包括一個 p-通道金屬氧化物半導體電晶體，該電晶體的閘極接收一個藉由把該字線之訊號反相來得到的訊號，該電晶體的源極是連接到該高位準電壓線，而該電晶體的汲極是連接到該字線，且

其中，該第三電阻部份包括一個 n-通道金屬氧化物半導體電晶體，該電晶體的閘極與汲極是連接到該字線，而該電晶體的源極是連接到該低位準電壓線。

5. 如申請專利範圍第 1 項所述之半導體記憶體，

其中，該第二電阻部份包括一個 p-通道金屬氧化物半導體電晶體，該電晶體的閘極接收一個藉由把該字線之訊號反相來得到的訊號，該電晶體的源極是連接到該高位準電壓線，而該電晶體的汲極是連接到該字線，且

其中，該第三電阻部份包括一個 n-通道金屬氧化物半導體電晶體，該電晶體的汲極是連接到該字線，該電晶體的閘極是連接到該高位準電壓線，而該電晶體的源極是連接到該低位準電壓線。

6.如申請專利範圍第1項所述之半導體記憶體，

其中，該第二電阻部份包括一個p-通道金屬氧化物半導體電晶體，該電晶體的閘極接收一個藉由把該字線之訊號反相來得到的訊號，該電晶體的源極是連接到該高位準電壓線，而該電晶體的汲極是連接到該字線，且

其中，該第三電阻部份包括數個以二極體式串聯連接在該字線與該低位準電壓線之間的n-通道金屬氧化物半導體電晶體。

7.如申請專利範圍第1項所述之半導體記憶體，更包含一個對應於該記憶體胞元的偽記憶體胞元，

其中，該第二電阻部份與該第三電阻部份包括該偽記憶體胞元的一電晶體。

8.如申請專利範圍第7項所述之半導體記憶體，其中，該偽記憶體胞元包括數個實質上與該記憶體胞元之數個電晶體相同的電晶體。

9.如申請專利範圍第1項所述之半導體記憶體，更包含一個延遲電路，該延遲電路被構築來在該第一周期逝去之後輸出一個解除作動訊號，

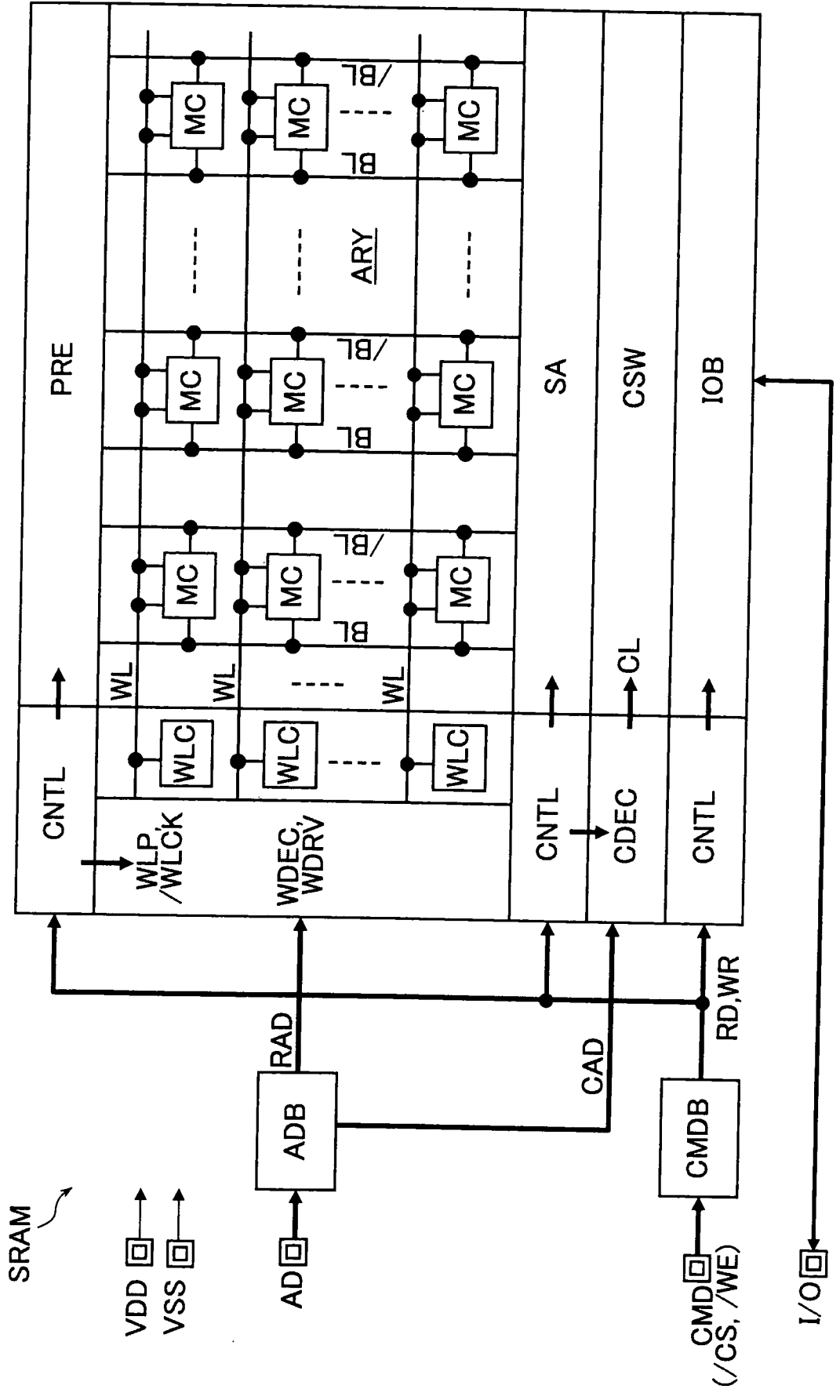
其中，該第一電阻部份響應於該解除作動訊號來釋放該字線的連接。

10.如申請專利範圍第8項所述之半導體記憶體，其中，該延遲電路接收一個響應於該字線之電壓與該字線之電壓上之改變中之至少一者來改變的訊號。

11.如申請專利範圍第1項所述之半導體記憶體，其中，該記

憶體胞元是一個靜態記憶體胞元。

1/12  
第1圖



SRAM

VDD □  
VSS □

AD □

ADB

RAD

CMD □  
(/CS, /WE)

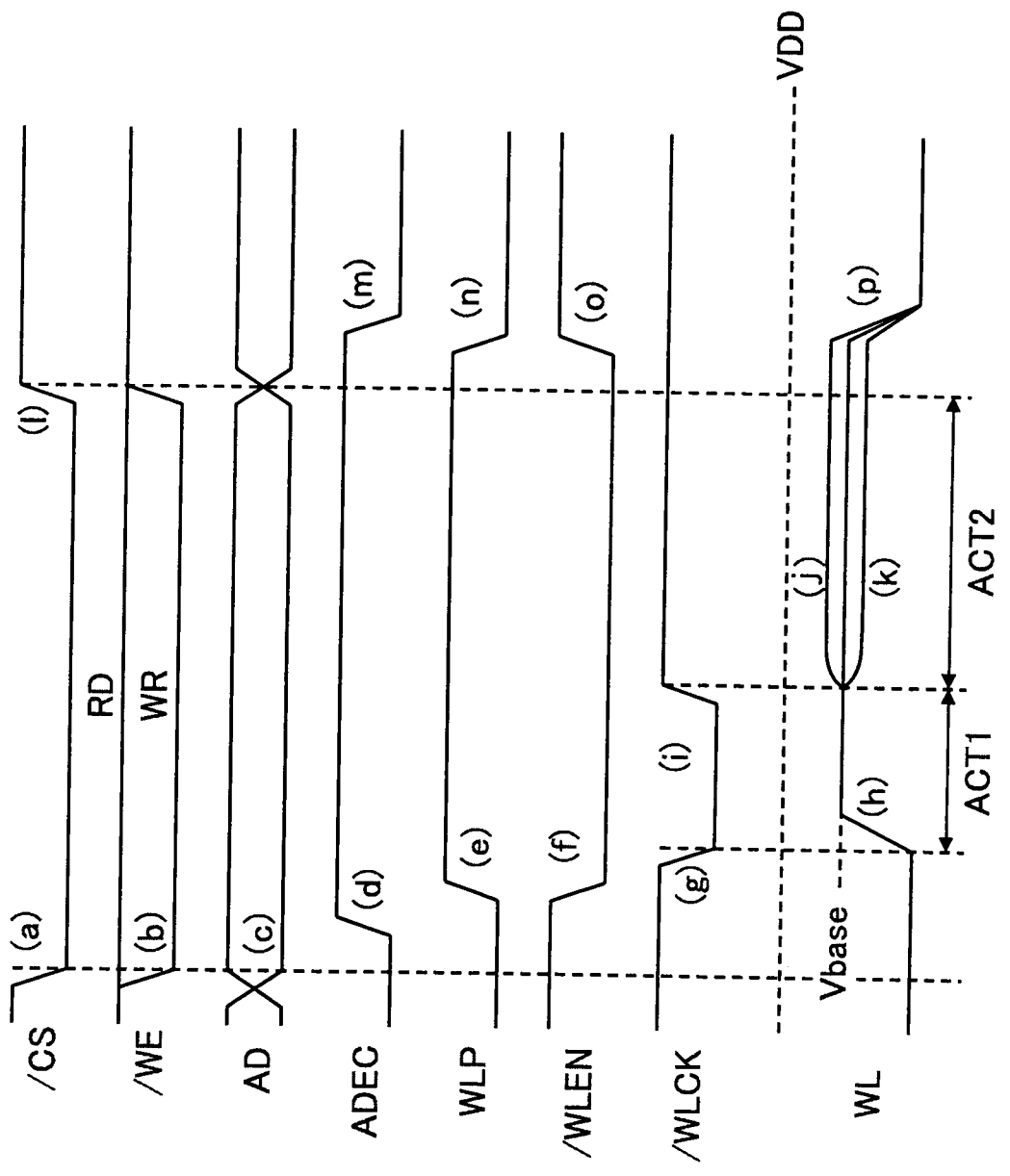
CMDDB

RD, WR

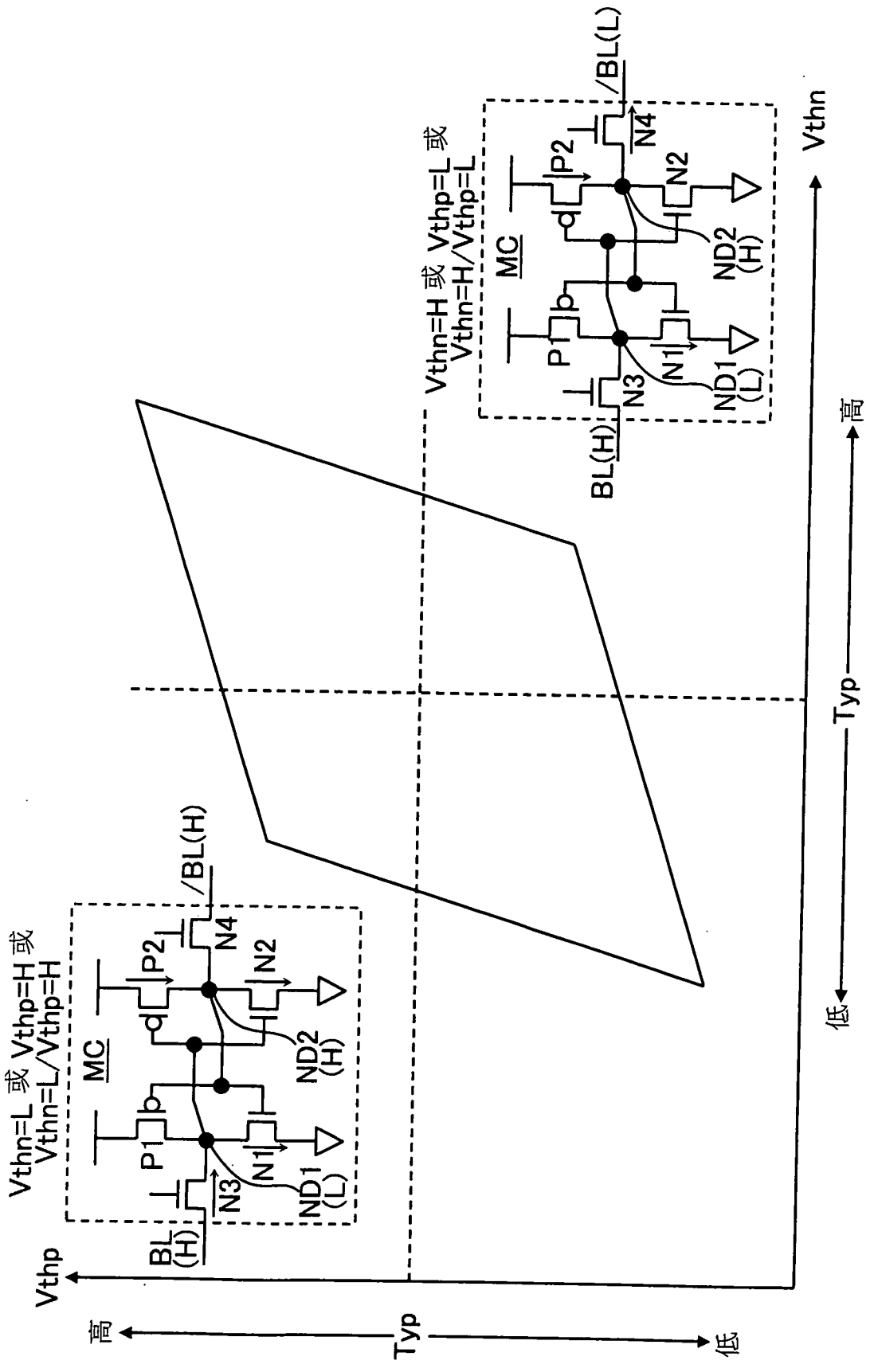
I/O □



3/12  
第3圖

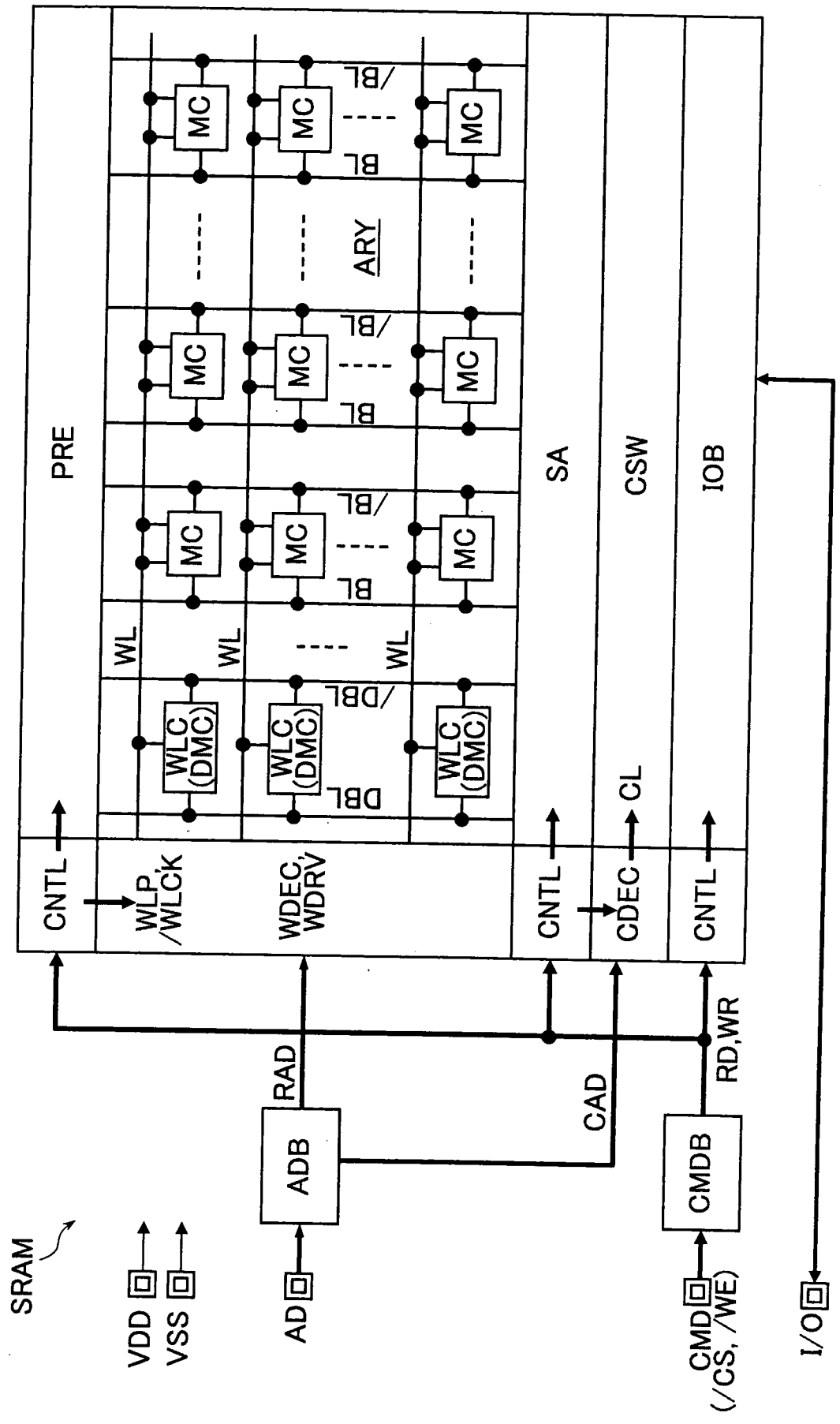


4/12  
第4圖



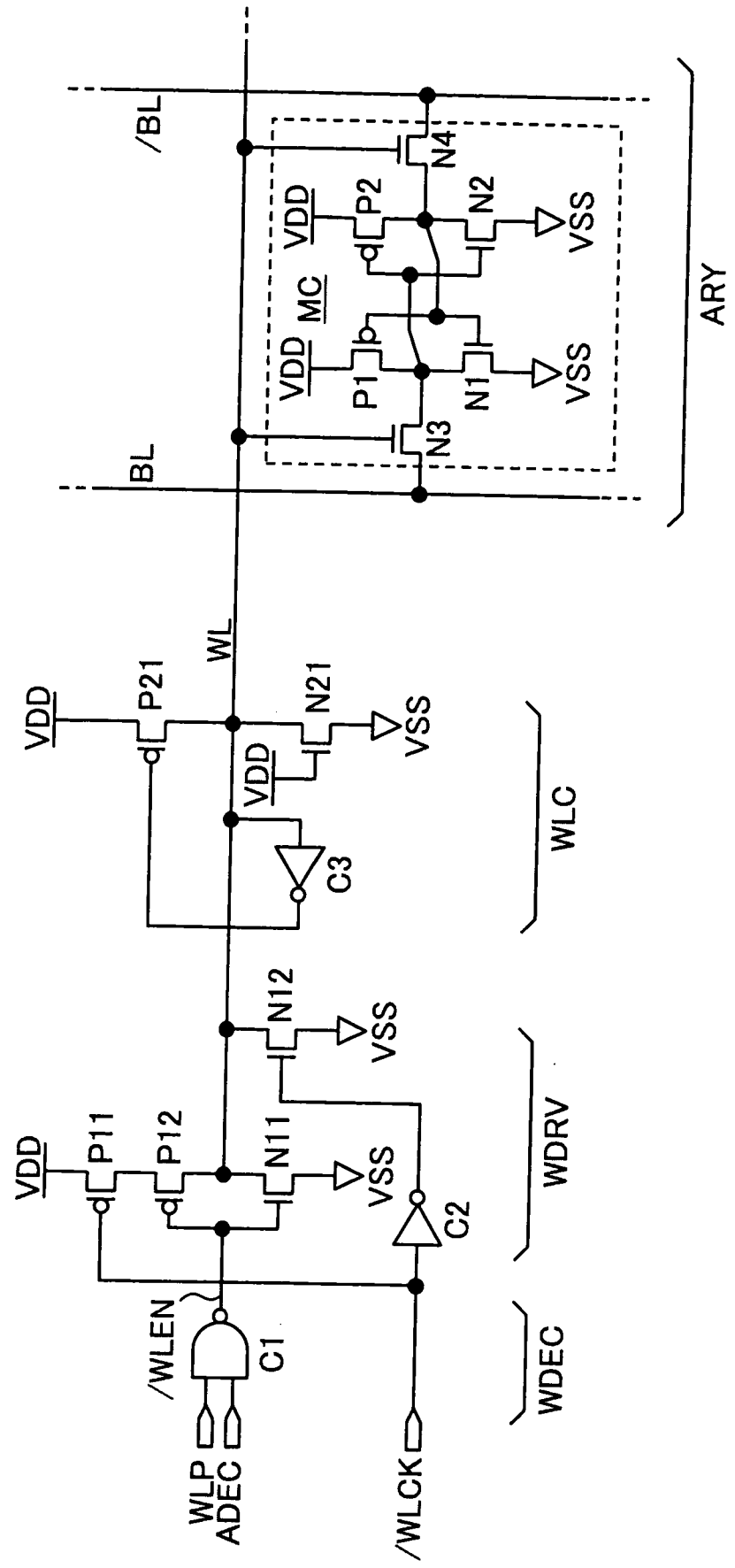


5/12  
第5圖

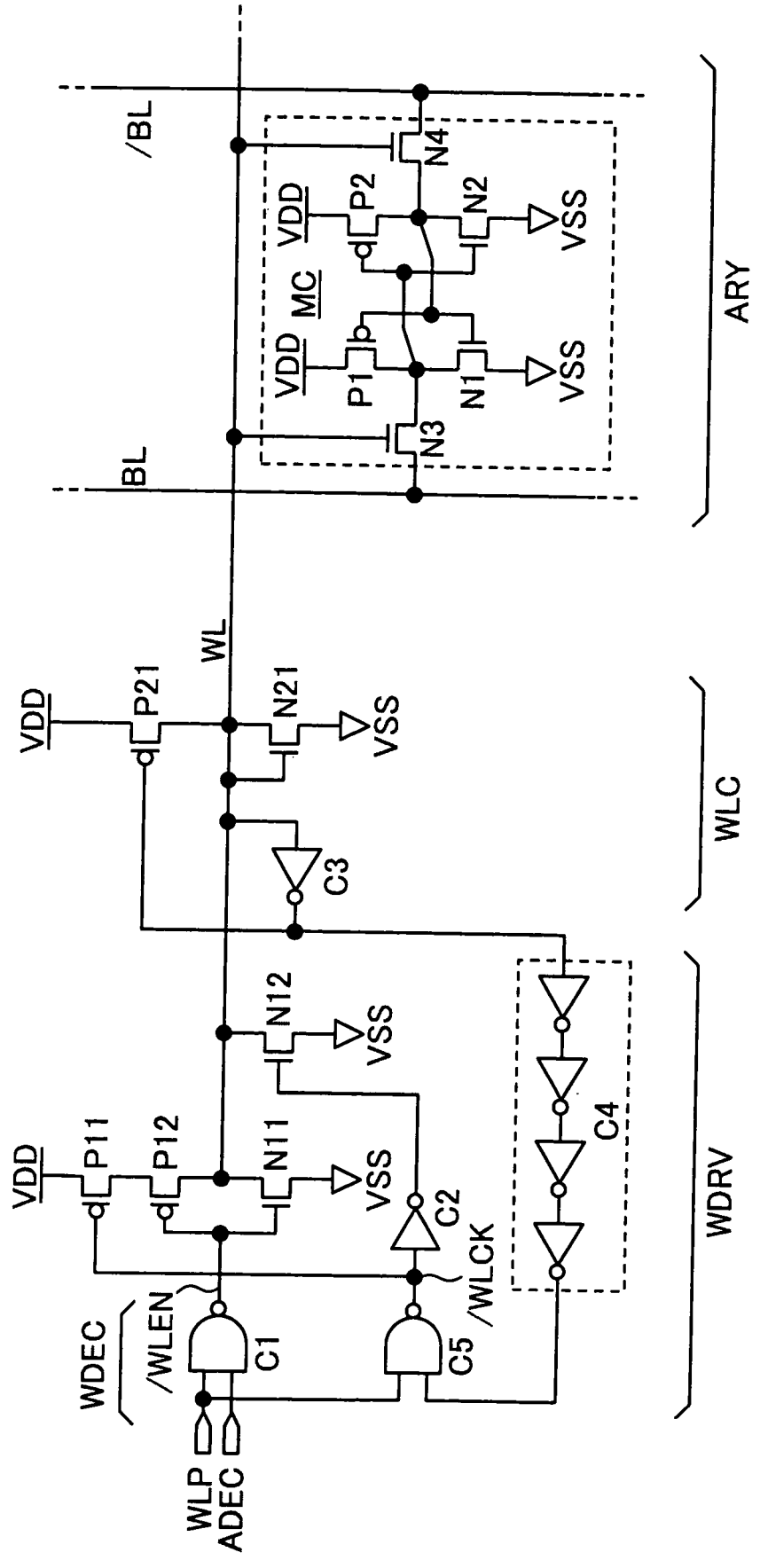




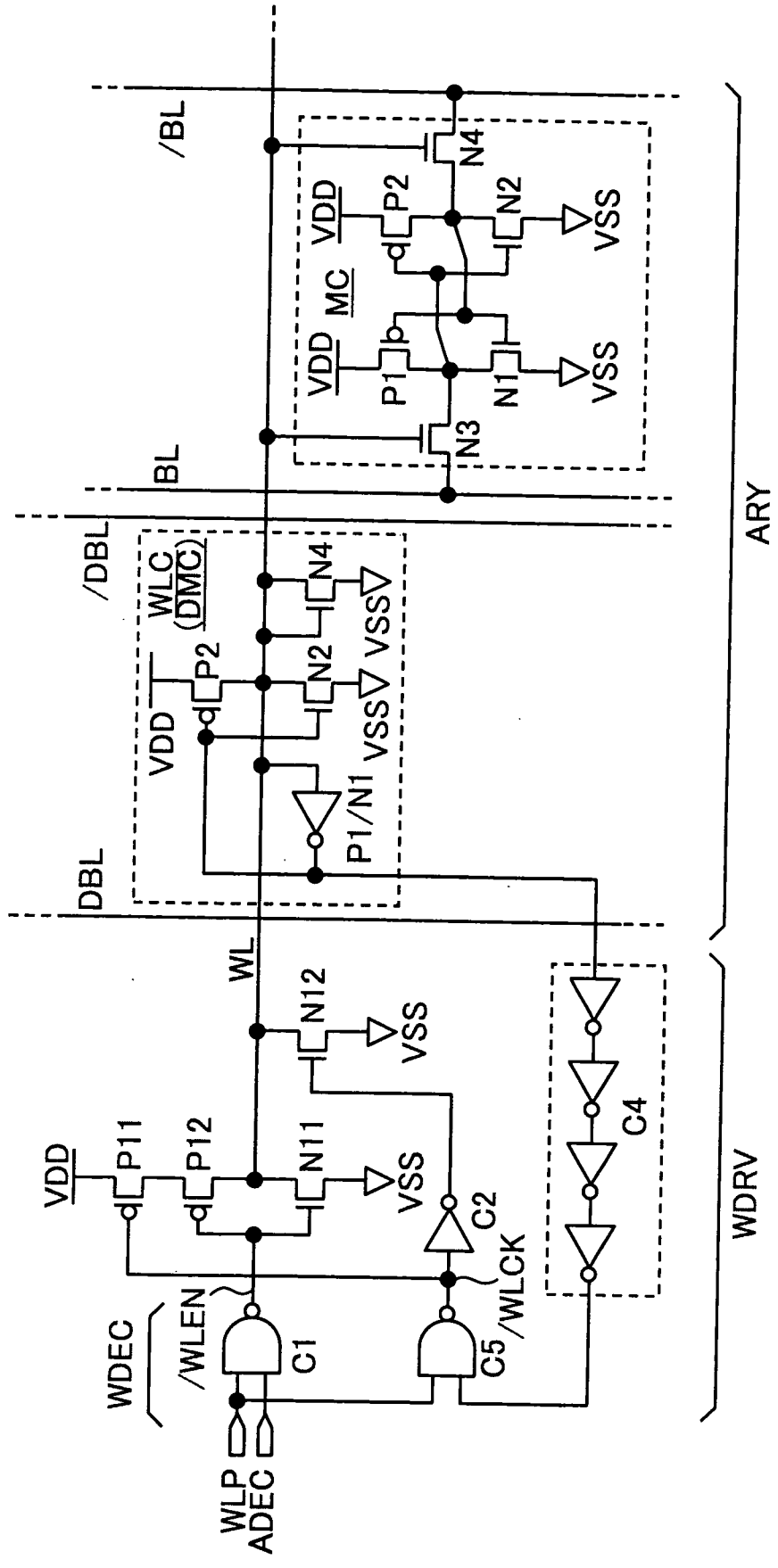
7/12  
第7圖



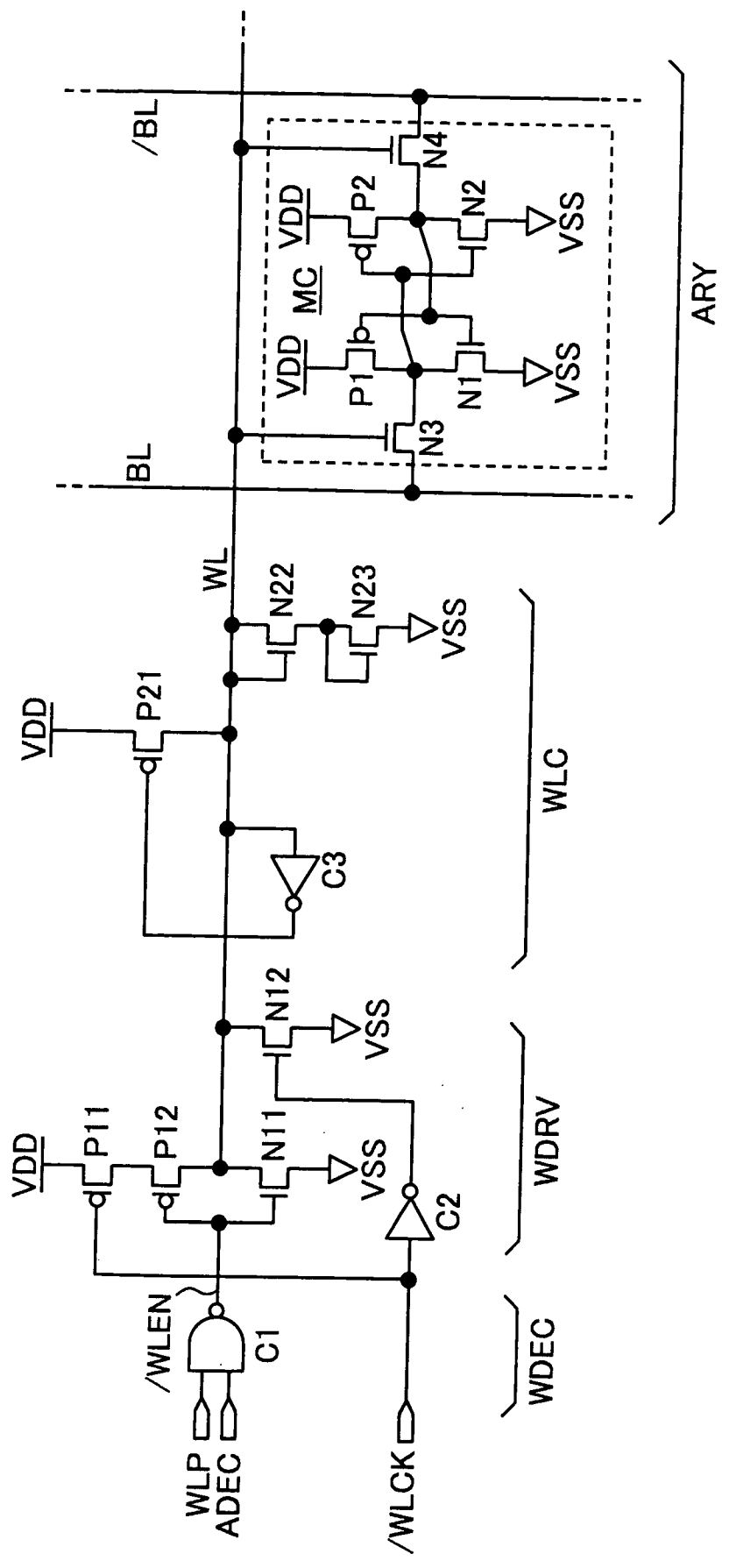
8/12  
第8圖



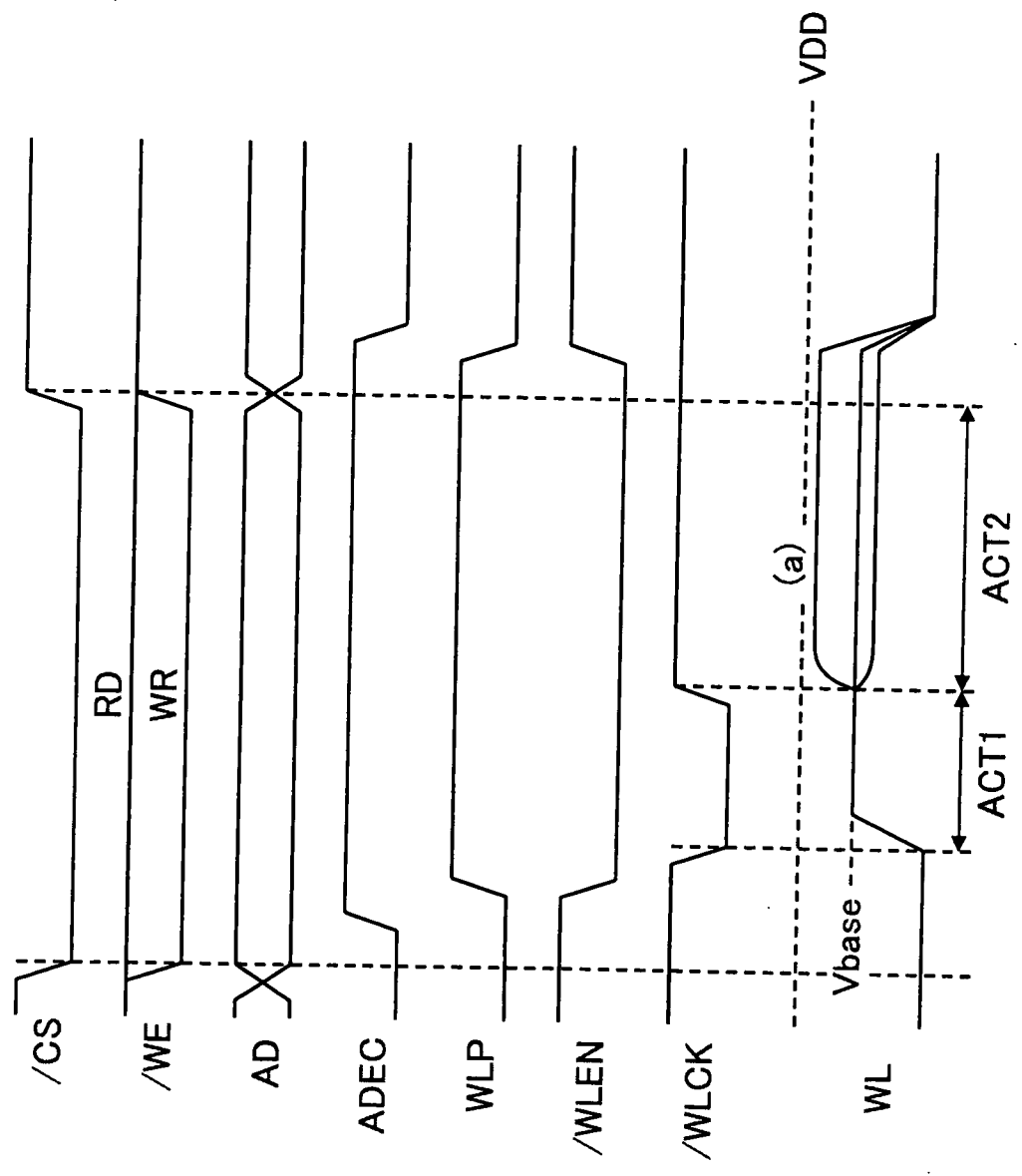
9/12  
第9圖



10/12  
第10圖



11/12  
第11圖



12/12  
第12圖

