



(10) **DE 10 2014 112 186 A1** 2015.03.05

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2014 112 186.4**

(22) Anmeldetag: **26.08.2014**

(43) Offenlegungstag: **05.03.2015**

(51) Int Cl.: **H01L 29/78 (2006.01)**

H01L 23/48 (2006.01)

(30) Unionspriorität:

14/013,804

29.08.2013

US

(74) Vertreter:

Zimmermann & Partner, 80331 München, DE

(71) Anmelder:

Infineon Technologies AG, 85579 Neubiberg, DE

(72) Erfinder:

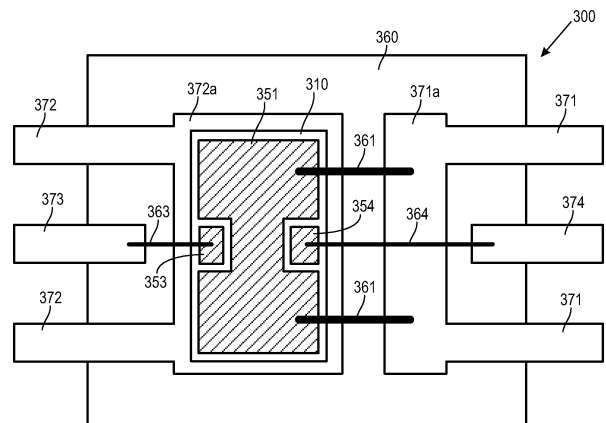
Zundel, Markus, Dr., 85658 Egming, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Leistungshalbleiterchipgehäuse**

(57) Zusammenfassung: Ein Leistungshalbleiterchipgehäuse umfasst ein Gehäuse (360), einen Halbleiterchip (310), der in dem Gehäuse (360) eingebettet ist und zumindest vier Anschlüsse (371, 372, 373, 374), die teilweise in dem Gehäuse (360) eingebettet sind und teilweise zur Außenseite des Gehäuses (360) hin freiliegen. Der Halbleiterchip (310) umfasst eine erste Dotierregion in ohmschem Kontakt mit einer ersten Metallschicht (351), eine zweite Dotierregion in ohmschem Kontakt mit einer zweiten Metallschicht und eine Vielzahl von ersten Gräben, die Gateelektroden und erste Feldelektroden umfassen, die elektrisch von den Gateelektroden isoliert sind. Ein erster Anschluss (371) der vier Anschlüsse ist elektrisch mit der ersten Metallschicht (351) verbunden, ein zweiter Anschluss (372) der vier Anschlüsse ist elektrisch mit der zweiten Metallschicht verbunden, ein dritter Anschluss (373) der vier Anschlüsse ist elektrisch mit den Gateelektroden der ersten Gräben verbunden und ein vierter Anschluss (374) der vier Anschlüsse ist elektrisch mit den ersten Feldelektroden der ersten Gräben verbunden.



Beschreibung

TECHNISCHES GEBIET

[0001] Hierin beschriebene Ausführungsformen betreffen Leistungshalbleiterchipgehäuse mit zumindest vier Anschlüssen.

HINTERGRUND

[0002] Aktuelle Leistungshalbleiterbauelemente wie MOSFETs sind so aufgebaut, dass sie einen geringen Widerstand im An-Zustand aufweisen, welcher oftmals als R(DS)on bezeichnet wird. Unterschiedliche Ansätze wurden vorgeschlagen, um R(DS)on zu reduzieren. Beispiele dafür sind Kompensationsbauelemente wie Superübergangsbaulemente und Bauelemente mit Gate- und Feldelektroden in Gräben. Die Feldelektroden sind typischerweise mit dem Sourcepotential verbunden, um eine Verarmung der Driftregion zwischen benachbarten Gräben zu verbessern.

ZUSAMMENFASSUNG

[0003] Gemäß einer Ausführungsform umfasst ein Leistungshalbleiterchipgehäuse (Leistungshalbleiterpackage) ein Gehäuse, einen Halbleiterchip, der zumindest teilweise in dem Gehäuse eingebettet ist, und zumindest vier Anschlüsse, die teilweise in dem Gehäuse eingebettet sind und teilweise zur Außenseite des Gehäuses hin freiliegen. Der Halbleiterchip umfasst eine erste Dotierregion in ohmschem Kontakt mit einer ersten Metallschicht, eine zweite Dotierregion in ohmschem Kontakt mit einer zweiten Metallschicht und zumindest eine Vielzahl von ersten Gräben, die in dem Halbleiterchip ausgebildet sind, wobei die ersten Gräben Gateelektroden und zumindest erste Feldelektroden umfassen, die elektrisch von den Gateelektroden isoliert sind. Ein erster Anschluss der zumindest vier Anschlüsse ist elektrisch mit der ersten Metallschicht verbunden, ein zweiter Anschluss der zumindest vier Anschlüsse ist elektrisch mit der zweiten Metallschicht verbunden, ein dritter Anschluss der zumindest vier Anschlüsse ist elektrisch mit den Gateelektroden der ersten Gräben verbunden und ein vierter Anschluss der zumindest vier Anschlüsse ist elektrisch mit den ersten Feldelektroden der ersten Gräben verbunden.

[0004] Gemäß einer Ausführungsform umfasst ein Leistungshalbleiterchipgehäuse (Leistungshalbleiterpackage) ein Gehäuse, einen Halbleiterchip, der in dem Gehäuse eingebettet ist, und zumindest vier Anschlüsse, die teilweise in dem Gehäuse eingebettet sind und teilweise zur Außenseite des Gehäuses hin freiliegen. Der Halbleiterchip umfasst eine erste Dotierregion in ohmschem Kontakt mit einer ersten Metallschicht, die auf einer ersten Seite des Halbleiterchips angeordnet ist, eine zweite Dotierregion in ohm-

schem Kontakt mit einer zweiten Metallschicht, die auf einer zweiten Seite des Halbleiterchips, gegenüber der ersten Seite, angeordnet ist, und eine Vielzahl von Gräben, die in dem Halbleiterchip gebildet sind, wobei die Gräben Gateelektroden und zumindest erste Feldelektroden umfassen, die elektrisch von den Gateelektroden isoliert sind. Ein erster Anschluss der zumindest vier Anschlüsse ist elektrisch mit der ersten Metallschicht verbunden, ein zweiter Anschluss der zumindest vier Anschlüsse ist elektrisch mit der zweiten Metallschicht verbunden, ein dritter Anschluss der zumindest vier Anschlüsse ist elektrisch mit den Gateelektroden der Gräben verbunden, und ein vierter Anschluss der zumindest vier Anschlüsse ist elektrisch mit der ersten Feldelektrode jedes n-ten Grabens der Gräben verbunden und elektrisch von den ersten Feldelektroden der anderen Gräben isoliert, wobei n größer oder gleich 2 ist.

[0005] Fachleute auf dem Gebiet erkennen zusätzliche Merkmale und Vorteile beim Durchlesen der folgenden detaillierten Beschreibung und bei Ansicht der begleitenden Zeichnungen.

KURZBESCHREIBUNG DER ZEICHNUNGEN

[0006] Die Bauteile in den Figuren sind nicht notwendigerweise maßstabsgetreu, vielmehr liegt der Schwerpunkt auf dem Illustrieren der Grundsätze der hierin beschriebenen Ausführungsformen. Außerdem bezeichnen ähnliche Bezugszeichen in den Figuren entsprechende Teile.

[0007] Fig. 1A bis Fig. 1C zeigen ein Leistungshalbleiterchipgehäuse gemäß einer Ausführungsform.

[0008] Fig. 2 zeigt eine 3D-Ansicht eines Leistungshalbleiterchipgehäuses gemäß einer Ausführungsform.

[0009] Fig. 3 zeigt ein Leistungshalbleiterchipgehäuse gemäß einer anderen Ausführungsform.

[0010] Fig. 4 zeigt einen Halbleiterchip, der gemäß einer Ausführungsform in ein Leistungshalbleiterchipgehäuse eingebettet ist.

[0011] Fig. 5 zeigt einen Halbleiterchip, der gemäß einer weiteren Ausführungsform in ein Leistungshalbleiterchipgehäuse eingebettet ist.

[0012] Fig. 6 zeigt ein Leistungshalbleiterchipgehäuse gemäß einer anderen Ausführungsform.

[0013] Fig. 7 zeigt eine 3D-Ansicht eines Leistungshalbleiterchipgehäuses gemäß einer Ausführungsform.

[0014] Fig. 8 zeigt ein Leistungshalbleiterchipgehäuse gemäß einer Ausführungsform.

[0015] Fig. 9 zeigt ein Leistungshalbleiterchipgehäuse gemäß einer anderen Ausführungsform.

DETAILLIERTE BESCHREIBUNG

[0016] In der folgenden detaillierten Beschreibung wird auf die begleitenden Zeichnungen Bezug genommen, die einen Teil davon ausmachen und in denen zu Illustrationszwecken spezielle Ausführungsformen dargestellt sind, in denen die Erfindung umgesetzt werden kann. In dieser Hinsicht wird eine Raumterminologie, wie „oberste(r)“, „unterste(r)“, „vorne“, „hinten“, „vorne“, „dahinter“, „lateral“ und „senkrecht“ etc. unter Bezugnahme auf die Ausrichtung der beschriebenen Figur(en) verwendet. Da Bauteile der Ausführungsformen in einer Mehrzahl von unterschiedlichen Ausrichtungen angeordnet sein können, wird die Raumterminologie zu Illustrationszwecken verwendet und soll in keinsten Weise beschränkend sein. Es gilt zu verstehen, dass andere Ausführungsformen verwendet werden können und dass strukturelle oder logische Veränderungen vorgenommen werden können, ohne dabei vom Schutzzumfang der vorliegenden Erfindung abzuweichen. Die folgende detaillierte Beschreibung ist deshalb nicht im beschränkenden Sinn auszulegen, und der Schutzzumfang der vorliegenden Erfindung wird von den beigefügten Patentansprüchen definiert. Die beschriebenen Ausführungsformen verwenden spezifische Sprache, die nicht als den Schutzzumfang der beigefügten Patentansprüche einschränkend auszulegen ist.

[0017] Die Begriffe „elektrische Verbindung“ und „elektrisch verbunden“ beschreiben eine ohmsche Verbindung zwischen zwei Elementen.

[0018] Unter Bezugnahme auf Fig. 1A bis Fig. 1C ist ein Leistungshalbleiterchipgehäuse **100** gemäß einer Ausführungsform beschrieben. Jede der Fig. 1A bis Fig. 1C zeigt einen anderen vertikalen Querschnitt durch das Halbleiterchipgehäuse **100**.

[0019] Das Halbleiterchipgehäuse (Halbleiterpackage) **100** umfasst ein Gehäuse **160** und einen Halbleiterchip **110**, der in dem Gehäuse **160** eingebettet ist. Der Halbleiterchip **110** umfasst eine erste Dotierregion **131** in ohmschem Kontakt mit einer ersten Metallschicht **151**, die auf einer ersten Seite **111** des Halbleiterchips **110** angeordnet ist. Eine zweite Dotierregion **132** steht in ohmschem Kontakt mit einer zweiten Metallschicht **152**, die auf einer zweiten Seite **112** des Halbleiterchips **110**, gegenüber der ersten Seite **111**, angeordnet ist. In der in Fig. 1A bis Fig. 1C dargestellten Ausführungsform kann die erste Halbleiterregion **131** aus einer n-dotierten Source-Region und einer p-dotierten Body-Region, die über die Kontaktstecker **140** eines Leistungs-FET in direktem elektrischen Kontakt stehen und der ersten Metallschicht **151** einer Source-Metallisierung gebil-

det sein. Die zweite Dotierregion **132** kann eine n-dotierte Drain-Region des Leistungs-FET sein, und die zweite Metallschicht **152** kann eine Drain-Metallisierung sein. In anderen Ausführungsformen kann die erste Dotierregion **131** n-dotiert sein, die zweite Dotierregion **132** kann eine p-dotierte Region sein, die erste Metallschicht **151** kann eine Emitter-Metallisierung sein und die zweite Metallschicht **152** kann eine Kollektormetallisierung eines IGBT sein.

[0020] Eine Isolationsschicht **156** ist zwischen der ersten Metallschicht **151** und der ersten Dotierregion **131** angeordnet. Der elektrische Kontakt zwischen der ersten Metallschicht **151** und der ersten Dotierregion **131** wird durch eine Vielzahl von Steckern **140** bereitgestellt, die sich durch die Isolationsschicht **156** erstrecken.

[0021] Eine Vielzahl von ersten Gräben ist in dem Halbleiterchip **110** gebildet. Die ersten Gräben umfassen Gateelektroden **115** und zumindest Feldelektroden **112**, die von den Gateelektroden **115** elektrisch isoliert sind. Sowohl die Feldelektroden **112** als auch die Gateelektroden **115** sind durch dielektrische Schichten, die entsprechende Gatedielektrikumschichten und Felddielektrikumschichten bilden, elektrisch von dem Halbleitermaterial des Halbleiterchips **110** isoliert. Die Gatedielektrikumschichten können aus einem Isolationsmaterial bestehen, das sich von dem Isolationsmaterial der Felddielektrikumschichten, das verwendet wird, um die Feldelektroden **112** zu isolieren, unterscheidet. Außerdem kann die Dicke der Gatedielektrikumschichten und der Felddielektrikumschichten in lateraler Richtung unterschiedlich sein.

[0022] Das Halbleiterchipgehäuse (Halbleiterpackage) **100** umfasst ferner zumindest vier Anschlüsse **171**, **172**, **173** und **174**, die teilweise in dem Gehäuse **160** eingebettet sind und teilweise zur Außenseite des Gehäuses **160** hin freiliegen. Die Anschlüsse **171**, **172**, **173**, **174** können Teil eines gemeinsamen Leiterrahmens sein.

[0023] Ein erster Anschluss **171** der zumindest vier Anschlüsse ist elektrisch mit der ersten Metallschicht **151** verbunden, z.B. über einen Bonddraht **161**, wie in Fig. 1A dargestellt. Ein zweiter Anschluss **172** der zumindest vier Anschlüsse ist elektrisch, z.B. durch Lötens, mit der zweiten Metallschicht **152** verbunden.

[0024] Wie in Fig. 1B dargestellt, ist ein dritter Anschluss **173** der zumindest vier Anschlüsse z.B. über einen weiteren Bonddraht **163**, der den dritten Anschluss **173** mit einer dritten Metallschicht **153** verbindet, die auf der ersten Seite **111** des Halbleiterchips **110** angeordnet ist, mit den Gateelektroden **115** der ersten Gräben elektrisch verbunden. Die dritte Metallschicht **153** ist elektrisch von der ersten Metallschicht **151** isoliert. Die Gateelektroden **115** erstrecken sich

durch die Isolationsschicht **156**, um mit der dritten Metallschicht **153** in Kontakt zu stehen und um somit einen elektrischen Kontakt herzustellen. Alternativ dazu können Stecker, die ähnlich geformt sind wie die Stecker **140**, in der Isolationsschicht **156** gebildet sein, um eine elektrische Verbindung zwischen den Gateelektroden **115** und der dritten Metallschicht **153** bereitzustellen.

[0025] Wie in **Fig. 1C** dargestellt, ist ein vierter Anschluss **174** der zumindest vier Anschlüsse elektrisch mit den Feldelektroden **112** der ersten Gräben verbunden. Die Feldelektroden **112** können sich, in einem Querschnitt, der sich von dem in **Fig. 1B** dargestellten Querschnitt unterscheidet, bis hinauf zu einer vierten Metallschicht **154** erstrecken, die auf der ersten Seite **111** des Halbleiterchips **110** angeordnet ist. Alternativ dazu können Stecker, die den Steckern **140** ähnlich sind, in der Isolationsschicht **156** gebildet sein, um einen elektrischen Kontakt zwischen den Feldelektroden **112** und der vierten Metallschicht **154** herzustellen. Ein weiterer Bonddraht **164** verbindet die vierte Metallschicht **154** und somit die Feldelektroden **112** elektrisch mit dem vierten Anschluss **174**. Jede der ersten, dritten und vierten Metallschichten **151**, **153** und **154** bildet eine entsprechende Metallkontaktstelle an der ersten Seite **111** für die Bonddrahtverbindung. Alternativ zu dem Bonddraht, kann eine Klemme oder können andere Verbindungstechniken verwendet werden, um die elektrischen Kontakte zwischen den Elektroden und den Anschlüssen herzustellen.

[0026] Wie in **Fig. 1A** bis **Fig. 1C** dargestellt, sind die Feldelektroden **112** unter den Gateelektroden **115** angeordnet. Die Gateelektroden **115** sind, wenn das Halbleiterchipgehäuse **100** in Verwendung ist, betriebsbereit mit einem separaten Gatetreiber verbunden, um mit einer Gatespannung beaufschlagt zu werden, um die Leitfähigkeit eines senkrechten Kanals zu steuern.

[0027] Gemäß einer Ausführungsform umfasst der Halbleiterchip **110** eine Vielzahl von Gräben, wobei einige, die meisten oder alle dieser Gräben eine Gateelektrode **115** und zumindest eine Feldelektrode **112**, die elektrisch von der entsprechenden Gateelektrode **115** isoliert ist, umfassen können.

[0028] Die Gräben können in getrennte Gruppen unterteilt werden, z.B. in eine Gruppe von ersten Gräben und eine Gruppe von zweiten Gräben. Die Gruppe von ersten Gräben kann durch die Gräben gebildet sein, die in jedem Fall eine Gateelektrode **115** und zumindest eine Feldelektrode **112** umfassen, wobei jede der Gateelektroden **115** elektrisch mit dem dritten Anschluss **173** verbunden ist und jede der Feldelektroden **112** elektrisch mit dem vierten Anschluss **174** verbunden ist. Die Gruppe von zweiten Gräben kann durch die Gräben gebildet sein, die sich von

der Gruppe von ersten Gräben unterscheiden, entweder dadurch, dass sie eine unterschiedliche Konfiguration aufweisen und/oder durch eine andere elektrische Verbindung. Beispielsweise kann die Gruppe von zweiten Gräben durch die Gräben gebildet sein, die in jedem Fall eine Gateelektrode **115** und zumindest eine Feldelektrode **112** umfassen, wobei jede der Gateelektroden **115** elektrisch mit dem dritten Anschluss **173** verbunden ist, während keine der Feldelektroden **112** mit dem vierten Anschluss **174** verbunden ist. In einem weiteren Beispiel kann die Gruppe von zweiten Gräben von den Gräben gebildet sein, die in jedem Fall eine Gateelektrode **115** und zumindest eine Feldelektrode **112** umfassen, wobei jede der Gateelektroden **115** elektrisch mit dem dritten Anschluss **173** verbunden ist, während jede der Feldelektroden **112** elektrisch mit der ersten Dotierregion **131** oder mit einer anderen Dotierregion verbunden ist.

[0029] In weiteren Ausführungsformen kann sich eine Gruppe von dritten Gräben von der Gruppe von ersten Gräben und der Gruppe von zweiten Gräben entweder dadurch unterscheiden, dass sie eine unterschiedliche Konfiguration aufweist und/oder anders elektrisch verbunden ist. Beispielsweise kann die Gruppe der ersten Gräben wie oben definiert sein. Die Gruppe von zweiten Gräben kann durch Gräben definiert sein, die in jedem Fall eine Gateelektrode **115** und zumindest eine Feldelektrode **112** umfassen, wobei jede der Gateelektroden **115** elektrisch mit dem dritten Anschluss **173** verbunden ist, während keine der Feldelektroden **112** mit dem vierten Anschluss **174** verbunden ist. Die Gruppe von dritten Gräben kann durch Gräben definiert sein, die in jedem Fall eine Gateelektrode **115** und zumindest eine Feldelektrode **112** umfassen, wobei die Gateelektroden **115** nicht mit dem dritten Anschluss **173** elektrisch verbunden sind, während jede der Feldelektroden **112** elektrisch mit dem vierten Anschluss **174** verbunden ist.

[0030] In einer Ausführungsform weisen die Gräben alle dieselbe Konfiguration auf, z.B. umfassen sie Gateelektroden und Feldelektroden, unterscheiden sich jedoch in ihrer elektrischen Verbindung. Die Untergruppen der Gräben unterscheiden sich dann über die Art der elektrischen Verbindung voneinander. Es ist jedoch auch möglich, dass es nur eine Untergruppe gibt und dass alle Feldelektroden aller Gräben elektrisch mit dem vierten Anschluss **174** verbunden sind.

[0031] Jede Untergruppe der Gräben kann somit durch Gräben definiert werden, die innerhalb der jeweiligen Untergruppe dieselbe Konfiguration und dieselbe elektrische Verbindung aufweisen. Somit kann der Halbleiterchip **110** eine, zwei, drei oder mehr Untergruppen von Gräben X1, X2, X3, ... etc. umfassen, die zusammen (alle) Gräben X des Halbleiterchips **110** bilden. Beispielsweise können, falls alle Gräben,

insbesondere alle Gräben in einem aktiven Bereich des Halbleiterchips **110** entsprechende Gateelektroden **115** und Feldelektroden **112** umfassen, nur einige der Gateelektroden **115** elektrisch mit dem dritten Anschluss **173** verbunden sein und nur einige der Feldelektroden **112** können elektrisch mit dem vierten Anschluss **174** verbunden sein. Die Anzahl der Gateelektroden **115**, die elektrisch mit dem dritten Anschluss **173** verbunden sind und die Anzahl der Feldelektroden **112**, die elektrisch mit dem vierten Anschluss **174** verbunden sind kann gleich oder unterschiedlich sein. In einem bestimmten Beispiel sind die meisten oder alle der Gateelektroden **115** elektrisch mit dem dritten Anschluss **173** verbunden und nur wenige Feldelektroden **112** sind elektrisch mit dem vierten Anschluss **174** verbunden.

[0032] Die Gräben können dieselbe Konfiguration aufweisen, können jedoch unterschiedlich elektrisch verbunden sein, was somit die Untergruppen definiert. Beispielsweise sind die Gateelektroden **115** aller Gräben einer ersten Untergruppe elektrisch mit dem dritten Anschluss **173** verbunden und die Feldelektroden **112** aller Gräben der ersten Untergruppe sind elektrisch mit dem vierten Anschluss **174** verbunden, und die Gateelektroden **115** aller Gräben einer zweiten Untergruppe sind elektrisch mit dem dritten Anschluss **173** verbunden, während die Feldelektroden **112** aller Gräben der zweiten Untergruppe nicht elektrisch mit dem vierten Anschluss **174** oder elektrisch mit einem fünften Anschluss verbunden sind.

[0033] Gemäß einer Ausführungsform können die Gräben jeder Untergruppe gleichmäßig in dem aktiven Bereich verteilt sein, z.B. angeordnet in einem regelmäßigen Muster oder zufällig verteilt. Gemäß einer Ausführungsform können die Gräben von zumindest einer der Untergruppen in einer gegebenen Region gruppiert sein, z.B. nahe der Peripherie des aktiven Bereichs oder in Regionen, wo leitfähige Strukturen wie sogenannte Gatefinger gebildet sind, während die Gräben einer anderen Untergruppe in einer anderen Region gruppiert sein können. Beispielsweise ermöglicht die Anordnung der Untergruppe von ersten Gräben, deren Feldelektroden mit dem vierten Anschluss in gegebenen Regionen verbunden sind, ein Steuern des Lawinerverhaltens des Halbleiterbauelements speziell in diesen Regionen. Es ist somit z.B. möglich, den Lawinendurchbruch auf spezielle Regionen des Halbleiterchips **110** zu beschränken, während andere Regionen nicht davon betroffen werden.

[0034] Das Gehäuse **160** umfasst den Halbleiterchip **110** und die Bonddrähte **161**, **163**, **164** vollständig und bettet diese ein. Das Material des Gehäuses **160**, das ein isolierendes Formmaterial sein kann, stellt eine ausreichende dielektrische Isolation bereit. Beispielsweise kann das Material des Gehäuses ein

organisches Formmaterial sein. Zusätzlich zu dem Formmaterial kann der Halbleiterchip **110** vollständig von einer Passivierungsschicht umgeben oder teilweise davon bedeckt sein. Alternativ dazu kann der Halbleiterchip **110** zumindest teilweise von Formmaterial oder anderen isolierenden Materialien, z.B. im Fall von Chip-Einbettungsverfahren, eingekapselt sein.

[0035] Der Halbleiterchip **110** umfasst typischerweise ein diskretes Halbleiterbauelement wie einen Leistungs-FET (Feldeffekttransistor) oder einen IGBT (Englisch: Insulated gate bipolar device). Solche Bauelemente umfassen eine Vielzahl von im Wesentlichen identischen Zellen, die in einem aktiven Bereich des Halbleiterchips **110** angeordnet sind. Eine einzelne Zelle wird z.B. durch den Abstand der Gräben definiert. Der aktive Bereich ist lateral, wenn in einer Projektion auf die erste Seite **111** gesehen, von einem Randabschlussbereich umgeben, der sich hinauf bis zur äußeren Kante oder zum Rand des Halbleiterchips **110** erstreckt. Der Randabschlussbereich ist in **Fig. 1A** bis **Fig. 1C** nicht genauer dargestellt und ist zwischen dem aktiven Bereich, der durch die ersten Gräben und die äußeren lateralen Ränder des Halbleiterchips **110** definiert ist, angeordnet. Im Fall von Leistungs-ICs, können sich an der ersten Seite **111** zusätzlich dazu weitere Bauelemente befinden, wie Temperatur- und/oder Stromsensoren oder weitere MOSFET- Bauelemente. Für eine elektrische Verbindung solcher Sensoren kann das Halbleiterchipgehäuse zumindest einen weiteren Anschluss umfassen, der als Sensoranschluss bezeichnet werden kann.

[0036] Die hierin beschriebenen Halbleiterchipgehäuse sind typischerweise diskrete Leistungsbaulemente und umfassen keine Treiberlogik oder Treiberstufe zum Ansteuern des diskreten Bauelements. Außerdem kann jedes Halbleiterchipgehäuse nur eines diskreten Halbleiterbauelements umfassen, ganz im Gegensatz zu Modulen, die zumindest zwei Leistungsbaulemente umfassen, um z.B. eine Halbbrücke zu bilden. Das Halbleiterchipgehäuse kann jedoch auch Module umfassen, die von diskreten Halbleiterbauelementen gebildet sind, wobei für jede der diskreten Bauelemente ein zusätzlicher Anschluss, der mit wenigen, vielen oder allen Feldelektroden des jeweiligen diskreten Bauelements in elektrischer Verbindung steht, bereitgestellt sein kann. Es ist ebenfalls möglich, einen gemeinsamen Anschluss für die Feldelektroden der diskreten Bauelemente oder einen gemeinsamen Anschluss für eine Untergruppe von diskreten Bauelemente bereitzustellen.

[0037] Der Halbleiterchip **110** kann aus jedem Halbleitermaterial bestehen, das für die Herstellung von Halbleiterbauelementen geeignet ist. Beispiele für solche Materialien umfassen, ohne darauf beschränkt zu sein, elementare Halbleiterma-

terialien wie Silizium (Si), Verbindungshalbleitermaterialien der Gruppe IV wie Siliziumcarbid (SiC) oder Siliziumgermanium (SiGe), binäre, ternäre oder quaternäre III-V-Halbleitermaterialien wie Galliumarsenid (GaAs), Galliumphosphid (GaP), Indiumphosphid (InP), Galliumnitrid (GaN), Aluminiumgalliumnitrid (AlGaIn), Indiumgalliumphosphid (InGaP) oder Indiumgalliumarsenidphosphid (InGaAsP) und binäre oder ternäre II-VI-Halbleitermaterialien wie Cadmiumtellurid (CdTe) und Quecksilbercadmiumtellurid (HgCdTe). Die oben erwähnten Halbleitermaterialien werden auch als Homoübergangshalbleitermaterialien bezeichnet. Wenn zwei unterschiedliche Halbleitermaterialien kombiniert werden, wird dabei ein Heteroübergangshalbleitermaterial gebildet. Beispiele für Heteroübergangshalbleitermaterialien umfassen, ohne darauf beschränkt zu sein, Silizium ($\text{Si}_x\text{C}_{1-x}$) und SiGe-Heteroübergangshalbleitermaterial. Für Leistungshalbleiteranwendungen werden heute hauptsächlich Si-, SiC- und GaN-Materialien verwendet.

[0038] Das Halbleiterchipgehäuse kann in jedem geeigneten Gehäuse- oder Chipgehäuseumriss, der kommerziell erhältlich ist, bereitgestellt werden. Beispielsweise zeigt **Fig. 2** ein Halbleiterchipgehäuse (Halbleiterpackage) **200** mit einem ähnlichen Umriss wie JEDEC TO-220. **Fig. 2** zeigt eine Modifikation eines TO-220-Gehäuses. Das Chipgehäuse (Package) **200** ist so aufgebaut, dass dessen Anschlussdrähte **271**, **272**, **273** in Durchführungslöcher einer PCB (Platine) geführt werden. Zusätzlich dazu kann dieses Halbleiterchipgehäuse **200** an einen Kühlkörper zum Abführen von Wärme angebracht sein. Wie in **Fig. 2** dargestellt, weist die obere Seite des Halbleiterchipgehäuses **200** eine Metallplatte **272** auf, die sich ausgehend von dem Gehäuse **260** erstreckt und in der vorliegenden Ausführungsform den zweiten Anschluss **272** bildet. Die Metallplatte **272** weist ein Loch auf, womit das Halbleiterchipgehäuse **200** an einen Kühlkörper angebracht werden kann. Die drei Anschlussdrähte **271**, **273**, **274** bilden den ersten, dritten und vierten Anschluss **271**, **273**, **274** des Halbleiterchipgehäuses **200**.

[0039] Eine andere Ausführungsform ist in **Fig. 3** dargestellt und zeigt ein Chipgehäuse **300** mit 6 Anschlussdrähten. Jedoch bilden die zwei Anschlussdrähte **372** zusammen den zweiten Anschluss **372** und die zwei Anschlussdrähte **371** bilden zusammen den ersten Anschluss **371**, so dass das Halbleiterchipgehäuse **300** nur vier elektrisch unterscheidbare Anschlüsse aufweist. Die dritten und vierten Anschlüsse **373** bzw. **374** werden jeweils von einem einzigen Anschlussdraht gebildet. Alle Anschlüsse **371**, **372**, **373**, **374** können Teil einer einzigen Platine sein, die aus einer Metallplatte gestanzt wurde. Die zwei Anschlussdrähte des zweiten Anschlusses **372** sind über eine Kontaktstelle **372a**, auf die der Halbleiterchip **310** mit seiner Rückseite oder zweiten Seite, die

nicht in **Fig. 3** sichtbar ist, aufgelötet ist, verbunden. Auf der oberen Seite oder ersten Seite des Halbleiterchips **310**, die in **Fig. 3** sichtbar ist, sind die erste Metallschicht **351**, die dritte Metallschicht **353** und die vierte Metallschicht **354** angeordnet und elektrisch voneinander isoliert. Jede der ersten, zweiten und dritten Metallschichten **351**, **353** und **354** bildet eine jeweilige Metallkontaktstelle für eine Bonddrahtverbindung.

[0040] Die erste Metallschicht **351**, die in dieser Ausführungsform die Sourcemetallisierung bildet, nimmt einen größeren Bereich ein, als jede der dritten und vierten Metallschichten **353**, **354**. Zwei Bonddrähte **361** sind hier bereitgestellt, um die elektrische Verbindung zwischen der ersten Metallschicht **351** und einer Bondingkontaktstelle **371a** zu bilden, die die zwei Anschlussdrähte des ersten Anschlusses **371** verbindet. Die dritte Metallschicht **353** ist über einen einzelnen Bonddraht **363** mit dem dritten Anschluss **373** elektrisch verbunden, und die vierte Metallschicht **354** ist über einen einzelnen Bonddraht **364** mit dem vierten Anschluss **374** verbunden. Die Bonddrähte **361** bilden eine erste Bondverbindung, der Bonddraht **363** bildet eine zweite Bondverbindung, und der Bonddraht **364** bildet eine dritte Bondverbindung.

[0041] Die Anschlüsse können eine „Anschluss“-Kontaktstelle umfassen, auf die der Bonddraht gedrückt wird, um den elektrischen Kontakt herzustellen. Die Anschlüsse sind in dem Gehäuse zumindest mit ihren Anschlusskontaktstellen eingebettet, so dass die Bondverbindung vollständig bedeckt und geschützt ist.

[0042] Wie in **Fig. 3** dargestellt, können die zwei Bonddrähte **361**, die den ersten Anschluss **371** mit der ersten Metallschicht **351** verbinden, dicker sein als die anderen Bonddrähte **363**, **364**, um eine Leitung von hohen Strömen zu ermöglichen. Zusätzlich oder alternativ dazu kann die Anzahl der Bonddrähte **361** erhöht werden, um einen ausreichend großen Querschnitt des elektrischen Kontakts zwischen der ersten Metallschicht **351** und dem ersten Anschluss **371** bereitzustellen.

[0043] Der Halbleiterchip **310** und die Bonddrähte **361**, **363**, **364** sind vollständig in das Formmaterial des Gehäuses **360** eingebettet. Außerdem sind alle „Anschluss“-Kontaktstellen der Anschlüsse **371**, **372**, **373**, **374** vollständig in dem Gehäuse **360** eingebettet. Die Anschlüsse **371**, **372**, **373**, **374** sind so angeordnet, dass sie an entgegengesetzten Seiten des Chipgehäuses **300** freiliegen. In anderen Ausführungsformen können die Anschlüsse zu der Unterseite des Chipgehäuses hin oder nur zu einer Seite des Chipgehäuses hin freiliegen.

[0044] Unter Bezugnahme auf **Fig. 4** ist ein Halbleiterchip **400** eines Halbleiterchipgehäuses gemäß ei-

ner Ausführungsform dargestellt. Der Halbleiterchip **400** umfasst ein Halbleitersubstrat **405**, das aus Silizium, Siliziumcarbid, III-V-Halbleitermaterial oder jedem anderen geeigneten Halbleitermaterial bestehen kann. Der Begriff Halbleiterchip, wie hierin verwendet, bezieht sich auf einen Halbleiterchip nach Schneiden eines Wafers, in dem eine Vielzahl von separaten Halbleiterbauelementen gebildet ist.

[0045] Das Halbleitersubstrat **405** kann ein einziges Kristallmaterial und zumindest eine Epitaxialschicht, die darauf gebildet ist, umfassen. Alternativ dazu kann das Halbleitersubstrat **405** ohne jegliche zusätzliche Epitaxialschicht aus einem Wafer gebildet sein oder es kann aus einem Wafer gebildet sein, der durch ein Bonden von zwei Wafers mit einer optionalen Epitaxialabscheidung gebildet ist.

[0046] Das Halbleitersubstrat **405** umfasst eine erste Oberfläche oder Seite **411** und eine zweite Oberfläche oder Seite **412**, die entgegengesetzt zu der ersten Oberfläche **411** angeordnet ist.

[0047] Eine erste Dotierregion **431** ist in dem Halbleitersubstrat **405** an der ersten Oberfläche oder Seite **411** angeordnet. Die erste Dotierregion **431** dient typischerweise als Sourceregion und ist von einem ersten Leitfähigkeitstyp. In vielen Anwendungen ist die erste Region **431** hoch n-dotiert. In der folgenden Beschreibung wird die erste Dotierregion **431** als Sourceregion **431** bezeichnet, ohne jedoch darauf beschränkt zu sein.

[0048] An der zweiten Oberfläche oder Seite **412** ist eine zweite Dotierregion **432** in dem Halbleitersubstrat **405** gebildet. Im Fall eines FET-Transistors ist die zweite Dotierregion **432** eine Drainregion mit demselben Leitfähigkeitstyp wie die Sourceregion **431**. Im Gegensatz dazu bildet die zweite Dotierregion **432** im Fall einer IGBT eine Emitterregion, die eine der Sourceregion **431** entgegengesetzte Leitfähigkeit aufweist. In der folgenden Beschreibung wird die zweite Dotierregion **432** als Drainregion **432** bezeichnet, ohne jedoch darauf beschränkt zu sein.

[0049] Eine dritte Dotierregion **433** ist in dem Halbleitersubstrat **405** in Kontakt mit der Sourceregion **431** angeordnet. Die dritte Dotierregion **433** bildet typischerweise eine Bodyregion und weist einen Leitfähigkeitstyp auf, der dem der Sourceregion **431** entgegengesetzt ist, so dass zwischen der Sourceregion **431** und der dritten Dotierregion **433** ein pn-Übergang gebildet wird. In der folgenden Beschreibung wird die dritte Dotierregion **433** als Bodyregion **433** bezeichnet, ohne jedoch darauf beschränkt zu sein.

[0050] Eine vierte Dotierregion **434** ist zwischen der Bodyregion **433** und der Drainregion **432** angeordnet und bildet typischerweise eine Driftregion mit demselben Leitfähigkeitstyp wie die Sourceregion **431**.

Die Dotierkonzentration der vierten Dotierregion **434** entspricht im Wesentlichen der Hintergrund-Dotierkonzentration des Halbleitersubstrats **405** oder der Epitaxialschicht, falls eine verwendet wird. Jedoch kann die Dotierkonzentration der vierten Dotierregion **434** ebenfalls ein Dotierprofil mit einem Maximum oder einem Minimum an der gewünschten Stelle oder eine ansteigende oder abnehmende Dotierkonzentration in vertikaler Richtung aufweisen. Die vierte Dotierregion **434** bildet mit der Bodyregion **433** einen pn-Übergang **437**. In der folgenden Beschreibung wird die vierte Dotierregion **434** als Driftregion **434** bezeichnet, ohne jedoch darauf beschränkt zu sein.

[0051] Eine optionale Feldstoppregion **435** mit demselben Leitfähigkeitstyp wie die Driftregion **434**, die jedoch höher dotiert ist als die Driftregion **434**, kann zwischen der Driftregion **434** und der Drainregion **432** angeordnet sein.

[0052] Eine Vielzahl von ersten Gräben **410** ist in dem Halbleitersubstrat **405** gebildet und erstreckt sich von der ersten Oberfläche **411** in das Halbleitersubstrat **405** in Richtung der zweiten Oberfläche **412**, wobei die Unterseite der ersten Gräben **410** von der Drainregion **432** beabstandet ist. Außerdem ist auch eine Vielzahl von zweiten Gräben **420**, die im Allgemeinen dieselbe Anordnung wie die ersten Gräben **410** aufweisen, in dem Halbleitersubstrat **405** gebildet.

[0053] In einigen Ausführungsformen umfasst der Halbleiterchip **400** erste und zweite Gräben **410**, **420** in alternierender Anordnung. In anderen Ausführungsformen umfasst der Halbleiterchip **400** eine Anordnung, bei der zwei erste Gräben **410** mit einem einzigen zweiten Graben **420** alternieren oder bei der fünf erste Gräben **410** mit einem einzigen zweiten Graben **420** alternieren. Wenn alle ersten und zweiten Gräben **410**, **420** als Gräben des Halbleiterchips **400** angesehen werden, können die zweiten Gräben **420** von jedem n-ten Graben des Halbleiterchips **400** gebildet sein, wobei n zumindest zwei oder mehr beträgt. Beispiele für n sind 3, 5, 10 oder 20. Die Anordnung der zweiten Gräben **420** kann gleichmäßig, jedoch auch zufällig sein.

[0054] In der in Fig. 4 dargestellten Ausführungsform weisen die ersten und zweiten Gräben **410**, **420** eine im Wesentlichen identische Anordnung auf. Deshalb bezieht sich die folgende Beschreibung gleichermaßen auf die ersten und zweiten Gräben **410**, **420**. Jeder der ersten und zweiten Gräben **410**, **420** umfasst eine Gateelektrode **415**, **425** und eine Feldelektrode **412**, **422**, wobei die Gateelektrode **415**, **425** über der Feldelektrode **412**, **422** nahe der ersten Oberfläche **411** angeordnet ist. Die Gateelektroden **415**, **425** erstrecken sich senkrecht, d.h. parallel zu der senkrechten Erstreckung der ersten und zweiten Gräben **410**, **420** ausgehend von der Sourcere-

gion **431** zur Driftregion **434**. Da die Bodyregion **433** zwischen der Sourceregion **431** und der Driftregion **434** angeordnet ist, erstrecken sich die Gateelektroden **415**, **425** der ersten und zweiten Gräben **410**, **420** vollständig durch die Bodyregion **433**.

[0055] Gateelektroden **415**, **515** und/oder Feldelektroden **412**, **422** können aus Polysilizium oder jedem anderen geeigneten leitfähigen Material gebildet sein.

[0056] Gatedielektrikumschichten **413**, **423**, die manchmal als Gateoxidschichten (GOX) bezeichnet werden, sind zwischen den Gateelektroden **415**, **425** und dem Halbleitersubstrat **405** und insbesondere zwischen den Gateelektroden **415**, **425** und der Bodyregion **433** angeordnet.

[0057] Felddielektrikumschichten **414**, **424**, typischerweise Feldoxide (FOX) sind zwischen den Feldelektroden **412**, **422** und dem Halbleitersubstrat **405**, insbesondere zwischen den Feldelektroden **412**, **422** und der Driftregion **434** angeordnet und isolieren die Feldelektroden **412**, **422** von der Driftregion **434**. Die Felddielektrikumschichten **414**, **424** weisen im Vergleich zu den Gatedielektrikumschichten **413**, **423** eine wesentlich größere Dicke auf, um hohen elektrischen Feldstärken, die während des Betriebs des Halbleiterbauelements auftreten, standhalten zu können und um einen elektrischen Ausfall zwischen den Feldelektroden **412**, **422** und der Driftregion **434** zu verhindern.

[0058] Die Gateelektroden **415**, **425** und Feldelektroden **412**, **422** unterscheiden sich voneinander und dienen unterschiedlichen Zwecken. Die Gateelektroden **415**, **425** sind nahe der Bodyregion **433** angeordnet, um die Leitfähigkeit der entsprechenden Kanalregionen, die sich ausgehend von der Sourceregion **431** bis zur Driftregion **433**, entlang der Gatedielektrikumschichten **413**, **423** erstrecken, zu steuern. Im Gegensatz dazu sind die Feldelektroden **414**, **424** nahe der Driftregion **434** angeordnet, um die Verteilung des elektrischen Felds in der Driftregion **434** zu beeinflussen oder um Kompensationsladungen für einen Durchbruch der Driftregion **434** in einem Blockierungszustand bereitzustellen.

[0059] Die ersten und zweiten Gräben **410**, **420** können entsprechende getrennte Zellen des Halbleiterbauelements definieren, die parallel zueinander elektrisch verbunden sind, um den verfügbaren Querschnitt für den Ladestrom zu erhöhen und um den Widerstand im On-Zustand zu verringern.

[0060] Kontaktregionen **440** sind in dem Halbleitersubstrat **405** an der ersten Oberfläche **411** zwischen benachbarten Gräben **410**, **420** gebildet. Typischerweise ist jede Kontaktregion **440** eine Rille, die mit einem hochleitfähigen Material gefüllt ist.

[0061] Eine erste Metallschicht **451**, wie oben beschrieben, ist auf der ersten Seite oder Oberfläche **411** des Halbleitersubstrats **405** angeordnet, und eine zweite Metallschicht **452** ist auf der zweiten Seite oder Oberfläche **412** des Halbleitersubstrats **405** angeordnet. Die erste Metallschicht **451**, die hier die Sourcemetallisierung bildet, ist von dem Halbleitersubstrat **405** durch eine Isolationsschicht **456** mit Öffnungen nur in den Regionen, wo die Kontaktregionen **440** gebildet sind, um eine elektrische Verbindung mit der Sourceregion **431** und der Bodyregion **433** zu ermöglichen, elektrisch isoliert. Alternativ dazu können leitfähige Stecker, die sich durch die Isolationsschicht **456** erstrecken, bereitgestellt werden.

[0062] Die Gateelektroden **415**, **425** der ersten und zweiten Gräben **410**, **420** sind, wie oben beschrieben, elektrisch mit dem dritten Anschluss verbunden, so dass die Leitfähigkeit aller Kanalregionen benachbart zu den ersten und zweiten Gräben **410**, **420** gemeinsam gesteuert wird.

[0063] Einige Feldelektroden **412** oder jede Feldelektrode **412** der ersten Gräben **410** sind/ist, wie oben beschrieben, elektrisch mit dem vierten Anschluss verbunden. Im Gegensatz dazu sind einige Feldelektroden **422** oder ist jede Feldelektrode **422** der zweiten Gräben **420** elektrisch mit einem fünften Anschluss verbunden, der teilweise in dem Gehäuse eingebettet ist und an der Außenseite des Gehäuses freiliegt, wie oben in Verbindung mit den anderen Anschlüssen beschrieben. Somit können die Feldelektroden **412**, **422** der ersten und zweiten Gräben **410**, **420** bei unterschiedlichen elektrischen Potenzialen während des Betriebs betrieben werden. Außerdem kann die Versorgungsspannung während des Betriebs, abhängig von den Umständen, verändert werden, um das Halbleiterbauelement, wie den FET, mit dynamisch variierenden elektrischen Eigenschaften bereitzustellen. Das Halbleiterchipgehäuse umfasst somit in dieser Ausführungsform zumindest fünf elektrisch unterscheidbare Anschlüsse.

[0064] Ein Beispiel eines Halbleiterchipgehäuses **700** mit zumindest fünf Anschlüssen ist in **Fig. 7** dargestellt. Dieses Halbleiterchipgehäuse **700** weist einen Umriss gemäß JEDEC TO-220-5-3 auf und umfasst erste bis fünfte Anschlüsse **771**, **772**, **773**, **774**, **775**, die an einer Seite des Gehäuses **760** freiliegen. Das Halbleiterchipgehäuse kann ebenfalls in anderen verfügbaren Chipgehäuseumrissen ausgeführt sein.

[0065] Alternativ dazu können einige Feldelektroden **422** oder jede Feldelektrode **422** der zweiten Gräben **420** elektrisch mit der ersten Metallschicht **451** oder direkt mit der Sourceregion **431** verbunden sein, während einige Feldelektroden **412** oder jede Feldelektrode **412** der ersten Gräben **410** elektrisch mit dem vierten Anschluss verbunden bleiben/bleibt. In dieser

Ausführungsform können nur die Feldelektroden **412** der ersten Gräben **410** unabhängig von der Source-region **431** elektrisch gesteuert werden, während das elektrische Potenzial der Feldelektroden **422** der zweiten Gräben **420** dem elektrischen Potenzial folgt, mit dem die Source-region **431** beaufschlagt wurde.

[0066] In einer alternativen Ausführungsform umfassen einige zweiten Gräben **420** oder umfasst jeder zweite Graben **420** eine Gateelektrode **425**, aber keine Feldelektrode, wobei einige Gateelektroden **425** oder jede Gateelektrode **425** der zweiten Gräben **420** elektrisch mit dem dritten Anschluss verbunden sind/ist.

[0067] Unter Bezugnahme auf **Fig. 5** ist ein Halbleiterchip **500**, der in ein Halbleiterchipgehäuse gemäß einer weiteren Ausführungsform verwendet wird, beschrieben. Der Halbleiterchip **500** umfasst ebenfalls ein Halbleitersubstrat **505** mit einer ersten und einer zweiten Oberfläche, wie oben beschrieben. Außerdem umfasst der Halbleiterchip **500** eine erste Dotierregion **531**, die in dieser Ausführungsform die Source-region bildet, eine zweite Dotierregion **532**, die in dieser Ausführungsform die Drainregion bildet, eine dritte Dotierregion **533**, die in dieser Ausführungsform die Bodyregion bildet, eine vierte Dotierregion **534**, die in dieser Ausführungsform die Driftregion bildet und eine optionale Feldstopregion **535**. Die ersten bis fünften Regionen **531**, **532**, **533**, **534**, **535** können wie oben beschrieben gebildet und dotiert sein.

[0068] Eine Isolationsschicht **556** ist auf der ersten Seite oder Oberfläche des Halbleitersubstrats **505** gebildet, um eine erste Metallschicht **551** von dem Halbleitersubstrat **505** zu isolieren. Leitfähige Stecker **540** erstrecken sich durch die Isolationsschicht **556** und reichen hinauf bis zur Bodyregion **553**, um die Bodyregion **553** und die Source-region **531** elektrisch mit der ersten Metallschicht **551** zu verbinden, die hier die Source-metallisierung bildet.

[0069] Eine zweite Metallschicht **552**, die die Drain-metallisierung bildet, ist auf der zweiten Seite des Halbleiterchips **500** angeordnet und steht in elektrischer Verbindung mit der Drainregion **532**.

[0070] Der Halbleiterchip **500** umfasst eine Vielzahl von ersten Gräben **510**, einschließlich einer Gateelektrode **515**, wie oben beschrieben. Anders als in der in **Fig. 4** dargestellten Ausführungsform, umfasst jeder erste Graben **510** zwei Feldelektroden **512a**, **512b**. Eine erste Feldelektrode **512a** ist direkt unter der ersten Gateelektrode **515** angeordnet und eine zweite Feldelektrode **512b** ist direkt unter der ersten Feldelektrode **512a** angeordnet. Die ersten und zweiten Feldelektroden **512a**, **512b** und die Gateelektroden **515** sind elektrisch voneinander isoliert.

[0071] Jede der Gateelektroden **515** ist wie oben beschrieben elektrisch mit dem dritten Anschluss verbunden. Außerdem ist jede der ersten Feldelektroden **512a** durch eine vierte Metallschicht, die wie oben beschrieben auf dem Halbleiterchip **500** gebildet ist, elektrisch mit dem vierten Anschluss verbunden. Jede der zweiten Feldelektroden **512b** ist durch eine fünfte Metallschicht, die auf der ersten Seite des Halbleiterchips **500** gebildet sein kann, elektrisch mit einem fünften Anschluss verbunden. Diese Anordnung ermöglicht eine separate Steuerung der Gateelektroden **515** und der ersten und zweiten Feldelektroden **512a**, **512b**.

[0072] In einer weiteren Ausführungsform können alle oder nur einige der ersten Feldelektroden **512a** elektrisch mit der Source-region **531** verbunden sein, während die zweiten Feldelektroden **512b** elektrisch mit einem externen Anschluss wie dem vierten Anschluss verbunden sind.

[0073] In einer anderen Ausführungsform sind einige der ersten Feldelektroden **512a** elektrisch mit der Drainregion **531** verbunden, während die anderen ersten Feldelektroden **512a** elektrisch von der Source-region **531** isoliert sind und elektrisch mit dem vierten Anschluss verbunden sind. Die zweiten Feldelektroden **512b** können elektrisch mit dem fünften Anschluss verbunden sein.

[0074] Es ist auch möglich, die in **Fig. 4** und **Fig. 5** gezeigten Ausführungsformen zu kombinieren, um erste, zweite und dritte Gräben zu haben, wobei die jeweiligen ersten und/oder zweiten Feldelektroden mit getrennten externen Anschlüssen verbunden sind.

[0075] Der Halbleiterchip **500** kann in ein Chipgehäuse **700** mit **5** Anschlussdrähten, wie z.B. in **Fig. 7** dargestellt, integriert sein.

[0076] Unter Bezugnahme auf **Fig. 6** ist eine weitere Ausführungsform beschrieben, die das Bondingschema eines Halbleiterchips **610** in einem Gehäuse **660**, das über fünf Anschlussdrähte **671**, **672**, **673**, **674**, **675** verfügt, darstellt. Die fünf Anschlussdrähte **671**, **672**, **673**, **674**, **675** sind Teil eines gemeinsamen Leiterraumens **670** und sind immer noch durch eine Metallschiene **677** verbunden. Nachdem der Halbleiterchip **610** vollständig in dem Gehäuse **660** eingebettet wurde, dessen Umriss von einer gestrichelten Linie angezeigt wird, werden die Anschlussdrähte durch Abschneiden der Metallschiene **677**, z.B. entlang der gepunkteten Linie **680**, getrennt.

[0077] Die erste Metallschicht **651** des Halbleiterchips **610** ist über einen einzelnen dicken Bonddraht **661** elektrisch mit einer Anschlusskontaktstelle des ersten Anschlusses **671** verbunden. Die zweite Metallschicht, die auf der Unterseite des Halbleiterchips

610 gebildet ist und somit nicht in **Fig. 6** sichtbar ist, ist mit einer großen Kontaktstelle **672a** des zweiten Anschlusses **672** verlötet. Die dritte Metallschicht **653** ist über einen einzigen Bonddraht **663** elektrisch mit einer Anschlusskontaktstelle des dritten Anschlusses **673** verbunden, und die vierte Metallschicht **654** ist über einen einzigen Bonddraht **664** elektrisch mit einer Anschlusskontaktstelle des vierten Anschlusses **674** verbunden. Alle Anschlusskontaktstellen der Anschlüsse **671**, **673**, **674** und die große Anschlusskontaktstelle des zweiten Anschlusses **673** sind vollständig von dem Gehäuse **660** eingekapselt.

[0078] Der fünfte Anschluss **675** ist mit keiner Metallschicht des Halbleiterchips **610** elektrisch verbunden und somit elektrisch inaktiv. Es ist jedoch auch möglich, den fünften Anschluss **675** über einen weiteren Bonddraht mit der ersten Metallschicht **651** zu verbinden, um den Bereich der elektrischen Verbindung zu vergrößern und somit den Widerstand zu reduzieren.

[0079] **Fig. 8** und **Fig. 9** zeigen weitere Halbleiterchipgehäuse (Halbleiterpackages) **800** und **900**, die so ausgeführt sind, dass sie einen Chipgehäuseumriss aufweisen, der dem von JEDEC MO-240 ähnlich ist, der auch als Super-SO8 bezeichnet wird. Diese Chipgehäuse sind anschlussfahnenlose (Englisch: leadless) Chipgehäuse, die Anschlussflächen an der Unterseite der Chipgehäuse verwenden, um einen elektrischen und thermischen Kontakt mit einer Platine, an die das Chipgehäuse oberflächenverlötet ist, bereitzustellen. Die Anschlussflächen bilden wie oben beschrieben die Anschlüsse.

[0080] In **Fig. 8** sind die Metallschichten oder Kontaktstellen, die auf der Oberseite des Halbleiterchips **810** gebildet sind, durch Bonddrähte mit den jeweiligen Anschlüssen oder Anschlussflächen gebondet. **Fig. 8** zeigt nur den ersten Anschluss **871**. Die Oberseite des ersten Anschlusses **871** bildet die Kontaktstelle für die Bonddrähte **861**. Die untere Seite und die äußere Seite des ersten Anschlusses **871** liegen frei, während die anderen Seiten, einschließlich der Anschlusskontaktstellenseite vollständig von dem Formmaterial des Gehäuses **860** eingekapselt sind. Der zweite Anschluss **872**, der von einer großen Anschlussfläche gebildet ist, ist unter dem Chip **810**, der mit der unteren Seite an die obere Seite des zweiten Anschlusses **872** verlötet ist, angeordnet. Die Lötsschicht ist bei **858** dargestellt. Das Löten kann unter Verwendung jeder Art von Löten durchgeführt werden. Die Unterseite des zweiten Anschlusses **872** liegt frei, um so einen großen Löt- und Thermokontakt bereitzustellen.

[0081] Wie oben beschrieben kann das Leistungshalbleiterchipgehäuse eine erste Bondverbindung umfassen, die die erste Metallschicht, die z.B. die Sourcemetallisierung bildet, mit dem ersten Anschluss elektrisch verbindet, wobei der Bonddraht

in dem Gehäuse eingebettet ist. In einer Ausführungsform, die mit jeder anderen hierin beschriebenen Ausführungsform kombiniert werden kann, kann die Gatemetallisierung, die z.B. von der dritten Metallschicht **153** gebildet ist, die in ohmschem Kontakt mit einigen oder jeder Gateelektrode **115**, **515**, **525** der ersten oder zweiten Gräben **410**, **420** steht, elektrisch über den Bonddraht **163**, der eine zweite Bondverbindung bildet, die in dem Gehäuse eingebettet ist, mit dem dritten Anschluss **173** verbunden sein.

[0082] In einer Ausführungsform, die mit jeder anderen hierin beschriebenen Ausführungsform kombiniert werden kann, kann eine erste Feldelektrodenmetallisierung, die von der vierten Metallschicht **154** gebildet sein kann und in ohmschem Kontakt mit einigen oder jeder der Feldelektroden **112**, **412** der ersten Gräben **410** steht, elektrisch über den Bonddraht **174**, der eine dritte Bondverbindung bildet, die in dem Gehäuse eingebettet ist, mit dem vierten Anschluss **174** verbunden sein.

[0083] Im Gegensatz dazu kann die zweite Metallschicht **152** wie in den obigen Figuren dargestellt mit dem zweiten Anschluss **172** verlötet sein.

[0084] Während die Ausführungsform aus **Fig. 8** sowie aus den **Fig. 1A** bis **Fig. 1C** z.B. eine Drahtbondverbindung zwischen den ersten, dritten und vierten Anschlüssen und dem Halbleiterchip zeigen, stellt **Fig. 9** denselben Gehäuseumriss wie in **Fig. 8** dar, jedoch mit der Verwendung eines Bondclips.

[0085] Der Halbleiterchip **910** ist ebenfalls mit dem zweiten Anschluss **972** verlötet, wobei seine zweite Metallschicht an der Unterseite des Halbleiterchips **910** gebildet ist. Die Lötsschicht ist bei **958** dargestellt.

[0086] Im Gegensatz zu **Fig. 8** ist zumindest die Sourcemetallisierung, die von der ersten Metallschicht gebildet ist, mit einem Clip **961** verlötet, der ein Kupferbond sein kann. Der Clip **961** ist bei **968** mit dem ersten Anschluss **971** verlötet.

[0087] Alternativ dazu kann der erste Anschluss **971** eine Chipanbringungskontaktstelle umfassen, wobei die erste Metallschicht (Sourcemetallisierung) des Halbleiterchips **910** mit der Chipanbringungskontaktstelle verlötet ist. Außerdem kann ein Metallclip mit der zweiten Metallschicht verlötet sein, wobei der zweite Anschluss eine Verbindungskontaktstelle umfasst, die elektrisch mit dem Metallclip verbunden ist. In diesem Fall bildet der Anschluss **972** den ersten Anschluss, während Anschluss **971** den zweiten Anschluss bildet.

[0088] Die Ausführungsform aus **Fig. 9** weist aufgrund der Kupferclipverbindung einen geringeren Chipgehäusewiderstand auf.

[0089] Wie oben in Bezug auf alle Ausführungsformen genau beschrieben ist, umfasst ein Leistungshalbleiterchipgehäuse für einen FET zusätzlich zu den üblichen Anschlüssen oder Anschlussstiften für Source, Drain und Gate ferner einen elektrisch unterscheidbaren Anschluss oder Anschlussstift, der in elektrischem Kontakt mit den in den Gräben des FET gebildeten Feldelektroden steht. Der zusätzliche Anschluss ermöglicht eine Spannungsversorgung der Feldelektroden unabhängig von der Sourcespannung. Zusätzlich dazu kann die Spannung, mit der die Feldelektroden extern beaufschlagt werden, frei variiert werden. Der zusätzliche Anschluss wird auch als „Einstellpin“ oder „Leistungseinstellpin“ bezeichnet.

[0090] Die Halbleiterchipgehäuse, wie hierin beschrieben, ermöglichen ein schnelles Schalten des diskreten Halbleiterbauelements, wie einem FET, der in das Halbleiterchipgehäuse eingebettet ist, da die Feldelektroden unabhängig von der Sourcespannung geladen und entladen werden können. Darüber hinaus kann der Parameter $R(DS)_{On} \cdot A$ (Widerstand im On-Zustand mal der verfügbaren Fläche für Stromleitung) um etwa 10–20 % reduziert werden, wenn die Spannung, mit der die Feldelektroden beaufschlagt werden, angebracht gesteuert wird. Dies verringert die Verluste des Bauelements signifikant. Somit ermöglichen die extern frei steuerbaren Feldelektroden (unter Verwendung des oben erwähnten „Leistungseinstellstifts“) eine hohe Flexibilität zum Anpassen der dynamischen elektrischen Charakteristika des Halbleiterbauelements, die in dem Gehäuse eingebettet ist, wie eine Reduktion der Verluste im On-Zustand oder der Schaltgeschwindigkeit, die z.B. durch Anpassen der Qgd (Ladung der Gate-Drain-Kapazität) gesteuert werden kann. Außerdem ist eine temporäre Variation oder Optimierung der Bauelementparameter abhängig von der speziellen Anwendung möglich, so dass dasselbe Bauelement für unterschiedliche Anwendungen unterschiedlich betrieben werden kann.

[0091] Der oben erwähnte vierte Anschluss, der in elektrischem Kontakt mit der zumindest einen Feldelektrode in dem Graben steht, kann auch als „Einstellanschluss“ oder „Einstell-PIN“ oder „Leistungsanschluss“ oder „Leistungs-PIN“ oder „Leistungseinstell-PIN“ bezeichnet werden. Das bedeutet, dass die Leistung des Leistungs-MOSFET durch Beaufschlagen dieses Anschlusses mit vordefinierten elektrischen Potenzialen eingestellt werden kann. Beispielsweise führt ein Beaufschlagen mit einer positiven Spannung in dem typischen Bereich von +1 ... +20 V bei einem n-Kanal-Leistungs-MOSFET zu einer Verbesserung des $R(DS)_{On}$ der Leistungsbauelemente um bis zu 1 ... 30 %. Somit kann die $R(DS)_{On}$ -Leistung direkt über diese beaufschlagte Spannung eingestellt werden. Auf dieselbe Art können Durchbruchcharakteristika/-regimes eingestellt oder verän-

dert werden, z.B. kann der Durchbruchort von einem Grabenbettregime hin zu dem pn-Übergang nahe des Source-Bodysteckers geändert werden.

[0092] Gemäß einer Ausführungsform kann der vierte Anschluss in direktem elektrischen Kontakt mit den Feldelektroden von zumindest 20 % der Gräben in dem aktiven Bereich des Leistungs-MOSFET stehen, um Leistungsparameter wie $R(DS)_{on}$, Schwellenspannungen oder Verlustströme einzustellen.

[0093] Gemäß einer Ausführungsform weist der Randabschlussbereich eine vorgegebene Fläche auf und umfasst zumindest eine Abschlussstruktur wie einen Feldring, der einen Teil des Bereichs des Randabschlussbereichs einnimmt. Ein fünfter Anschluss kann in direktem elektrischen Kontakt mit zumindest einer Abschlussstruktur stehen. Die zumindest eine Abschlussstruktur kann zumindest 20 % des Randabschlussbereichs des Halbleiterchips einnehmen. Außerdem kann der fünfte Anschluss elektrisch mit zumindest einem Spannungsring des Leistungs-MOSFET, der in dem Randabschlussbereich angeordnet ist, z.B. zum Einstellen der Chipabschluss-Durchbruchcharakteristika/-regimes, verbunden sein. Die Abschlussstruktur steht typischerweise mit keiner der Feldelektroden in dem aktiven Bereich in elektrischem, d.h. in ohmschem, Kontakt. In Modifikationen der Ausführungsformen ist die Abschlussstruktur elektrisch mit einigen wenigen der Feldelektroden in dem aktiven Bereich verbunden.

[0094] Begriffe mit Raumbezug wie „unter“, „untere(r)“, „über“, „obere(r)“, „darüber“ und dergleichen werden für eine Vereinfachung der Beschreibung verwendet, um die Anordnung eines Bauteils in Bezug auf ein zweites Bauteil zu erklären. Diese Begriffe sollen unterschiedliche Ausrichtungen des Bauelement, zusätzlich zu anderen Ausrichtungen als jenen, die in den Figuren dargestellt sind, umfassen. Ferner werden Begriffe wie „erste(r)“, „zweite(r)“ und dergleichen ebenfalls verwendet, um verschiedene Bauteile, Regionen, Abschnitte etc. zu beschreiben und sollen ebenfalls nicht beschränkend sein. Ähnliche Begriffe beziehen sich in der gesamten Beschreibung auf ähnliche Bauteile.

[0095] Wie hierin verwendet, sind die Begriffe „aufweisen“, „enthalten“, „einschließlich“, „umfassen“ und dergleichen offene Begriffe, die die Gegenwart von angegebenen Bauteilen oder Merkmalen angeben, jedoch zusätzliche Bauteile oder Merkmale nicht ausschließen.

[0096] Die Artikel „ein“, „eine“ und „der“, „die“, „das“ sollen den Plural sowie den Singular miteinschließen, sofern der Kontext dies nicht klar widerlegt.

[0097] Unter Berücksichtigung der obigen Vielzahl von Variationen und Anwendungen gilt zu verstehen,

dass die vorliegende Erfindung nicht von der vorangegangenen Beschreibung, noch von den begleitenden Zeichnungen beschränkt wird. Vielmehr wird die vorliegende Erfindung nur durch die folgenden Patentansprüche und ihre rechtlichen Äquivalente beschränkt.

Patentansprüche

1. Leistungshalbleiterchipgehäuse, aufweisend:
ein Gehäuse (160);
einen Halbleiterchip (110), der zumindest teilweise in dem Gehäuse (160) eingebettet ist, wobei der Halbleiterchip eine erste Dotierregion (131) in ohmschem Kontakt mit einer ersten Metallschicht (151), eine zweite Dotierregion (132) in ohmschem Kontakt mit einer zweiten Metallschicht (152) und zumindest eine Vielzahl von ersten Gräben (410, 510), die in dem Halbleiterchip (110) ausgebildet sind, aufweist, wobei die ersten Gräben (410, 510) Gateelektroden (115, 415, 515) und zumindest erste Feldelektroden (112, 412, 512a) aufweisen, die elektrisch von den Gateelektroden (115, 415, 515) isoliert sind; und
zumindest vier Anschlüsse (171, 172, 173, 174), die teilweise in dem Gehäuse (160) eingebettet sind und teilweise zur Außenseite des Gehäuses (160) hin freiliegen, wobei
ein erster Anschluss (171) der zumindest vier Anschlüsse elektrisch mit der ersten Metallschicht (151) verbunden ist,
ein zweiter Anschluss (172) der zumindest vier Anschlüsse elektrisch mit der zweiten Metallschicht (152) verbunden ist,
ein dritter Anschluss (173) der zumindest vier Anschlüsse elektrisch mit den Gateelektroden (115, 415, 515) der ersten Gräben (410, 510) verbunden ist und
ein vierter Anschluss (174) der zumindest vier Anschlüsse elektrisch mit den ersten Feldelektroden (112, 412, 512a) der ersten Gräben (410, 510) verbunden ist.

2. Leistungshalbleiterchipgehäuse nach Anspruch 1, wobei die erste Metallschicht (151) auf einer ersten Seite (111) des Halbleiterchips (110) angeordnet ist, und die zweite Metallschicht (152) auf einer zweiten Seite (112) des Halbleiterchips (110), angeordnet ist, welche gegenüber der ersten Seite (111) des Halbleiterchips (110) angeordnet ist.

3. Leistungshalbleiterchipgehäuse nach Anspruch 1 oder 2, weiterhin aufweisend:
eine Vielzahl von zweiten Gräben (420), die in dem Halbleiterchip (410) gebildet sind, wobei die zweiten Gräben (420) Gateelektroden (425) und zumindest Elektroden (422) aufweisen, die elektrisch von den Gateelektroden (425) isoliert sind, wobei die Gateelektrode (425) der zweiten Gräben (420) elektrisch mit dem dritten Anschluss (773) verbunden ist; und

einen fünften Anschluss (775), der zumindest teilweise in dem Gehäuse (760) eingebettet ist und zur Außenseite des Gehäuses (760) hin freiliegt, wobei der fünfte Anschluss (775) elektrisch mit den Feldelektroden (422) der zweiten Gräben (420) verbunden ist.

4. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 3, wobei die ersten Gräben (510) zumindest zweite Feldelektroden (512b) aufweisen, die elektrisch von den Gateelektroden (515) und den ersten Feldelektroden (521a) isoliert sind, wobei das Leistungshalbleiterchipgehäuse weiterhin aufweist:
einen fünften Anschluss (775), der teilweise in dem Gehäuse (760) eingebettet ist und zur Außenseite des Gehäuses (760) hin freiliegt, wobei der fünfte Anschluss (775) elektrisch mit den zweiten Feldelektroden (512b) der ersten Gräben (510) verbunden ist.

5. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 4, weiterhin aufweisend:
eine Vielzahl von zweiten Gräben (420), die in dem Halbleiterchip (410) gebildet sind, wobei die zweiten Gräben (420) Gateelektroden (425) ohne Feldelektroden aufweisen und wobei die Gateelektroden (425) der zweiten Gräben (420) elektrisch mit dem dritten Anschluss (173) verbunden sind.

6. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 5, weiterhin aufweisend:
eine Vielzahl von zweiten Gräben (420), die in dem Halbleiterchip (410) gebildet sind, wobei die zweiten Gräben (420) Gateelektroden (425) und zumindest Feldelektroden (422) aufweisen, und wobei die Gateelektroden (425) der zweiten Gräben (420) elektrisch mit dem dritten Anschluss (173) verbunden sind, und die Feldelektroden (422) der zweiten Gräben (420) elektrisch mit der ersten Dotierregion (431) verbunden sind.

7. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 6, weiterhin aufweisend eine erste Bondverbindung, die zumindest einen Bonddraht (161) aufweist, der die erste Metallschicht (151) elektrisch mit dem ersten Anschluss (171) verbindet, wobei der Bonddraht (161) in dem Gehäuse (160) eingebettet ist.

8. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 7, weiterhin aufweisend:
eine Gatemetallisierung (153) in ohmschem Kontakt mit den Gateelektroden (115) der ersten Gräben; und
eine zweite Bondverbindung, die zumindest einen Bonddraht (163) aufweist, der die Gatemetallisierung (153) elektrisch mit dem dritten Anschluss (173) verbindet, wobei der Bonddraht (163) in dem Gehäuse (160) eingebettet ist.

9. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 8, weiterhin aufweisend:

eine erste Feldelektrodenmetallisierung (154) in ohmschem Kontakt mit der Feldelektrode (112) der ersten Gräben; und

eine dritte Bondverbindung, die zumindest einen Bonddraht (164) aufweist, der die erste Feldelektrodenmetallisierung (154) elektrisch mit dem vierten Anschluss (174) verbindet, wobei der Bonddraht (164) in dem Gehäuse (160) eingebettet ist.

10. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 9, wobei die zweite Metallschicht (152) mit dem zweiten Anschluss (172) verlötet ist.

11. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 10, wobei der erste Anschluss eine Chipkontaktstelle aufweist und wobei die erste Metallschicht an die Chipkontaktstelle gelötet ist.

12. Leistungshalbleiterchipgehäuse nach Anspruch 11, weiterhin aufweisend einen Metallclip (961), der an die erste Metallschicht gelötet ist, wobei der erste Anschluss (971) eine Verbindungskontaktstelle aufweist, die elektrisch mit dem Metallclip (961) verbunden ist.

13. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 12, wobei das Gehäuse (160) aus einem organischen Formmaterial hergestellt ist.

14. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 1 bis 13, wobei die erste Dotierregion (431) des Halbleiterchips (410) eine Sourceregion eines FET bildet und die zweite Dotierregion (432) des Halbleiterchips (410) eine Drainregion des FET bildet, wobei der Halbleiterchip (410) ferner eine Bodyregion (433) aufweist, die komplementär zu der Sourceregion (431) dotiert ist.

15. Leistungshalbleiterchipgehäuse, aufweisend: ein Gehäuse (160); einen Halbleiterchip (410), der in dem Gehäuse (160) eingebettet ist, wobei der Halbleiterchip (410) eine erste Dotierregion (431) in ohmschem Kontakt mit einer ersten Metallschicht (451), die auf einer ersten Seite (411) des Halbleiterchips (410) angeordnet ist, eine zweite Dotierregion (432) in ohmschem Kontakt mit einer zweiten Metallschicht (452), die auf einer zweiten Seite (412) des Halbleiterchips (410), die entgegengesetzt zu der ersten Seite (411) ist, angeordnet ist, und eine Vielzahl von Gräben (410, 420), die in dem Halbleiterchip (410) ausgebildet sind, aufweist, wobei die Gräben (410, 420) Gateelektroden (415, 425) und zumindest erste Feldelektroden (412, 422) aufweisen, die elektrisch von den Gateelektroden (415, 425) isoliert sind; und zumindest vier Anschlüsse, die teilweise in dem Gehäuse (160) eingebettet sind und teilweise zur Außenseite des Gehäuses (160) hin freiliegen, wobei

ein erster Anschluss (171) der zumindest vier Anschlüsse elektrisch mit der ersten Metallschicht (451) verbunden ist,

ein zweiter Anschluss (172) der zumindest vier Anschlüsse elektrisch mit der zweiten Metallschicht (452) verbunden ist,

ein dritter Anschluss (173) der zumindest vier Anschlüsse elektrisch mit den Gateelektroden (415, 425) der Gräben (410, 420) verbunden ist, und

ein vierter Anschluss (174) der zumindest vier Anschlüsse elektrisch mit der ersten Feldelektrode (422) jedes n-ten abgezählten Grabens (420) der Gräben (410, 420) verbunden ist und elektrisch von den ersten Feldelektroden (412) der anderen Gräben (410) isoliert ist, wobei n größer oder gleich 2 ist.

16. Leistungshalbleiterchipgehäuse nach Anspruch 15, weiterhin aufweisend:

einen fünften Anschluss, der teilweise in dem Gehäuse eingebettet ist und zu der Außenseite des Gehäuses hin freiliegt, wobei der fünfte Anschluss elektrisch mit zumindest einigen der ersten Feldelektroden (412) der Gräben (410) verbunden ist, die elektrisch von dem vierten Anschluss isoliert sind.

17. Leistungshalbleiterchipgehäuse nach Anspruch 15 oder 16, wobei zumindest einige der ersten Feldelektroden (412) der Gräben (410), die elektrisch von dem vierten Anschluss isoliert sind, elektrisch mit der ersten Dotierregion (431) verbunden sind.

18. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 15 bis 17, wobei die erste Dotierregion (431) eine Sourceregion und eine zweite Dotierregion (432) eine Drainregion bildet, wobei der Halbleiterchip (410) weiterhin aufweist:

eine Bodyregion (433), die komplementär zu der Sourceregion (431) dotiert ist, und eine Driftregion (434) des gleichen Leitfähigkeitstyps wie die Sourceregion (431) und die zwischen der Bodyregion (433) und der Drainregion (432) angeordnet ist, wobei sich die Gräben (410, 420) von der ersten Seite bis zur Driftregion (434) erstrecken.

19. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 15 bis 18, wobei n größer oder gleich 3 ist.

20. Leistungshalbleiterchipgehäuse nach einem der Ansprüche 15 bis 19, wobei der Halbleiterchip (110) weiterhin aufweist:

einen aktiven Bereich, einen äußeren Rand und einen Randabschlussbereich, der zwischen dem aktiven Bereich und dem äußeren Rand angeordnet ist; und

eine Abschlussstruktur, die in dem Randabschlussbereich angeordnet ist, wobei die Abschlussstruktur zumindest eine aus einer Dotierregion, einer Feldelektrode und einem Potentialring aufweist;

wobei die Halbleiterchipgehäuse einen fünften Anschluss aufweist, der teilweise in das Gehäuse (**160**) eingebettet ist und teilweise zur Außenseite des Gehäuses (**160**) hin freiliegt, wobei der fünfte Anschluss elektrisch mit der Abschlussstruktur verbunden ist.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1A

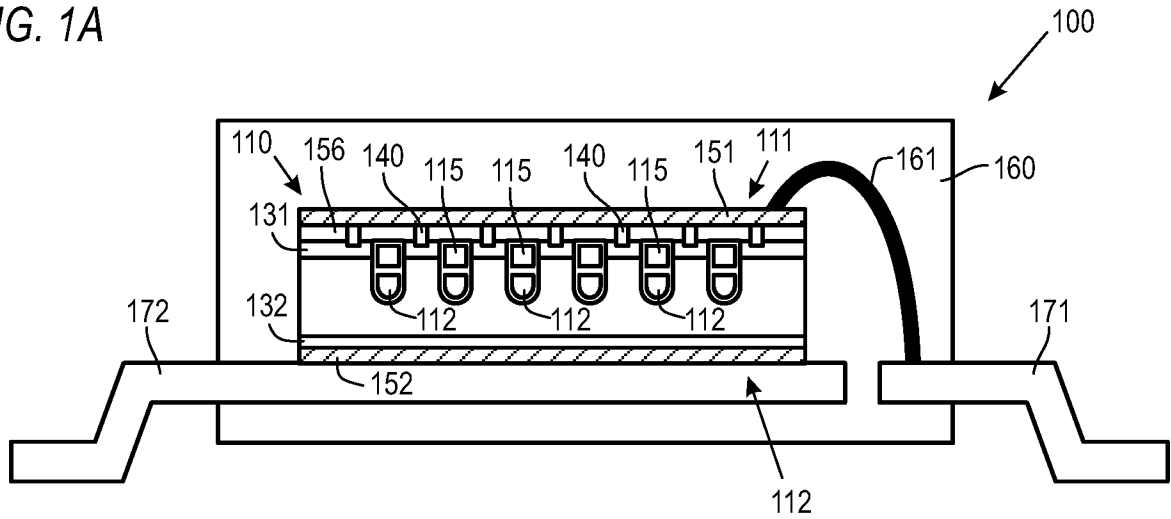


FIG. 1B

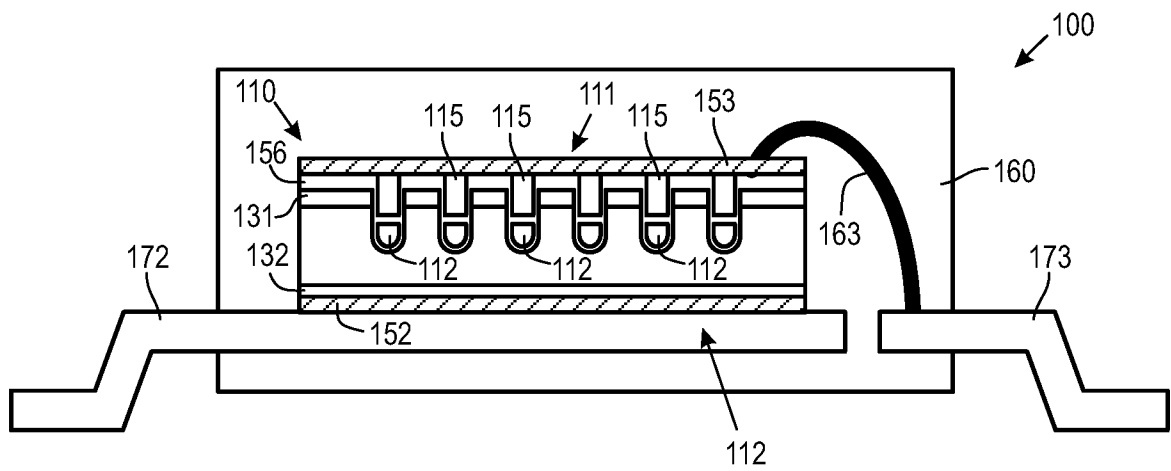


FIG. 1C

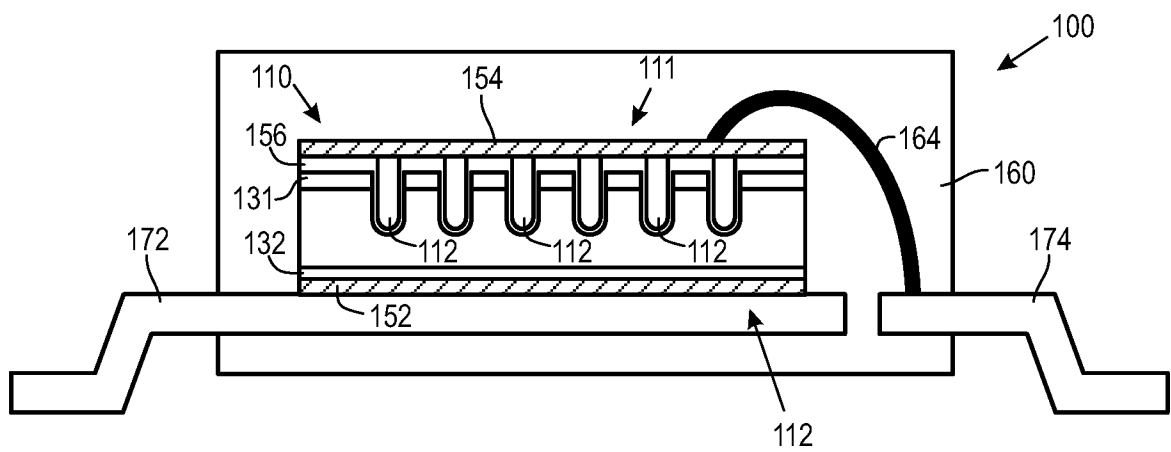


FIG. 2

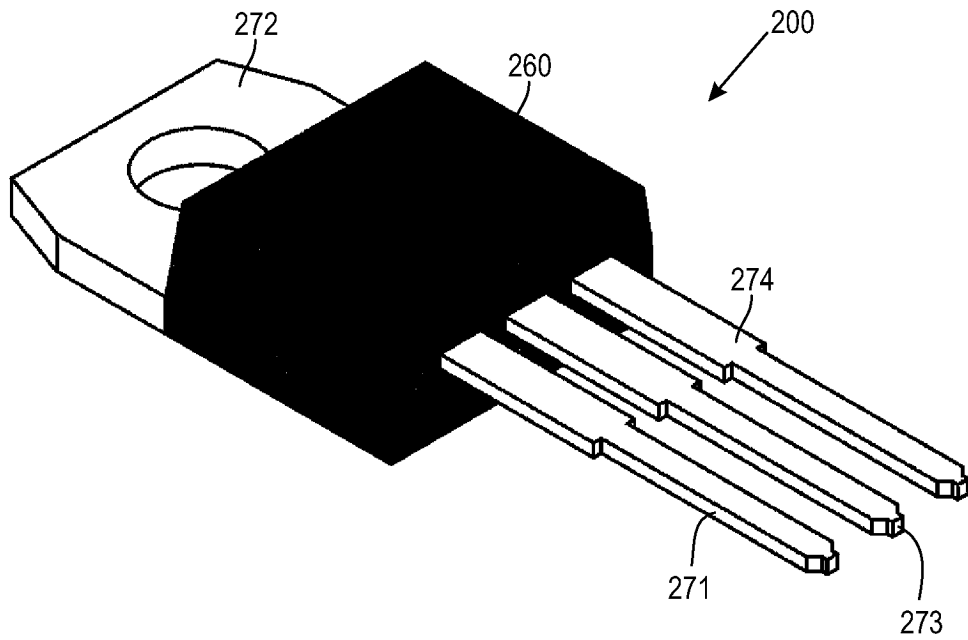


FIG. 3

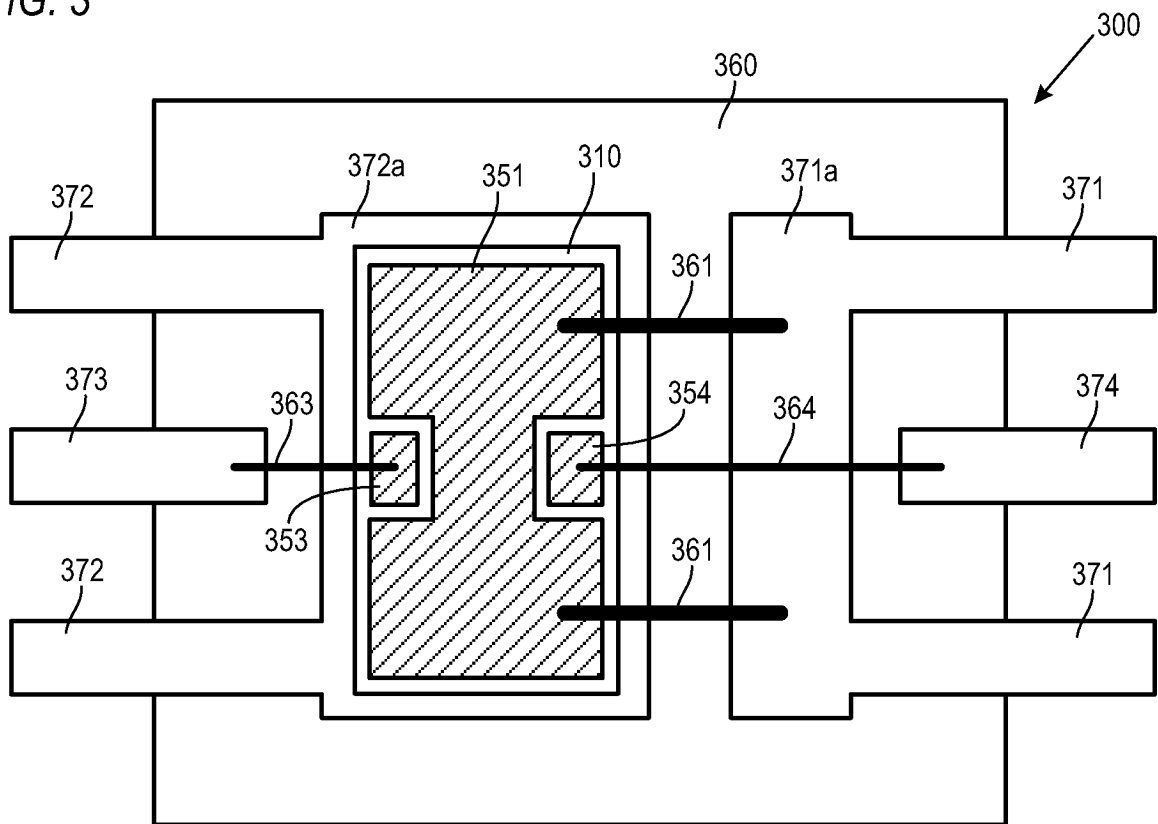


FIG. 4

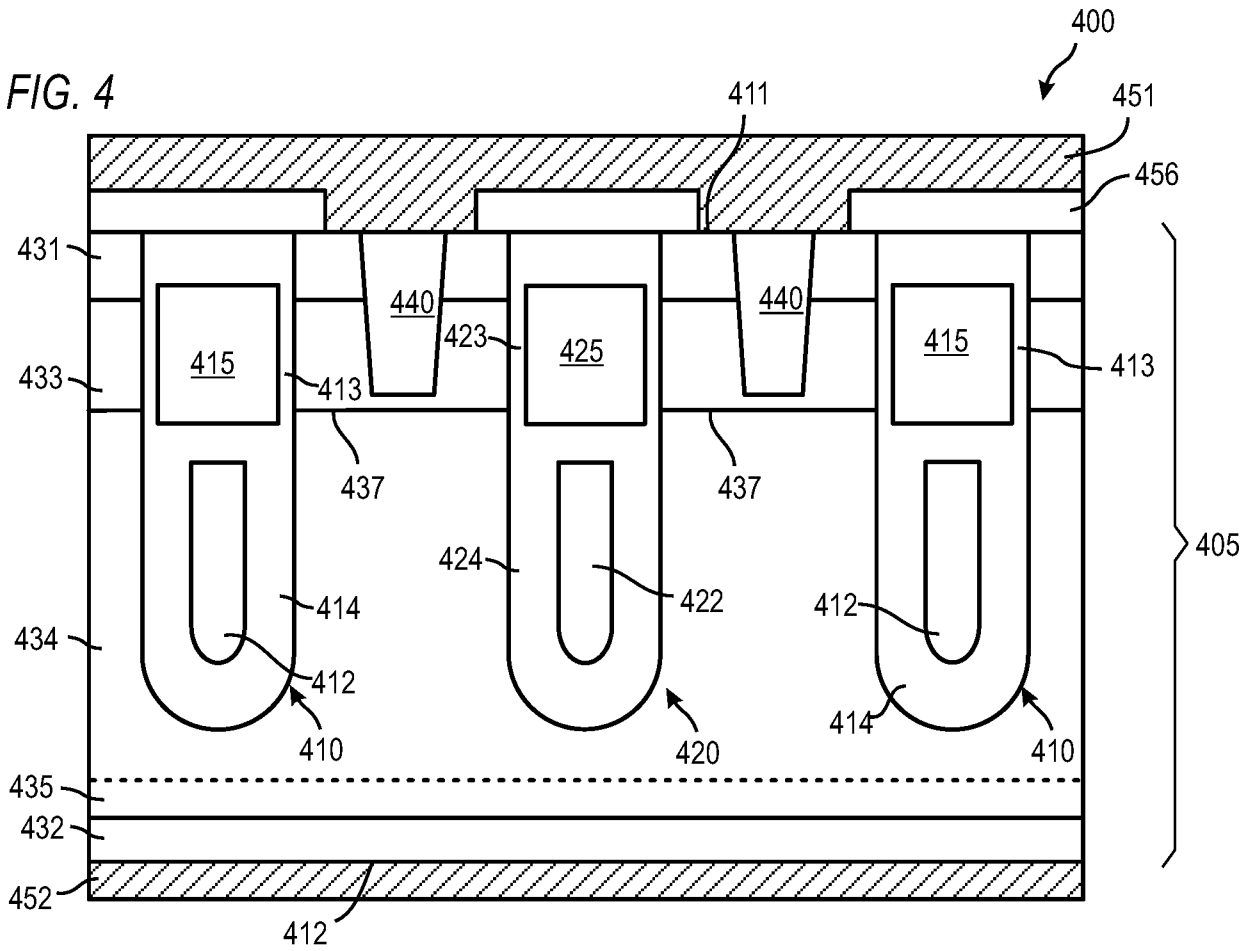


FIG. 5

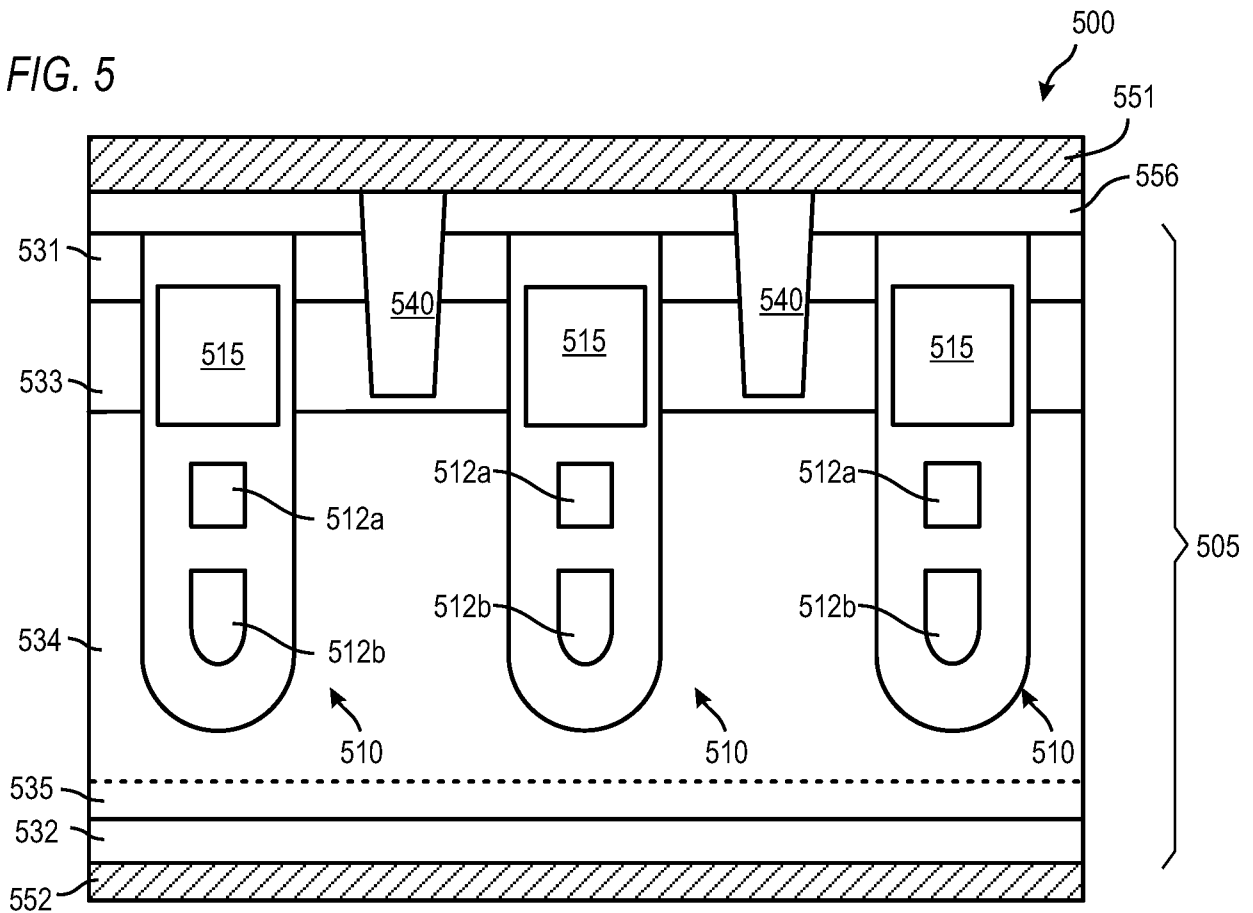


FIG. 6

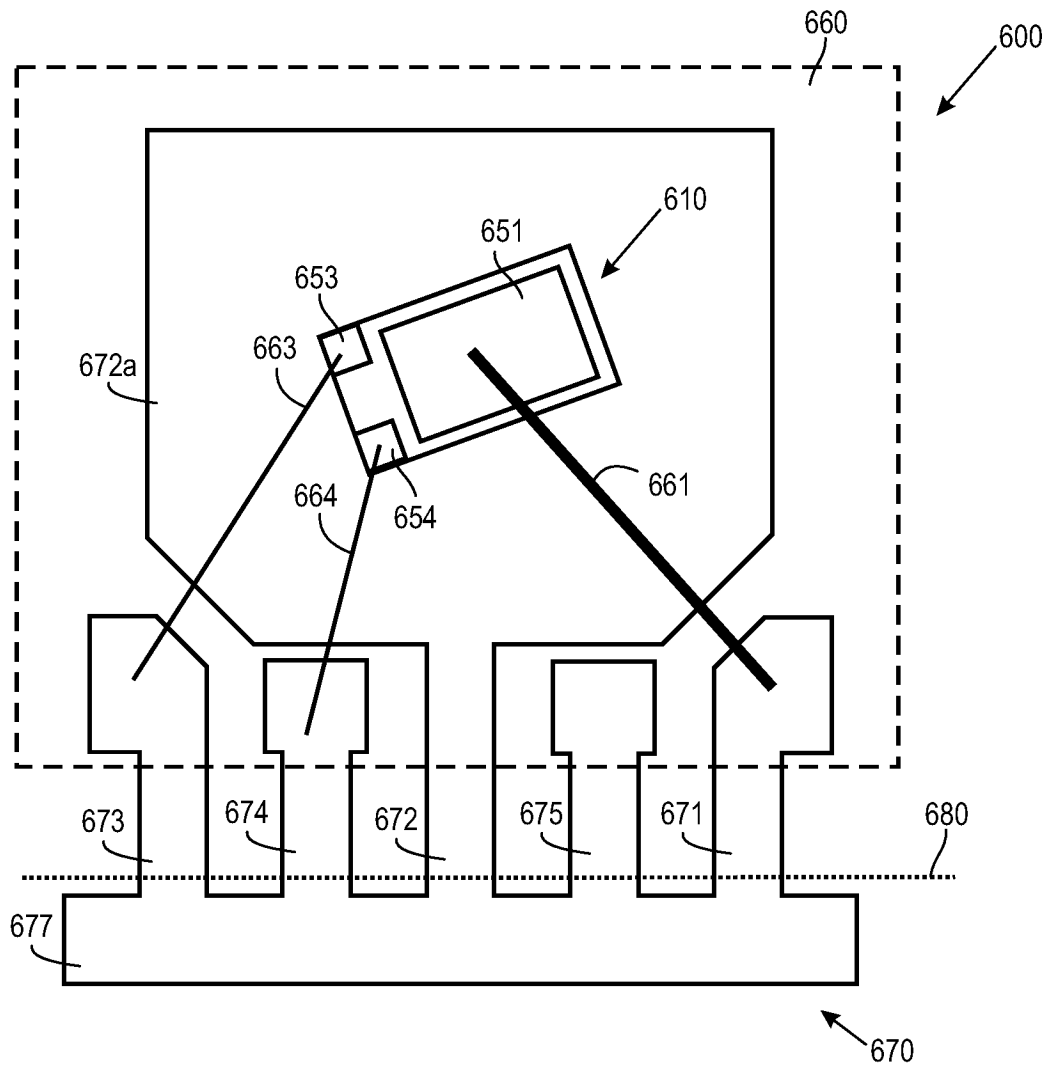


FIG. 7

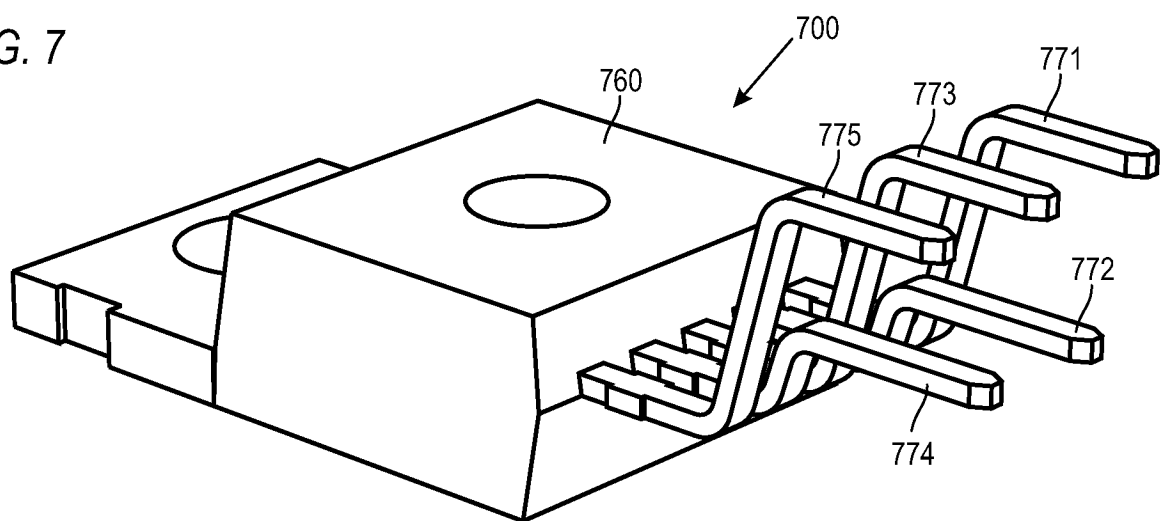


FIG. 8

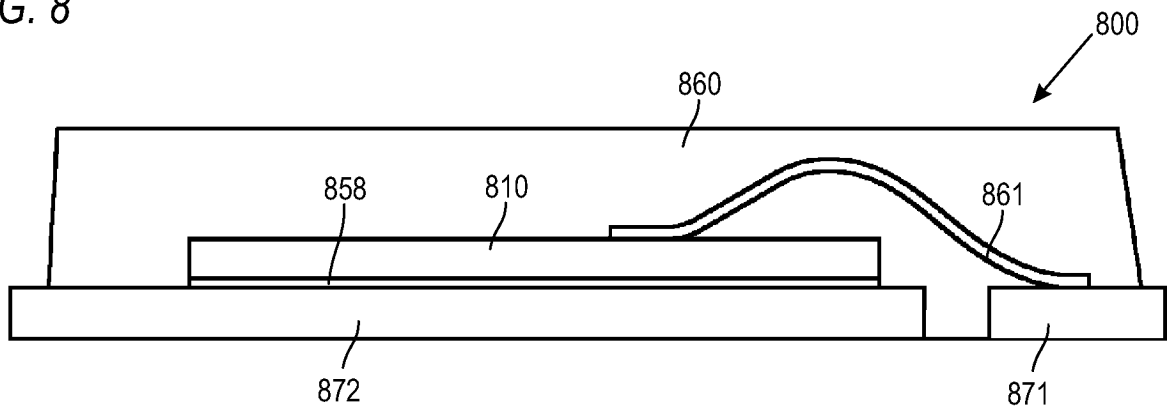


FIG. 9

