



(12) 实用新型专利

(10) 授权公告号 CN 203340174 U

(45) 授权公告日 2013. 12. 11

(21) 申请号 201320321606. 6

(22) 申请日 2013. 06. 05

(73) 专利权人 深圳锐取信息技术股份有限公司

地址 518057 广东省深圳市南山区科技南
十二路 2 号金蝶软件园 B 栋 601

专利权人 蔡仑
姚红星

(72) 发明人 廖海 蔡仑 姚红星

(51) Int. Cl.

H04N 5/222 (2006. 01)

H04N 5/76 (2006. 01)

G06F 3/14 (2006. 01)

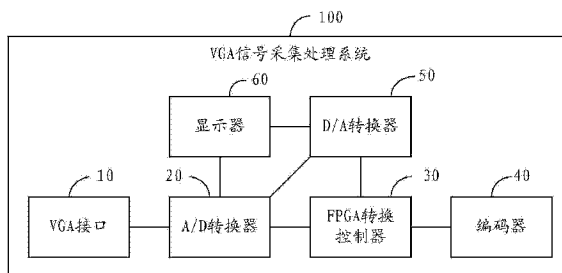
权利要求书1页 说明书8页 附图2页

(54) 实用新型名称

一种超宽分辨率 VGA 信号采集处理系统

(57) 摘要

本实用新型公开了一种超宽分辨率 VGA 信号采集处理系统,用于对计算机屏幕内容进行录制,该系统包括:用于接收 RGB 模拟信号、行同步信号及场同步信号的 VGA 接口,与计算机连接;用于模数转换的 A/D 转换器,与 VGA 接口连接;FPGA 转换控制器,通过 I²C 总线与 A/D 转换器连接;编码器,与 FPGA 转换控制器连接。本实用新型通过转换器和 VGA 编码器对计算机的 VGA 信号进行采集处理,脱离了计算机架构,能够对分辨率高达 2048×768 及 3072×768 高清视频信号进行采集。



1. 一种超宽分辨率 VGA 信号采集处理系统,用于对计算机屏幕内容进行录制,其特征在于,所述系统包括:

用于接收 RGB 模拟信号、行同步信号及场同步信号的 VGA 接口,与所述计算机连接;
用于模数转换的 A/D 转换器,与所述 VGA 接口连接;
FPGA 转换控制器,通过 I²C 总线与所述 A/D 转换器连接;
编码器,与所述 FPGA 转换控制器连接。

2. 根据权利要求 1 所述的信号采集处理系统,其特征在于,所述 VGA 接口包括 RGB 三色模拟信号输入线、用于接地的 RGB 三色地线以及时序信号线。

3. 根据权利要求 1 所述的信号采集处理系统,其特征在于,所述 A/D 转换器为 AD9883 芯片。

4. 根据权利要求 1 所述的信号采集处理系统,其特征在于,AD9883 芯片主要包括 A/D 转换电路、时钟及同步处理电路、I²C 总线接口以及寄存器。

5. 根据权利要求 1 所述的信号采集处理系统,其特征在于,
所述 FPGA 转换控制器为 EP1C3T144C8 芯片。

6. 根据权利要求 1 所述的信号采集处理系统,其特征在于,所述信号采集处理系统还包括与所述 A/D 转换器及所述 FPGA 转换控制器连接的 D/A 转换器。

7. 根据权利要求 6 所述的信号采集处理系统,其特征在于,所述 D/A 转换器为 ADV7123 芯片。

8. 根据权利要求 6 所述的信号采集处理系统,其特征在于,所述信号采集处理系统还包括与所述 D/A 转换器连接的显示器,所述显示器还与所述 A/D 转换器连接。

一种超宽分辨率 VGA 信号采集处理系统

技术领域

[0001] 本实用新型涉及视频录播技术领域,更具体涉及一种超宽分辨率 VGA (Video Graphics Array, 视频图形阵列) 信号采集处理系统。

背景技术

[0002] 录播系统已在中小学教学中得到广泛运用,录播是对教学过程进行录制并同步进行网络传输、播放的过程。通常在录播过程中需要对计算机屏幕显示内容进行采集,通常会涉及到超宽分辨率 2048×768 和 3072×768 的信号采集,例如录制主讲者的讲稿、视频图像及板书等图像内容。现有的信号采集方法通常包括以下两种:

[0003] 一、软件屏幕捕捉方式

[0004] 这种方式通过对教学中的计算机屏幕内容进行捕捉、录制,图像可储成 JPEG (Joint Photographic Experts Group, 联合图像专家小组) 等各种格式,屏幕视频可捕捉为 AVI (Audio Video Interleaved, 音频视频交错格式), WMV (Windows Media Video, 微软推出的一种流媒体格式) 等视频文件。软件屏捕方式占用非常少的 CPU 资源,不影响其他程序的运行,画面清晰,记录数据量小,适合网络传输。主要存在的问题是,教室计算机需要安装录播软件实现屏幕图像的捕捉,因此限定在该计算机屏幕内容的获取,课堂教学中如果使用笔记本电脑、DVD、展台,其信号无法进行采集记录。如果利用计算机播放视频文件或课件嵌入的视频文件,捕捉难以达到视频帧数的要求。

[0005] 二、硬件 VGA 采集方式

[0006] 使用专用的录播机实现 VGA 采集。录播机是利用高性能计算机插入视频 VGA 采集卡组成,承担各类信号的采集、编码工作,教室计算机只是教学使用不再承担录播任务。录播机与教室中央控制器的 VGA 输出连接,同步记录投影机演示的内容,因此,支持接入多媒体教室的计算机、笔记本电脑、实物展台等 VGA 信号以及 DVD 视频信号的采集,满足了教学全过程各类媒体的使用。VGA 采集卡支持 1024×768 录制分辨率,可以得到 PAL 制每秒 25 帧, NTSC ~ 0 每秒 30 帧的视频画面,实现流畅的视频记录。硬件方式解决了视频采集和各类媒体使用的问题,但与软件屏幕捕捉方式相比数据量大,清晰度较差。

实用新型内容

[0007] 本实用新型提供的一种超宽分辨率 VGA 信号采集处理系统,其通过转换器和 VGA 编码器对计算机的 VGA 信号进行采集处理,脱离了计算机架构,能够对分辨率高达 2048×768 及 3072×768 高清视频信号进行采集。

[0008] 为达到以上目的,本实用新型提供一种超宽分辨率 VGA 信号采集处理系统,用于对计算机屏幕内容进行录制,所述系统包括:

[0009] 用于接收 RGB 模拟信号、行同步信号及场同步信号的 VGA 接口,与所述计算机连接;

[0010] 用于模数转换的 A/D 转换器,与所述 VGA 接口连接;

- [0011] FPGA 转换控制器,通过 I²C 总线与所述 A/D 转换器连接;
- [0012] 编码器,与所述 FPGA 转换控制器连接。
- [0013] 根据本实用新型的信号采集处理系统,所述 VGA 接口包括 RGB 三色模拟信号输入线、用于接地的 RGB 三色地线以及时序信号线。
- [0014] 根据本实用新型的信号采集处理系统,所述 A/D 转换器为 AD9883 芯片。
- [0015] 根据本实用新型的信号采集处理系统,AD9883 芯片主要包括 A/D 转换电路、时钟及同步处理电路、I²C 总线接口以及寄存器。
- [0016] 根据本实用新型的信号采集处理系统,所述 FPGA 转换控制器为 EP1C3T144C8 芯片。
- [0017] 根据本实用新型的信号采集处理系统,所述信号采集处理系统还包括与所述 A/D 转换器及所述 FPGA 转换控制器连接的 D/A 转换器。
- [0018] 根据本实用新型的信号采集处理系统,所述 D/A 转换器为 ADV7123 芯片。
- [0019] 根据本实用新型的信号采集处理系统,所述信号采集处理系统还包括与所述 D/A 转换器连接的显示器,所述显示器还与所述 A/D 转换器连接。
- [0020] 本实用新型通过 VGA 接口从计算机接收 RGB 模拟信号、行同步信号及场同步信号,通过 A/D 转换器根据行、场同步信号确定采样的行频和场频,接着由行频和内部寄存器确定像素同步时钟,然后通过配置 A/D 转换器内部的锁相环产生同步时钟,将输入的 VGA 模拟信号转换为 8bit×3 路的数字视频信号,并通过一系列寄存器调整图像的采样效果;FPGA 转换控制器,一方通过 I²C 总线向 A/D 转换器的寄存器写入控制信息以调整图像采样效果;另一方面将输入的 RGB 信号转换为编码器支持的 YUV 信号格式,将视频信号送给编码器进行编码处理,从而实现对计算机的 VGA 信号进行采集处理,并且脱离了计算机架构,能够对分辨率高达 2048×768 及 3072×768 高清视频信号进行采集。

附图说明

- [0021] 为了更清楚地说明本实用新型实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本实用新型的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。
- [0022] 图 1 是本实用新型超宽分辨率 VGA 信号采集处理系统的系统结构图;
- [0023] 图 2 是本实用新型一种实施例中经 AD9883 芯片转换后的数字视频信号输出时序图;
- [0024] 图 3 是本实用新型一种实施例中 FPGA 转换控制器进行色彩转换的工作框图;
- [0025] 图 4 是本实用新型一种实施例中 FPGA 转换控制器的 VGA 行、场同步时序示意图。

具体实施方式

- [0026] 下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0027] 如图 1 所示,本实用新型一种超宽分辨率 VGA 信号采集处理系统 100,用于对计算机屏幕内容进行录制,系统 100 包括:VGA 接口 10、A/D 转换器 20、FPGA (Field Programmable Gate Array),现场可编程门阵列) 转换控制器 30、编码器 40、D/A 转换器 50 及显示器 60。

[0028] VGA 接口 10,用于接收 RGB 模拟信号、行同步信号及场同步信号并发送至 A/D 转换器 20,与计算机及 A/D 转换器 20 连接。VGA 接口 10 块由模拟电路组成,易产生噪声,因此布线时接口器件应尽量靠近 A/D 转换器 20。VGA 接口可传输 VGA, SVGA, XGA, SXGA 等图像格式。VGA 接口共有 15 条线,分为 3 组,包括 RGB (Red Green Blue,红绿蓝)三色模拟信号输入线、用于接地的 RGB 三色地线以及时序信号线。时序信号线为分别是行同步信号线和场同步信号线,这两条线控制了 VGA 信号的显示时序。

[0029] A/D 转换器 20,用于对 VGA 信号进行模数转换,与 VGA 接口 10 连接。具体的,A/D 转换器 20 首先根据行、场同步信号确定采样的行频和场频,接着由行频和内部寄存器确定像素同步时钟,然后通过配置 A/D 转换器 20 内部的锁相环产生同步时钟。该模块可将输入的 VGA 模拟信号转换为 $8\text{bit} \times 3$ 路的数字视频信号,并通过一系列寄存器调整图像的采样效果。

[0030] 优选的是,该 A/D 转换器 20 为 AD9883 芯片,该芯片专门用于采集模拟 R、G、B 信号,将其数字化显示或作为中间转换器件使用。该芯片具有采样精度为 $8\text{bit} \times 3$ 路通道,最高采样率为 140MSPS/s , 300MB 的模拟带宽。根据公式计算最大分辨率 3072×768 下时,最大刷新率为:最大刷新率 $=140000000 / (3072 \times 768 \times 1.34) = 44.28$,本系统采集刷新率达到 30fps 即可,AD9883 满足需求,从而实现高清视频的模数转换。基于 AD9883 芯片的电路可为高清电视提供良好的接口,或作为高性能视频设备的前端扫描转换器,其主要包括 A/D 转换电路、时钟及同步处理电路、寄存器以及 I²C 总线接口。经 AD9883 芯片转换后,数字视频信号输出的时序如图 2 所示。在数据输出时钟 DATAACK 的下降沿对应信号的采样及量化,量化的数据在时钟上升沿稳定的输出;接口电路可在 DATAACK 的上升沿准确地锁存图像数据,从而实现数字化图像的采集。值得注意的是,AD9883 芯片有一个数据输出通道,在输出数据有效之前必须清空通道,从而导致每行输出有效数据之前将输出 4 组无效的数据,可通过行同步信号避免输出这些无效数据。

[0031] FPGA 转换控制器 30,通过 I²C 总线与 A/D 转换器 20 连接。优选的是,FPGA 转换控制器 30 为 EP1C3T144C8 芯片,其能将输入的数字化的 RGB 信号转换为 YUV 信号,送给编码器 40。FPGA 转换控制器 30 以 A/D 转换器 20 输出的像素时钟计算机 LK 作为全局同步时钟。

[0032] RGB 和 YUV 是两种常用的色彩空间。RGB 色彩空间是采用 R, G, B 三个色彩分量来表示一个像素,常见的 RGB 格式有 RGB565、RGB555、RGB24,本系统中 AD9883 转换输出的数据格式为 RGB24,即每个像素用 24 位表示,RGB 分量各使用 8 位。图 3 为 FPGA 转换控制器进行色彩转换的工作框图,FPGA 转换控制器 30 将输入的 $8\text{bit} \times 3$ 路 RGB 信号转换为 16bit 的 YUV 信号。在 YUV16Bit 的工作模式下,在一个时钟周期内,高 8 位用于间隔传递 U 分量或 V 分量,低 8 位用于传输 Y 分量。

[0033] 编码器 40,与 FPGA 转换控制器 30 连接用于对音视频的进行编码并输出,其具体的实现方法在后续内容详细说明。

[0034] D/A 转换器 50, 与 A/D 转换器 20 及 FPGA 转换控制器 30 连接。该 D/A 转换器 50 优选为 ADV7123 芯片。其用于将 8bit×3 路 RGB 数字信号还原为模拟信号, 并结合行、场同步信号构成 VGA 信号, 供本地显示器 60 显示输出。

[0035] 显示器 60, 与 D/A 转换器 50 及 A/D 转换器 20 连接。该显示器的 RGB 模拟信号由 D/A 转换器 50 提供, 其行、场同步信号由 A/D 转换器 20 提供。在本体设置显示器 60 主要用于本地观看及测试。

[0036] 本实用新型通过 VGA 接口从计算机接收 RGB 模拟信号、行同步信号及场同步信号, 通过 A/D 转换器根据行、场同步信号确定采样的行频和场频, 接着由行频和内部寄存器确定像素同步时钟, 然后通过配置 A/D 转换器内部的锁相环产生同步时钟, 将输入的 VGA 模拟信号转换为 8bit×3 路的数字视频信号, 并通过一系列寄存器调整图像的采样效果; FPGA 转换控制器, 一方通过 I²C 总线向 A/D 转换器的寄存器写入控制信息以调整图像采样效果; 另一方面将输入的 RGB 信号转换为编码器支持的 YUV 信号格式, 将视频信号送给编码器进行编码处理, 从而实现对计算机的 VGA 信号进行采集处理, 并且脱离了计算机架构, 能够对分辨率高达 2048×768 及 3072×768 高清视频信号进行采集。

[0037] 本系统的软件设计主要包括 FPGA 软件设计部分和编码器软件设计部分。

[0038] FPGA 软件设计

[0039] 本实施例中, A/D 转换器 20 为 AD9883 芯片、编码器 40 为 DM6447 芯片。

[0040] FPGA 软件设计主要实现以下 3 方面的功能:

[0041] 1、I²C 接口配置

[0042] AD9883 芯片内部的寄存器通过 I²C 总线完全可编程, 本小节将讲述 FPGA 通过 I²C 接口对这些寄存器的具体配置。通过这些具体参数的配置, 可实现对 AD9883 视频采集格式、视频转换效果等的控制。

[0043] AD9883 内部共 25 个寄存器, 其中 00H 和 14H 为只读寄存器, 15 ~ 18H 为测试用寄存器, 01H ~ 13H 为功能寄存器。FPGA 芯片对主要功能寄存器的配置如表 1 所示:

[0044] 表 1

[0045]

| 功能 | 寄存器 | 配置值 |
|---------|-----|-----|
| 锁相环分频控制 | 01H | F0H |
| 时钟产生器控制 | 03H | 70H |
| | 04H | 80H |
| 箱位控制 | 05H | 09H |
| 增益和偏置控制 | 08H | 90H |
| | 09H | 90H |
| | 0aH | 90H |
| | 0bH | 80H |
| | 0cH | 80H |
| | 0dH | 80H |

[0046] 2、RGB 与 YUV 的转换

[0047] 本系统中的 FPGA 转换控制器 30 的另一功能是将 RGB 信号转换为 YUV 信号，二者转换的公式为（RGB 取值范围均为 0-255）：

$$[0048] \begin{cases} Y = 0.299R + 0.587G + 0.114B \\ U = -0.147R - 0.289G + 0.436B \\ V = 0.615R - 0.515G - 0.100B \end{cases} \quad (\text{式 } 1)$$

[0049] 由于 FPGA 芯片进行浮点运算时，运算步骤繁琐并且硬件资源消耗较大，故将式 1 中的参数均乘以 256 后取整，转换如下：

$$[0050] \begin{cases} Y' = 77R + 150G + 29B \\ U' = -38R - 74G + 112B \\ V' = 157R - 132G - 26B \end{cases} \quad (\text{式 } 2)$$

[0051] 经过运算后，得到式 2 中的 Y'，U'，V' 分量后，分别取数据的高八位即为 Y，U，V 分量的实际值。

[0052] 3、VPFE 接口时序的实现

[0053] 由于 AD9883 芯片输出的同步信号与 DM6447 要求的输入同步信号格式不匹配，因此需要将同步信号进行转换。AD9883 芯片输出的同步信号周期包括行消隐前肩、行消隐后肩、同步信号和图像数据四个部分，而实际传输给 DM6447 的视频处理前端的信号仅包括同步信号和图像数据两个部分，因此需要对信号周期进行转换，如图 4 所示。

[0054] (2) 编码器的软件设计（以 DM6447 芯片为例）

[0055] 该设计主要实现视频处理前端驱动的修改及视频信号采集程序设计

[0056] 1) 视频处理前端驱动的修改

[0057] 为了采集转换后的 YUV 信号，本系统对 DM6447 的视频处理前端的驱动进行了修改，配置视频采集设备的工作模式为 YUV 输入模式。主要修改的驱动文件为 DM6447_vpfe。

c, 部分代码解析如下:

[0058]

```
staticvpfe_objvpfe_device_ycbcr = {
```

```
... ..
```

[0059]


```
.vwin = {0, 0, 3072, 768}, //VPFE-WIN-VGA,
.bounds = {0, 0, 3072, 768}, //VPFE-WIN-VGA,
//设置采集的 YUV 信号的分辨率
.pixelaspect = VPFE_PIXELASPECT_NTSC,
.pixelfmt = V4L2_PIX_FMT_UYVY,
.field = V4L2_FIELD_NONE,
//设置 V4L2 的工作模式为逐行扫描格式
....
.capture_device = TVP5146,
.ccdc_params_ycber = {
    .pix_fmt = CCDC_PIXELFORMAT_YCBCR_16BIT,
    //采用 16 位数据总线传输 YUV 信号
    ....
    .bt656_enable = FALSE,
    //不采用 BT. 656 采集模式
    .pix_order = CCDC_PIXELORDER_CBYCRY,
    .buf_type = CCDC_BUFTYPE_FLD_SEPARATED
//该设置相对于 CCDC_BUFTYPE_FLD_INTERLEAVED 而言, 设置 buffer 为
独立的
},
.tvp5146_params = {
    .mode = TVP5146_MODE_AUTO,
    .amuxmode = TVP5146_AMUX_COMPOSITE,
    .enablebt656sync = FALSE,
    //不采用 BT. 656 同步模式
    .data_width = TVP5146_WIDTH_16BIT
    //数据总线宽度为 16bit
},
```

[0060]

```
.irqlock = SPIN_LOCK_UNLOCKED
```

```
};
```

[0061] 2) 视频信号采集程序设计

[0062] 在 DM6447 芯片的应用程序设计中, 音视频数据的采集、编码、输出分别通过 Capture Thread、Video Thread、Writer Thread 独立线程来实现。其中, 视频采集线程的主要作用是对采集设备进行初始化, 开辟缓冲区, 以帧为单位往其中写入数据, 为 Video Thread 做准备。

[0063] 视频采集程序通过调用 V4L2 (Video For Linux2) 来实现, V4L2 是 Linux 中提供的关于视频设备的内核驱动, 它为针对视频设备的应用程序变成提供一系列的接口函数。如 VIDIOC_REQBUFS, 分配内存; VIDIOC_QUERYBUF, 将 VIDIOC_REQBUFS 中分配的数据缓存转换成物理地址; VIDIOC_QUERYCAP, 查询采集设备功能; VIDIOC_S_FMT, 设置当前驱动的视频捕获格式; VIDIOC_STREAMON, 开始视频采集等。具体实现方法不再举例。

[0064] 综上所述, 本实用新型通过 VGA 接口从计算机接收 RGB 模拟信号、行同步信号及场同步信号, 通过 A/D 转换器根据行、场同步信号确定采样的行频和场频, 接着由行频和内部寄存器确定像素同步时钟, 然后通过配置 A/D 转换器内部的锁相环产生同步时钟, 将输入的 VGA 模拟信号转换为 $8\text{bit} \times 3$ 路的数字视频信号, 并通过一系列寄存器调整图像的采样效果; FPGA 转换控制器, 一方通过 I²C 总线向 A/D 转换器的寄存器写入控制信息以调整图像采样效果; 另一方面将输入的 RGB 信号转换为编码器支持的 YUV 信号格式, 将视频信号送给编码器进行编码处理, 从而实现对计算机的 VGA 信号进行采集处理, 并且脱离了计算机架构, 能够对分辨率高达 2048×768 及 3072×768 高清视频信号进行采集。

[0065] 本文中应用了具体个例对本实用新型的原理及实施方式进行了阐述, 以上实施例的说明只是用于帮助理解本实用新型的核心思想; 同时, 对于本领域的一般技术人员, 依据本实用新型的思想, 在具体实施方式及应用范围上均会有改变之处, 综上所述, 本说明书内容不应理解为对本实用新型的限制。

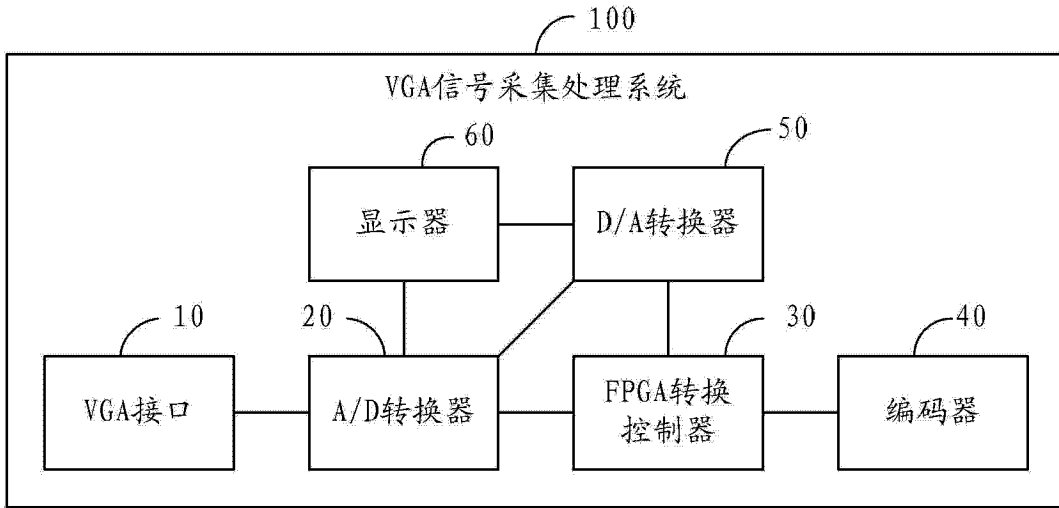


图 1

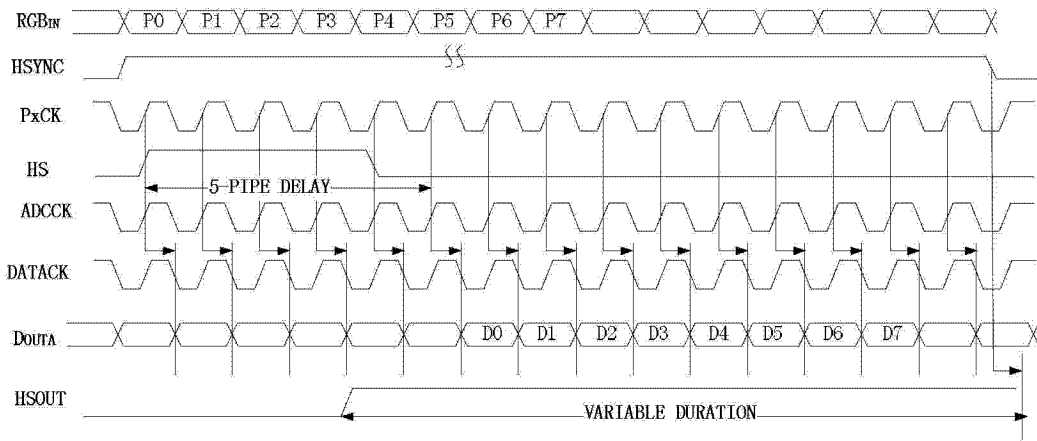


图 2

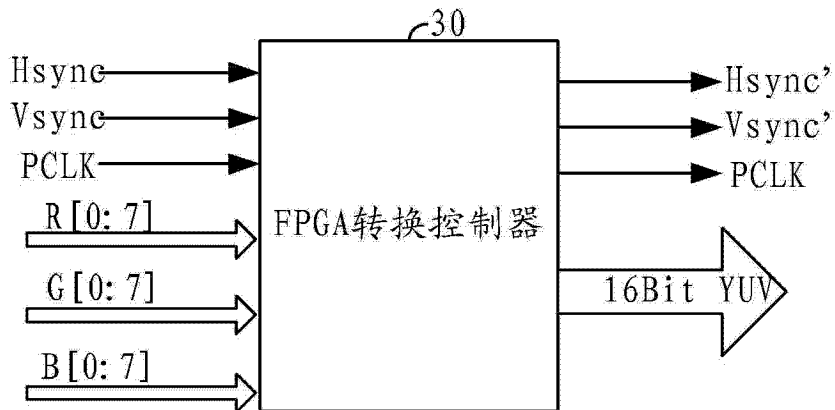


图 3

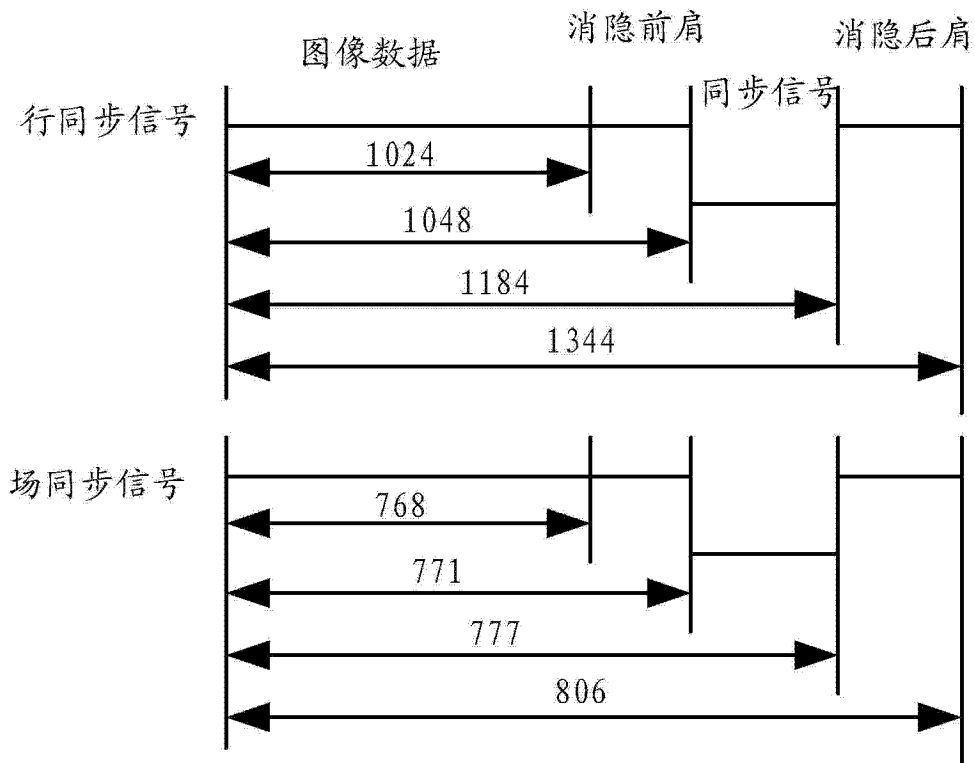


图 4