

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 29/786

H01L 21/336



# [12] 发明专利说明书

[21] ZL 专利号 01144051.1

[45] 授权公告日 2005 年 1 月 5 日

[11] 授权公告号 CN 1183604C

[22] 申请日 2001. 12. 28 [21] 申请号 01144051. 1

[30] 优先权

[32] 2001. 1. 18 [33] US [31] 09/765,134

[71] 专利权人 国际商业机器公司

地址 美国纽约州

[72] 发明人 保罗·S·安德里

弗兰克·R·利布希 辻村隆俊

审查员 钟 翊

[74] 专利代理机构 北京市柳沈律师事务所

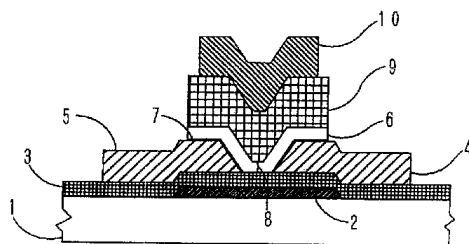
代理人 李晓舒 魏晓刚

权利要求书 3 页 说明书 10 页 附图 8 页

[54] 发明名称 薄膜晶体管及其制造方法和包括该晶体管的半导体器件

[57] 摘要

本发明公开了一种半导体器件、一种薄膜晶体管和形成薄膜晶体管的方法。根据本发明的半导体器件包括顶部栅极型薄膜晶体管，所述的顶部栅极型薄膜晶体管形成在衬底上，所述的顶部栅极型薄膜晶体管包括：沉积在所述衬底上的绝缘层；由金属与掺杂剂形成的合金形成的源电极和漏电极，所述合金沉积在所述绝缘层上；沉积在所述绝缘层、以及所述源电极和所述漏电极上的多晶硅层；通过所述掺杂剂自所述合金的迁移，在所述合金和所述多晶硅层之间形成的欧姆接触层；沉积在所述多晶硅层上的栅极绝缘层；以及形成在所述栅极绝缘层上的栅电极，其中，所述多晶硅层通过金属诱导的横向结晶而晶化。



ISSN 1008-4274

1. 一种包括顶部栅极型薄膜晶体管的半导体器件，所述的顶部栅极型薄膜晶体管形成在衬底上，所述的顶部栅极型薄膜晶体管包括：
- 5        沉积在所述衬底上的绝缘层；
- 由金属与掺杂剂形成的合金形成的源电极和漏电极，所述合金沉积在所述绝缘层上；
- 沉积在所述绝缘层，以及所述源电极和所述漏电极上的多晶硅层；
- 通过所述掺杂剂自所述合金的迁移，在所述合金和所述多晶硅层之间
- 10       形成的欧姆接触层；
- 沉积在所述多晶硅层上的栅极绝缘层；以及
- 形成在所述栅极绝缘层上的栅电极，其中，所述多晶硅层通过金属诱导的横向结晶而晶化。
2. 如权利要求 1 所述的半导体器件，其特征在于，所述合金包括选自
- 15       包含 Ni、Fe、Co、Pt、Mo、Ti、B 和 P 的组的元素。
3. 如权利要求 1 所述的半导体器件，其特征在于，所述合金是 NiP 或 NiB。
4. 如权利要求 1 所述的半导体器件，其特征在于，所述合金是 NiP，且 P 的浓度在 0.5at% 到 10at% 的范围内变化。
- 20       5. 如权利要求 1 所述的半导体器件，其特征在于，所述合金是 NiB，且 B 的浓度在 0.25at% 到 2.0at% 的范围内变化。
6. 如权利要求 1 所述的半导体器件，其特征在于，在所述衬底上形成光遮挡层，并且排列多个所述的薄膜晶体管而在所述半导体器件中形成有源矩阵，使得所述半导体器件用作有源矩阵液晶显示器。
- 25       7. 如权利要求 1 所述的半导体器件，其特征在于，排列多个所述的薄膜晶体管，从而在所述半导体器件中形成有源矩阵，使得所述半导体器件用作有源矩阵电致发光显示器或图象传感器。
8. 一种顶部栅极型薄膜晶体管，所述顶部栅极型薄膜晶体管形成在衬底上，所述顶部栅极型薄膜晶体管包括：
- 30       沉积在所述衬底上的绝缘层；
- 由金属与掺杂剂形成的合金形成的源电极和漏电极，所述合金沉积在

所述绝缘层上;

沉积在所述绝缘层, 以及所述源电极和所述漏电极上的多晶硅层;

通过所述掺杂剂自所述合金的迁移, 在所述合金和所述多晶硅层之间形成的欧姆接触层;

5 沉积在所述多晶硅层上的栅极绝缘层; 以及

形成在所述栅极绝缘层上的栅电极, 其中, 所述多晶硅层通过金属诱导的横向结晶而晶化。

9. 如权利要求 8 所述的顶部栅极型薄膜晶体管, 其特征在于, 所述合金包括选自包含 Ni、Fe、Co、Pt、Mo、Ti、B 和 P 的组的元素。

10 10. 如权利要求 8 所述的顶部栅极型薄膜晶体管, 其特征在于, 所述合金是 NiP 或 NiB。

11. 如权利要求 8 所述的顶部栅极型薄膜晶体管, 其特征在于, 所述合金是 NiP, 且 P 的浓度在 0.5at%到 10at%的范围内变化。

15 12. 如权利要求 8 所述的顶部栅极型薄膜晶体管, 其特征在于, 所述合金是 NiB, 且 B 的浓度在 0.25at%到 2.0at%的范围内变化。

13. 如权利要求 8 所述的顶部栅极型薄膜晶体管, 其特征在于, 在所述衬底上形成光遮挡层, 并且排列多个所述的薄膜晶体管以形成有源矩阵, 使得所述的顶部栅极型薄膜晶体管包括在有源矩阵液晶显示器内。

20 14. 如权利要求 8 所述的顶部栅极型薄膜晶体管, 其特征在于, 排列多个所述的薄膜晶体管, 从而形成一个有源矩阵, 使得所述的顶部栅极型薄膜晶体管包括在有源矩阵电致发光显示器或图象传感器内。

15. 一种形成顶部栅极型薄膜晶体管的方法, 包括步骤:

提供支撑薄膜晶体管结构的衬底;

在所述衬底上沉积绝缘层;

25 在所述绝缘层上沉积金属与掺杂剂形成的合金;

构图所述的合金, 以形成源电极和漏电极;

在所述绝缘层和所述合金上沉积非晶硅层;

在所述非晶硅层上沉积栅绝缘层;

在所述栅绝缘层上沉积栅极材料;

30 构图所述的各层, 以在所述衬底上形成顶部栅极型薄膜晶体管结构;

以及

退火所述非晶硅层，以获得具有自对准晶界的多晶硅层，并在所述合金和所述多晶硅层之间形成欧姆接触层。

16. 如权利要求 15 所述的形成顶部栅极型薄膜晶体管的方法，其特征在于，所述非晶硅的晶化从所述非晶硅层的外部横向位置开始，并进行到  
5 所述非晶硅层的内部，使得大致在所述多晶硅层的中部以自对准的方式形成晶界。

17. 如权利要求 15 所述的形成顶部栅极型薄膜晶体管的方法，其特征在于，所述合金包括选自包含 Ni、Fe、Co、Pt、Mo、Ti、B 和 P 的组的元素。

10 18. 如权利要求 15 所述的形成顶部栅极型薄膜晶体管的方法，其特征在于，所述合金是 NiP 或 NiB。

19. 如权利要求 15 所述的形成顶部栅极型薄膜晶体管的方法，其特征在于，还包括在所述衬底上沉积光遮挡层的步骤。

20. 一种形成顶部栅极型薄膜晶体管的方法，包括步骤：  
15 提供支撑薄膜晶体管结构的衬底；  
在所述衬底上沉积绝缘层；  
在所述绝缘层上沉积金属与掺杂剂形成的合金；  
构图所述的合金，以形成源电极和漏电极；  
在所述绝缘层和所述合金上沉积非晶硅层；

20 退火所述非晶硅层，以获得具有自对准晶界的多晶硅层，并在所述合金和所述多晶硅层之间形成欧姆接触层；  
在所述多晶硅层上形成栅绝缘层；  
在所述栅绝缘层上沉积栅极材料；以及  
25 构图所述的各层，以在所述衬底上形成所述的顶部栅极型薄膜晶体管结构。

薄膜晶体管及其制造方法和包括该  
晶体管的半导体器件

5

技术领域

本发明涉及一种半导体器件、一种薄膜晶体管(TFT)和制造 TFT 的方法，具体涉及一种包括顶部栅极型 TFT 的半导体器件、一种顶部栅极型  
10 TFT，以及一种通过非晶硅的金属诱导结晶化而形成顶部栅极型 TFT 的方法。

背景技术

薄膜晶体管(TFT)已经用在多种半导体器件中，如有源矩阵型液晶显示  
15 器、有机电致发光显示器和图象传感器，因为 TFT 可以提供一种低功耗的薄、轻器件。在 TFT 中，利用多晶硅（以下描述为多晶-Si）的 TFT 因为其能够提供低生产成本的大面积、高分辨率器件而受到青睐。

通常，通过固相结晶或激光结晶在一个例如玻璃、金属、金属氧化物、  
单晶硅的衬底上形成多晶硅。典型的固相结晶包括沉积非晶硅(a-Si)层，并  
20 在几小时或数十小时内把该层从约 400 摄氏度加热到 550 摄氏度，从而使 a-Si 层结晶的步骤。而典型的激光结晶包括辐照 a-Si 层以在辐照点使 a-Si 熔化，并在冷却到环境温度时使 Si 重结晶的步骤。

图 1 显示了应用到顶部栅极型 TFT 上的固相结晶的工艺。在常规的工  
艺中，如图 1(a)所示，把 a-Si 层 102 沉积到衬底 101 上，再通过适当的沉积  
25 技术把 Ni 层 103 沉积到其上。然后使衬底 101 以及沉积层经受 400 摄氏度到 550 摄氏度的退火，从而使 a-Si 层结晶为通过如图 1(b)所示的 Ni 层 103 的晶体结构诱发的多晶硅层 104。在图 1(b)所示的情形中，晶界 104a、104b 随机地形成在多晶硅层 104 中。接下来，常规工艺开始进行图 1(c)所示的除气过程，并且使 Ni 层 103 经受 HF 处理和退火处理以通过除气过程去除 Ni  
30 层 103。

之后，如图 1(d)所示，在多晶硅层 104 上沉积栅极绝缘层 105，并在该

多晶硅层 104 上形成栅电极 106。接下来，通过适当技术实施 N+ 掺杂，例如  $^{31}\text{P}^+$  的反应离子掺杂，以提供源电极和漏电极。

具有通过常规的金属诱导结晶法形成的多晶硅层的常规 TFT 表现出足够的性能，但是，它仍有缺陷，例如因多晶硅层中随机产生的晶界而导致  
5 的导通电流和截止电流的不均匀。另外，因为需要 Ni 沉积之后的 Ni 去除过程和掺杂过程以形成器件，从而制造过程变得相当复杂。

日本专利公告（公布）平成第 7-45519 号公开了一种半导体器件及其制造工艺，其中，多晶硅通过 a-Si 的晶化作用而产生，利用 Ni、Fe、Co、  
10 Ru、Rh、Pd、Os、Ir、Pt、Sc、Ti、V、Cr、Mn、Cu、Zn、Au、Ag 或其硅化物沉积的岛，该晶化作用通过在比 a-Si 的结晶温度低或比所给玻璃衬底的玻璃化转变温度低的温度下退火而进行。这些岛用作结晶的籽晶，并且在受控方式下形成最终晶界。公开的半导体器件显示出足够的性能，但是，晶界仍具有随机性，使得导通和截止电流的不均匀性可能发生。制造工艺仍需要 Ni 层的去除步骤，还需要掺杂步骤。

日本专利公告（公布）平成第 9-213966 号公开了一种制造半导体器件的工艺，其中，利用激光辐照使 a-Si 层晶化，并且还公开了一种具有大晶体尺寸的多晶硅的 TFT 器件。尽管所得到的 TFT 器件在 TFT 截止时具有足够低的漏电流。借助激光辐照的结晶作用可以改善晶界的不均匀性，并且可以提供如上所述的多晶硅层中的大晶体尺寸，但是，此工艺需要激光系  
20 统，使得构建产业化规模的工厂所需的资本投入变得非常巨大，因而导致器件成本的提高。另外，虽然激光辐照在多晶硅中提供了大晶体尺寸，但是，仍然需要更大的晶体以改进器件的特性。

因此，到目前为止需要提供一种半导体器件，其中 TFT 的导通和截止电流得以改进，并且该器件通过更简单的工艺制造。

25 到目前为止，还需要提供顶部栅极型 TFT，它具有改进的导通和截止电流特性，并且通过更简单的工艺制造。

到目前为止，还需要提供一种形成 TFT 的方法，该 TFT 具有改进的导通和截止电流特性，并且通过更简单的工艺制造。

因此,本发明的目的是提供一种半导体器件,其中,TFT的导通和截止电流得以改进,并且通过更简单的工艺制造。

本发明的另一个目的是提供一种顶部栅极型 TFT,它具有改进的导通和截止电流特性,并且通过更简单的工艺制造。

- 5 本发明的再一个目的在于提供一种形成 TFT 的方法,该 TFT 具有改进的导通和截止电流特性,并且通过更简单的工艺制造。

本发明部分基于这种发现,即当在由金属与掺杂剂形成的合金形成的层上进行 a-Si 的晶化作用时,该合金极好地用作顶部栅极型 TFT 的电极。

- 10 根据本发明,制备了一种包括顶部栅极型薄膜晶体管(TFT)的半导体器件。根据本发明,半导体器件包括一个顶部栅极型薄膜晶体管(TFT),所述顶部栅极型 TFT 形成在一个衬底上,并且包括:

沉积在所述衬底上的绝缘层;

由金属与掺杂剂形成的合金形成的源电极和漏电极,所述合金沉积在所述绝缘层上;

- 15 沉积在所述绝缘层、以及所述源电极和所述漏电极上的多晶硅层;

通过所述掺杂剂自所述合金的迁移而在所述合金和所述多晶硅层之间形成的欧姆接触层;

沉积在所述多晶硅层上的栅极绝缘层;以及

- 20 形成在所述栅极绝缘层上的栅电极,其中,所述多晶硅层通过金属诱导横向结晶而晶化。

根据本发明,所述合金可以包括选自包括 Ni、Fe、Co、Pt、Mo、Ti、B 和 P 的组的元素。

根据本发明,合金可以是 NiP 或 NiB。

- 25 根据本发明,所述合金可以是 NiP,且 P 的浓度可以从 0.5at% (原子百分比)到 10at%变化。

根据本发明,所述合金可以是 NiB,且 B 的浓度可以从 0.25at%至 2.0at%变化。

- 30 根据本发明,可以在所述衬底上形成一个光遮挡层,并且可以排列多个 TFT,以在所述半导体器件中形成一个有源矩阵,使得所述半导体器件用作有源矩阵液晶显示器。

根据本发明，可以排列多个 TFT，以在所述半导体器件中形成一个有源矩阵，使得半导体器件用作有源矩阵电致发光显示器或图象传感器。

根据本发明，制备一种顶部栅极型薄膜晶体管(TFT)。所述顶部栅极型 TFT 形成在衬底上并且包括：

5 沉积在所述衬底上的绝缘层；

由金属与掺杂剂形成的合金形成的源电极和漏电极，所述合金 Ni 沉积在所述绝缘层上；

沉积在所述绝缘层、以及所述源电极和所述漏电极上的多晶硅（多晶-Si）；

10 通过所述掺杂剂自所述合金的迁移而形成在所述合金和所述多晶硅层之间的欧姆接触层；

沉积在所述多晶硅层上的栅极绝缘层；以及

形成在所述栅极绝缘层上的栅电极，其中，所述多晶硅层通过金属诱导的横向结晶而晶化。

15 根据本发明，所述合金可以包括选自包含 Ni、Fe、Co、Pt、Mo、Ti、B 和 P 的组的元素。

根据本发明，所述合金可以是 NiP 或 NiB。

根据本发明，所述合金可以是 NiP，且 P 的浓度可以从 0.5at% 到 10at% 变化。

20 根据本发明，所述合金可以是 NiB，且 B 的浓度可以从 0.25at% 到 2.0 at% 变化。

根据本发明，可以在所述衬底上形成光遮挡层，并且可以排列多个所述的 TFT，以形成有源矩阵，使得所述顶部栅极型 TFT 包括在有源矩阵液晶显示器内。

25 根据本发明，可以排列多个所述的 TFT 以形成一个有源矩阵，使得所述顶部栅极型 TFT 包括在有源矩阵电致发光显示器或图象传感器中。

根据本发明，提供一种形成顶部栅极型 TFT 的方法。该方法包括步骤：  
提供支撑 TFT 结构的衬底；

在所述衬底上沉积绝缘层；

30 在所述绝缘层上沉积金属与掺杂剂形成的合金；

在所述合金上构图，以形成源电极和漏电极；



- 在所述绝缘层和所述合金上沉积 a-Si 层；  
在所述 a-Si 层上沉积一个栅绝缘层；  
在所述栅绝缘层上沉积栅极材料；  
构图所述各层以在所述衬底上形成顶部栅极型 TFT 结构；以及
- 5 退火所述 a-Si 层，以获得具有自对齐晶界的多晶硅（多晶-Si）层，并在所述合金和所述多晶硅层之间形成欧姆接触层。
- 根据本发明，所述 a-Si 层的晶化从所述 a-Si 层的外部横向位置开始，并进行到所述 a-Si 层的内部，使得在所述多晶硅层的大致中间部分以自对齐的方式形成晶界。
- 10 根据本发明，所述合金可包括选自包含 Ni、Fe、Co、Pt、Mo、Ti、B 和 P 的组的元素。
- 根据本发明，所述合金可以是 NiP 或 NiB。
- 根据本发明，该方法还包括在所述衬底上沉积光遮挡层的步骤。
- 根据本发明，提供一种形成顶部栅极型 TFT 的方法，该方法包括步骤：
- 15 提供支撑 TFT 结构的衬底；  
在所述衬底上沉积绝缘层；  
在所述绝缘层上沉积金属与掺杂剂形成的合金；  
对于第一构图过程，构图所述合金，以形成源电极和漏电极；  
在所述绝缘层和所述合金上沉积 a-Si 层；
- 20 退火所述 a-Si 层，以获得具有自对齐晶界的多晶硅（多晶-Si）层，并在所述合金和多晶硅层之间形成欧姆接触层；  
在所述多晶硅层上形成栅绝缘层；  
在所述栅绝缘层上沉积栅极材料；以及  
构图所述各层，以在所述衬底上形成所述顶部栅极型 TFT 结构。
- 25 以下，通过结合附图中描述的非限定性实施例的详细描述，本发明将得以理解。

#### 附图说明

- 30 现在，将参考附图仅以举例的方法对本发明的优选实施例进行描述，

其中：

图 1 显示顶部栅极型 TFT 的常规结构和制造方法；

图 2 显示根据本发明的 TFT；

图 3 显示根据本发明的 TFT 结构的放大层结构；

5 图 4 显示根据本发明 TFT 结构的另一实施例；

图 5 显示通过每个工艺步骤而在衬底上形成的结构，这些步骤用以形成根据本发明的用于液晶显示器的 TFT 结构；

图 6 显示通过每个工艺步骤而在衬底上形成的结构，这些步骤用以形成根据本发明的用于液晶显示器的 TFT 结构；

10 图 7 显示蚀刻 NiP 或 NiB 层之前和之后的本发明的 TFT 结构；以及

图 8 显示一个包括有源矩阵型 TFT 布局的半导体器件的平面视图，其中，TFT 根据本发明形成。

### 具体实施方式

15

图 2 显示一种根据本发明的适用于液晶显示器的顶部栅极型 TFT 的示意性截面图。图 2 所示的顶部栅极型 TFT 包括衬底 1、光遮挡层 2 和绝缘层 3。衬底 1 可以选自碱玻璃，如钠-钙玻璃，硼-硅酸盐玻璃、铝-硼-硅酸盐玻璃以及基本上不包含碱性元素的无碱玻璃和石英玻璃。光遮挡层 2 通过诸如溅射法或真空蒸镀等适当的沉积法沉积在衬底 1 上，从而阻挡光通过衬底 1。当根据本发明的半导体器件用作电致发光器件或 CCD（电荷耦合器）时，因为衬底 1 的透明性不是必须的，所以根据具体的用途，衬底 1 可以选自任何适当的衬底，该适当的衬底选自玻璃、金属、金属氧化物、陶瓷、单晶硅等。

20

25 光遮挡层 2 可以选自例如  $\text{GeSi:H}$ 、 $\text{GeO}_x$ 、 $\text{GeN}_x$  的锗化合物，例如  $\text{NbO}_x$  的钽化合物，例如  $\text{MoCr}$  的铬(Cr)和钼(Mo)或它们的合金。光阻挡层 2 的厚度优选在 200nm 至 300nm 变化。在衬底 1 和光遮挡层 2 上还沉积  $\text{SiO}_x$  的绝缘层 3，以防止电流经遮挡层 2 泄漏，还改善液晶显示器的性能。绝缘层 3 可以选自绝缘材料，例如除  $\text{SiO}_x$  以外的  $\text{SiN}_x$  或  $\text{SiO}_x\text{N}_y$ ，只要获得可接受的

30 性能。

在绝缘层 3 上形成源电极 4 和漏电极 5。在图 2 所示的实施例中，源电

极和漏电极 4、5 由具有约 200nm 厚度的 NiP 合金制成。我们发现，归因于 NiP 导致的金属诱导结晶，NiP 合金可适当地诱发 a-Si 向具有足够晶体尺寸的多晶硅的结晶，并且通过同时的源自 NiP 的 P 掺杂在 NiP 和多晶硅之间提供欧姆接触。在本发明中，由包括 Ni、Fe、Co、Pt、Mo、Ti、P 和 B 的组制备的其它合金可以用于提供金属诱导的结晶，以及与多晶硅的充分欧姆接触。在图 2 所示的 TFT 结构中，多晶硅层 6 形成在源电极和漏电极 4、5 上。多晶硅层 6 由等离子体 CVD（化学气相沉积）工艺沉积的 a-Si 的金属诱导结晶经退火而形成。

在本发明中，包含在金属中的作为 Si 的主掺杂剂的 P 或 B 的浓度，对于 P 的浓度可以从 0.25 至 10at% 变化，对于 B 的浓度更优选地从 0.5 到 2.0at% 变化，从而使掺杂的多晶硅层 6 的体电阻率为  $10^{-2}$ cm 量级，使得实现电极 4、5 和多晶硅层 6 之间的欧姆接触。

图 3 显示源电极 4 和漏电极 5 的周围的放大截面图。为了使解释简化，不描述图 2 所示的上层。如图 3 所示，当多晶硅层通过退火处理制备时，通过 P 原子从源电极 4 和漏电极 5 的迁移还形成接触层 7，使得电极 4、5 与多晶硅层 6 之间的欧姆接触得以实现，并且防止了在被设计成液晶板时的缺陷。本发明人发现，这种欧姆接触在退火时通过淀析在 NiP 晶界处的 P 原子的迁移而获得。在图 3 所示的实施例中，在电极 4、5 与多晶硅层 6 之间可以存在除晶界 8 之外的晶界，因此 P 在接触表面有效而均匀地淀析。然后，邻近 NiP 的 a-Si 层通过淀析的 P 原子充分掺杂，同时在用于金属诱导结晶的退火处理之下转变为多晶硅。如上所述，本发明排除了常规制造方法中包含的掺杂步骤，使得 TFT 结构的制造工艺被显著简化，从而降低了包含本发明的 TFT 结构的半导体器件的成本。

图 3 还显示了大致在晶化的多晶硅层 6 的中部形成的晶界 8。多晶硅层 6 可以从 a-Si 层的横向侧 6a、6b 开始结晶，并且结晶以相等的速率到达所述实施例中的多晶硅层 6 的中部，从而在多晶硅层的中部形成自对准晶界 8（金属诱导横向结晶）。结晶还从源电极 4 和漏电极 5 的表面向上发生，然后由于适当定义的多晶硅结构以及电极 4、5 和多晶硅层 6 之间的均匀层边界而降低了截止电流和导通电流的不均匀性。在本发明中，结晶还可能在 a-Si 层中的任何横向位置开始，但是，晶界可能大致在多晶硅层 6 的中部形成，只要 a-Si 层中的温度分布均匀地分布。

再参照图 2，栅极绝缘层 9 和栅电极 10 形成在多晶硅层 6 上以提供顶部栅极型 TFT 器件结构。栅极绝缘层 9 可以由比绝缘层 3 更易于蚀刻的材料形成。在图 2 所示的实施例中，通过现有技术中公知的适当方法，如采用用  $\text{SiH}_4 + \text{NH}_3$  的等离子体 CVD，绝缘层 3 由  $\text{SiO}_x$  形成，而栅极绝缘层 9 由  $\text{SiN}_x$  形成。

栅电极 10 可以由选自包括 Al、Ta、Cr、Mo、MoTa、ITO 及其形成的任意合金的组的任意公知的金属或合金形成。栅极材料的沉积可以通过任何适当的方法进行，如化学气相沉积、诸如溅射或真空蒸镀的物理气相沉积。

图 4 显示根据本发明的 TFT 结构的另一实施例。图 4 中所示的 TFT 结构可以包含在例如电致发光显示器件中。如图 4 所示，因为假设图 4 所示的电致发光显示器件利用非透明衬底 1 构成，所以 TFT 结构具有与图 3 所示的 TFT 结构相同的结构，除不沉积光遮挡层 2 以外。当与一个适当的衬底结合时，相同的 TFT 结构也用于构造图象传感器，如电荷耦合器件 (CCD)。

图 5 显示了通过形成 TFT 结构的每个工艺步骤在衬底 1 上形成的结构。在图 5 所示的实施例中，假设 TFT 用于液晶显示器件。如图 5(a)所示，通过任意适当的沉积技术，如化学气相沉积、溅射或蒸镀，第一光遮挡层 2 沉积在衬底 1 上，随后通过诸如光刻的构图步骤而被构图成所需的形状。

接下来，工艺开始绝缘层 3 的沉积步骤，如图 5(b)所示。沉积绝缘层 3 以覆盖衬底 1 和光遮挡层 2。在所述的实施例中，通过利用等离子体 CVD 在衬底 1 上沉积  $\text{SiO}_x$  而形成绝缘层。

接下来，根据本发明的工艺开始 NiP 或 NiB 层 11 的沉积步骤，如图 5(c)所示。这种 NiP 或 NiB 层可以通过任何适当的沉积法如 CVD、溅射、蒸镀或电镀而沉积。在本发明中，有用的沉积方法包括溅射和电镀。当溅射法用于沉积 NiP 层 11 时，因为纯 P 靶不易得到或不实用，所以使用一种适当的复合靶，该靶已在 Ni 中包含了所需浓度的 P。

当把溅射法用于沉积 NiB 层时，因为 B 靶易于得到，所以既可以用复合靶，也可以用两个分离的靶。如果采用分离的靶，则可以在基于 Ni 的合金中调节掺杂剂 B 的浓度，从而优化 TFT 器件的性能。溅射法可以从任何公知的方法中选择，并且本领域的任何技术人员可以容易地选择溅射条

件。例如，根据靶的面积，一般的条件是，功率在 200W 至 3kW 范围内的 RF（射频）或 DC（直流）放电，10 与 200 毫托(mtorr)之间的 Ar。

在本发明的另一个实施例中，可以通过化学镀有利地获得 NiP 或 NiB 层 11。NiP 的电镀溶液可以通过混合一水合次磷酸钠（还原剂）、柠檬酸钠（复合剂）和硫酸镍制备。此混合物可以包含一种表面活性剂和用于稳定化学镀池中的混合物的其它添加剂。当用化学镀沉积 NiP 或 NiB 层 11 时，化学镀溶液的 pH 值一般可以为 4 到 5（弱酸性）或 8 到 10（碱性）。

碱性溶液可以通过加入氢氧化铵和硼酸制备。用于镀 NiB 层的池采用 DMAB（二甲烷硼烷）作为还原剂，它可以从小 L.L.C 的 Shipley 公司商业获得。沉积的 NiP 或 NiB 中的 P 或 B 的量可以作为化学镀池的 pH 值的函数而变化。本发明人发现，在化学镀中，NiP 中的 P 量可以从 5 到 10at% 变化，而 NiB 中的 B 量可以远小于 NiP 中的 P 量，且一般可以在 0.25 到 1at% 变化。

图 5(d)显示蚀刻 NiP 或 NiB 层 11 之后本发明的 TFT 结构。沉积 NiP 或 NiB 层 11 之后，工艺使用适当的公知光致抗蚀剂开始构图过程，以形成源电极和漏电极 4、5，如图 5(d)所示。在构图过程中，即图 5(d)所示的光刻过程中，可以使用任何正性工作的光致抗蚀剂或负性工作的光致抗蚀剂，只要获得图 5(d)所示的所需微图案。

随后，通过包括  $H_3PO_4$ 、 $HNO_3$  和  $CH_3COOH$ (PAN)的蚀刻剂刻蚀 NiP 或 NiB。随着掺杂剂浓度变得越来越高，NiP 层变得更易于蚀刻。为了蚀刻具有非常低掺杂剂浓度的 NiB 层，通过 PAN 蚀刻的蚀刻速率非常低，因此用更强的  $HNO_3$  蚀刻 NiB 层。本发明也可以用其它的蚀刻剂，只要 NiP 或 NiB 层可以被充分地蚀刻。

通过利用等离子体 CVD 沉积具有约 200nm 厚度的 a-Si 层 12，进一步覆盖构图后的源电极 4 和漏电极 5。在所述的方法中，随后在 a-Si 层 12 上沉积包含  $SiN_x$  的栅极绝缘层 9 和包含例如铝的栅电极材料 13，以形成 TFT 结构。图 6(a)显示执行以上沉积后的结构。

接下来，在栅电极材料 13 上涂覆光致抗蚀剂层，并通过穿过光掩模（未示出）的 UV（紫外）光曝光光致抗蚀剂层，之后进行显影，光致抗蚀剂图案 14 形成在栅电极材料 13 上，如图 6(b)所示。

在下一步骤中，蚀刻栅电极材料 13、栅极绝缘层 9 和 a-Si 层 12 以形成根据本发明的 TFT 结构，如图 7 所示。栅电极材料 13 的蚀刻可以通过使

用作为刻蚀剂的水溶液的各向同性刻蚀进行,该溶液选自包括  $H_3PO_4$ 、 $HNO_3$  和  $CH_3COOH$  以及它们的任意混合物的组。本发明可以采用干法刻蚀工艺,其中,  $HCl$  或  $BCl_3$  用作蚀刻剂。优选的是,过度刻蚀 (over-etch) 栅电极材料 13 以获得栅电极 10 周围的一个偏移长度,如图 7(b)所示。通过将  $CF_4$  和  $O_2$  用作蚀刻剂的诸如反应离子蚀刻(RIE)的非各向同性蚀刻,蚀刻过程进一步开始对栅极绝缘层 9 和 a-Si 层 12 的蚀刻。

然后,由此获得的 TFT 结构经受退火处理,用以通过在 400 摄氏度到 550 摄氏度的温度下从几小时到几十小时的金属诱导过程,把 a-Si 层 12 晶化成多晶硅层 6。在退火过程中, P 在晶界周围淀析,并且淀析的 P 有效地迁移到 Si 中,形成接触层 7。上述退火可以应用到刚在 a-Si 层 12 沉积之后的早期步骤中。

图 8 显示一种包括有源矩阵型 TFT 分布的半导体器件的平面视图,其中 TFT 根据本发明形成。根据本发明的半导体器件构建在 TFT 阵列衬底 15 上,并且在衬底 15 上沉积了多个像素电极 16。根据具体应用,像素电极 16 可以由任何适当的材料形成。例如,当半导体器件用作有源矩阵型液晶显示器时,像素电极 16 可以由透明的导电材料如 ITO、IZO、ATO 或  $SnO_2$  形成。源电极 4 连结到像素电极 16 上,漏电极 5 连结到信号线 17a 上。栅电极 10 形成在源电极和漏电极 4、5 上,并连结到栅极线 18 上。在图 8 所示的实施例中,设置有电容控制线 19。

当把半导体器件用作有源矩阵型电致发光显示器件时,可以使用相同的导电材料,但是,可以采用任何具有足够电导率的导体材料,而不考虑透明度。当半导体器件用作如 CCD 的传感器时,像素电极 16 可以用光载流子产生材料如 a-Si、单晶硅或多晶硅 Si 代替。在用到 CCD 中时,整个结构可以构建在单晶硅衬底上。

包含在半导体器件中的 TFT 显示出优秀的电子学性能,具有源于通过金属诱导的横向晶化形成的多晶硅层以及接触层的均匀形成的改善的开关性能。另外,根据本发明的 TFT 可以通过不包括掺杂步骤的简化工艺和简化的 PEP 工艺构造,因此根据本发明,半导体器件的制造成本显著降低。

虽然本发明已经参照其优选实施例得以具体地显示和描述,但本领域的技术人员将理解到,在不脱离本发明的实质和范围的情况下,可以作出形式上和细节上的前述和其它改变。

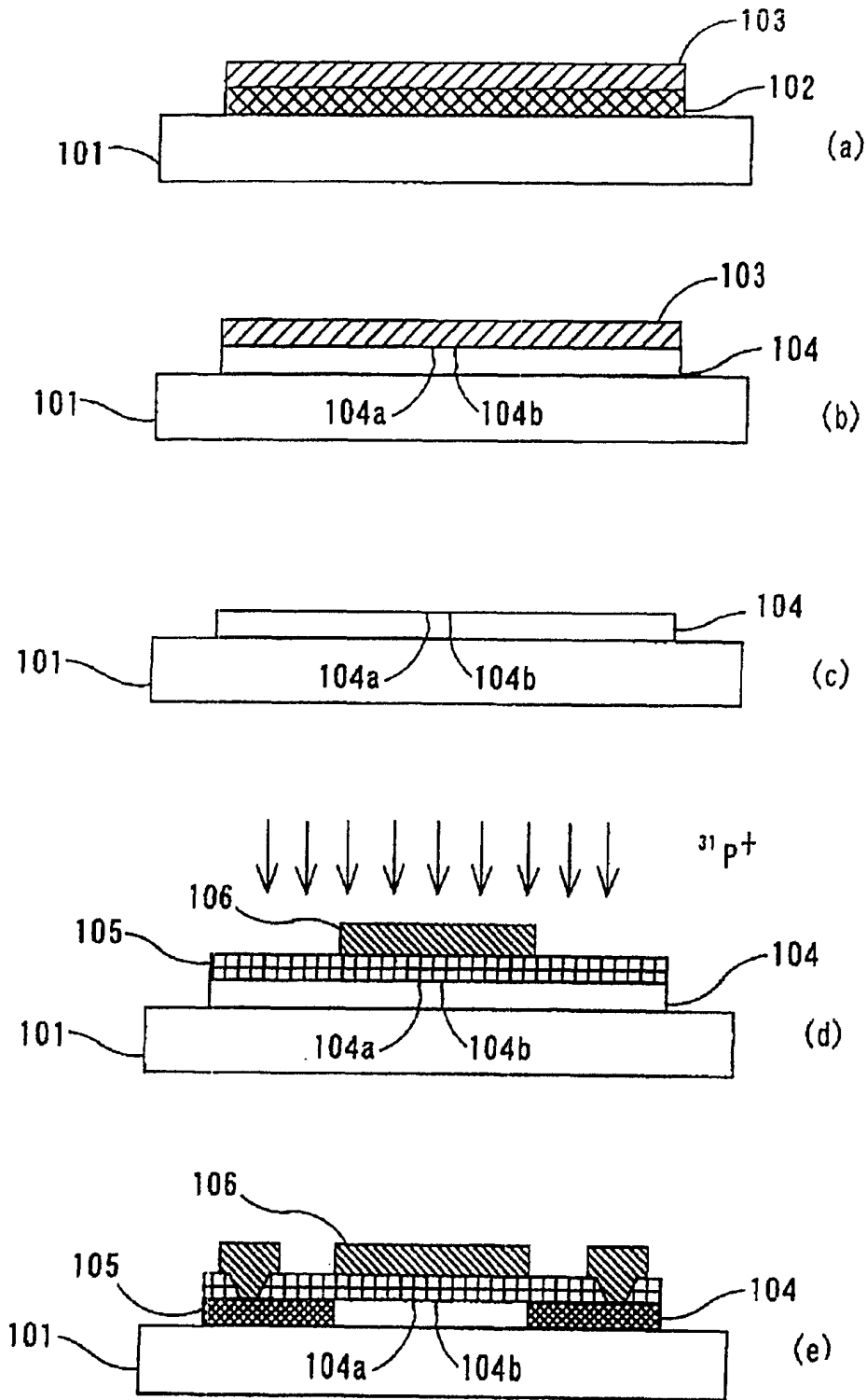


图 1

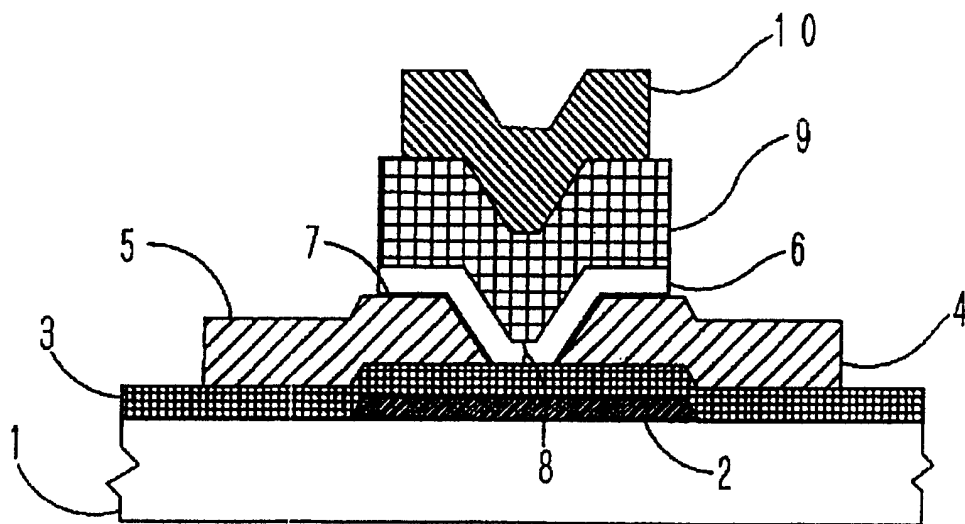


图 2



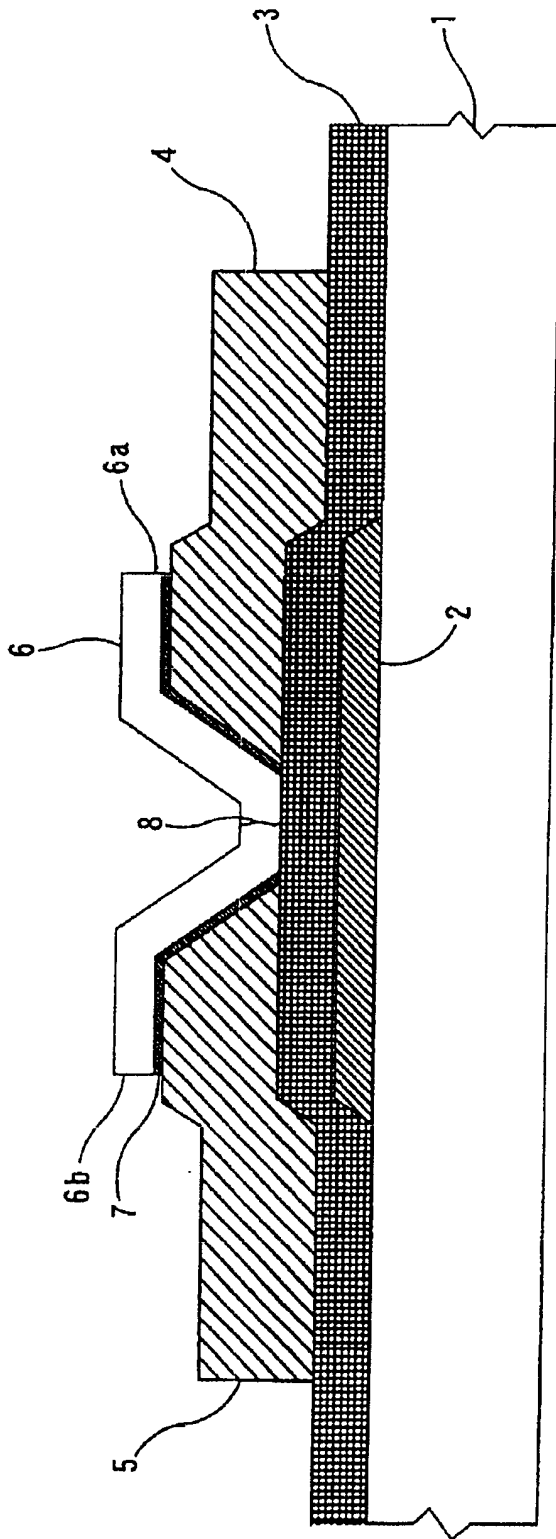


图 3

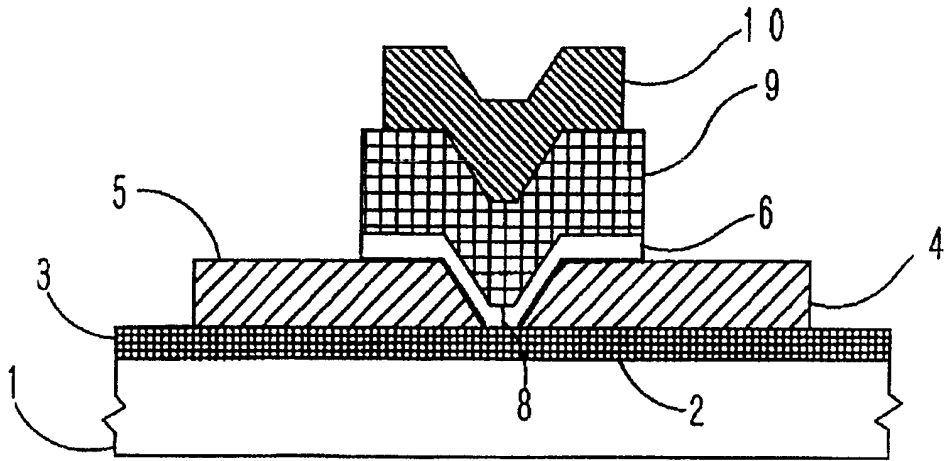


图 4

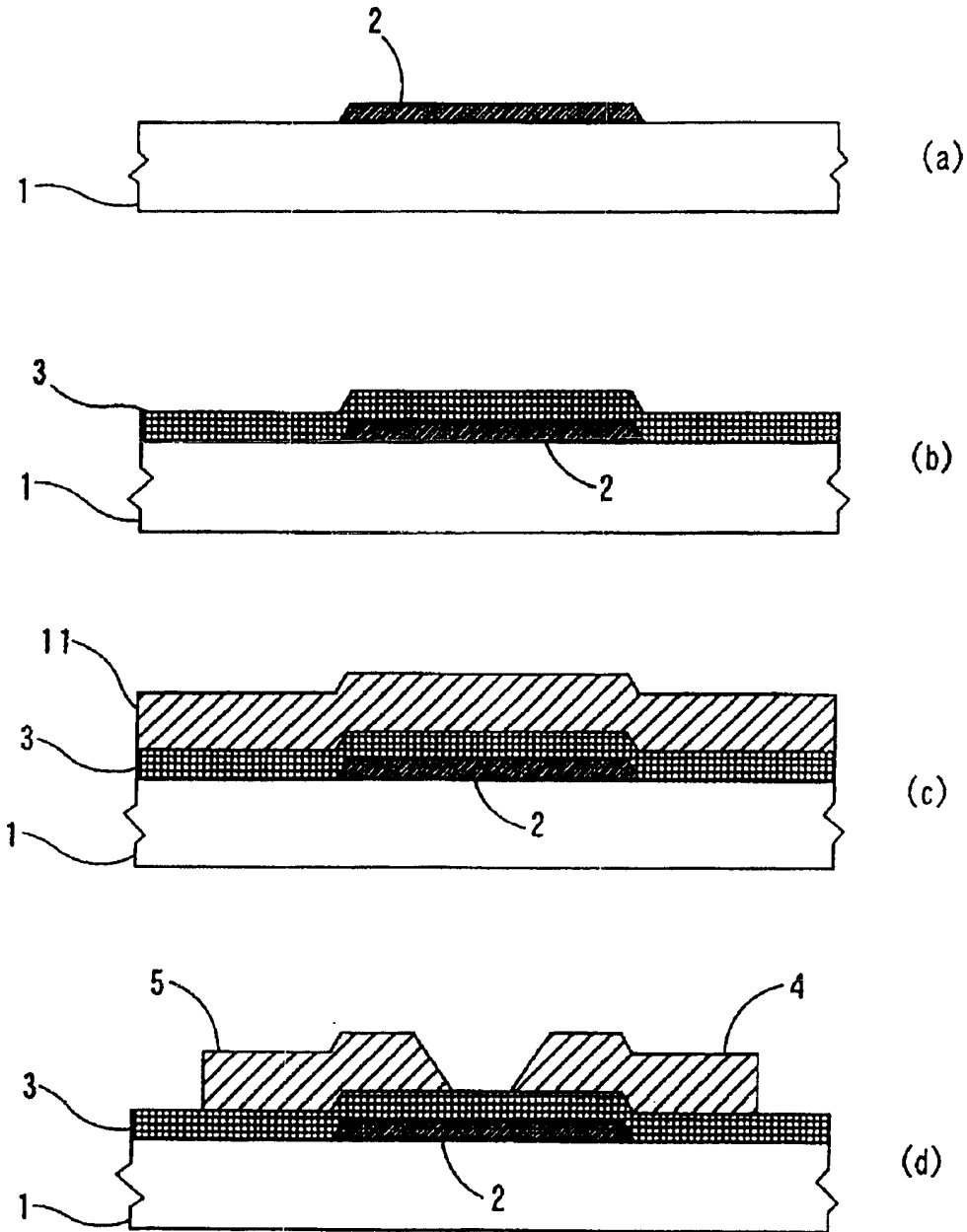
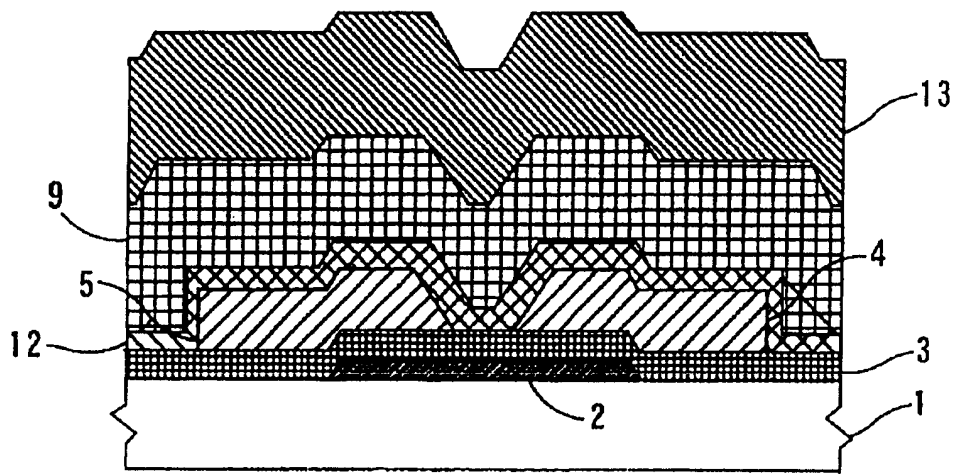
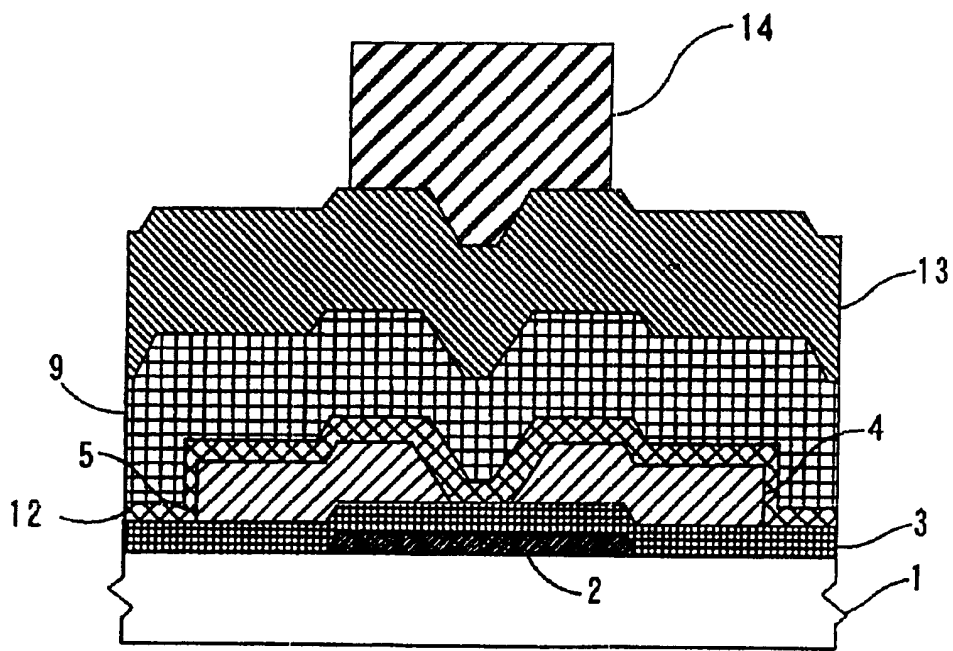


图 5

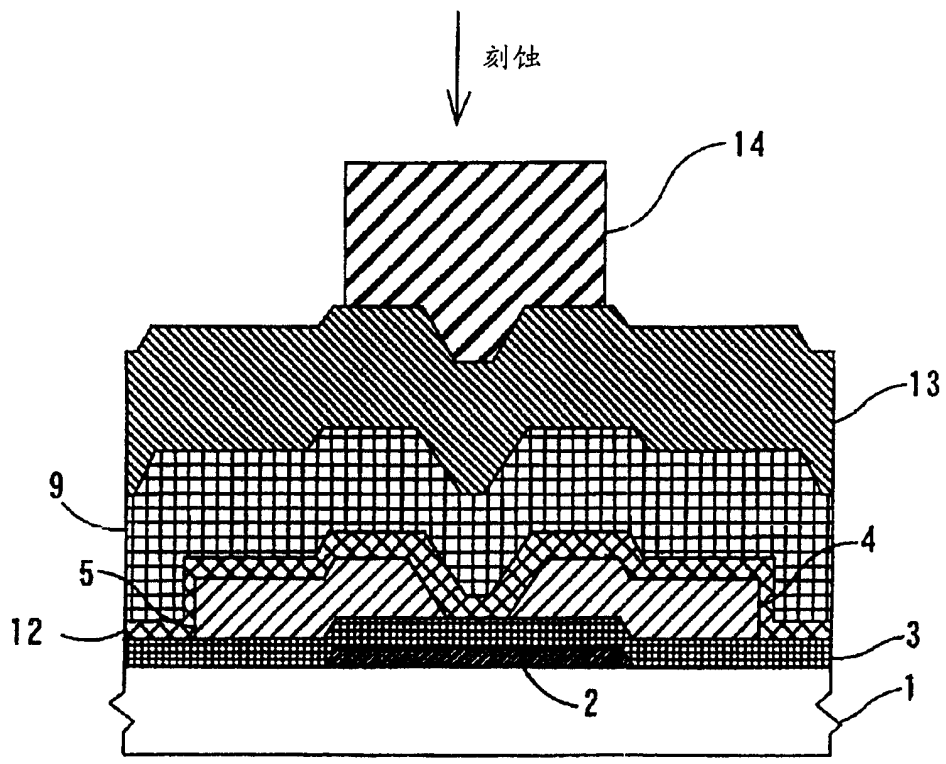


(a)

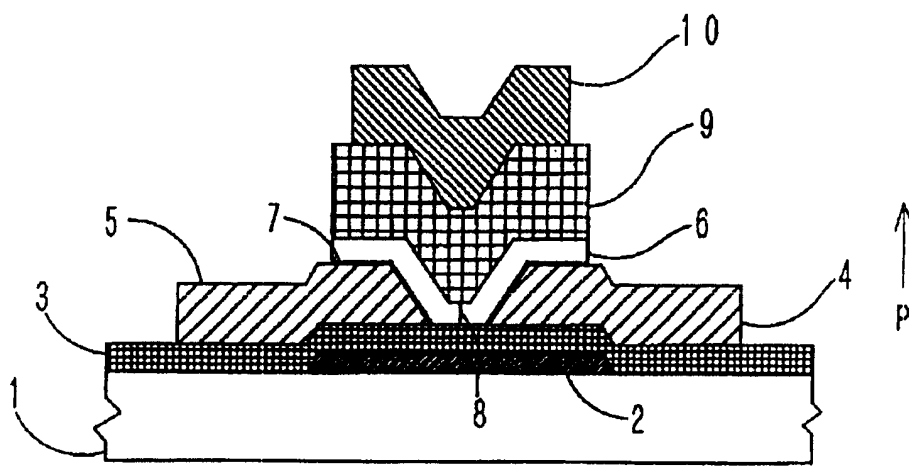


(b)

图 6



(a)



(b)

图 7

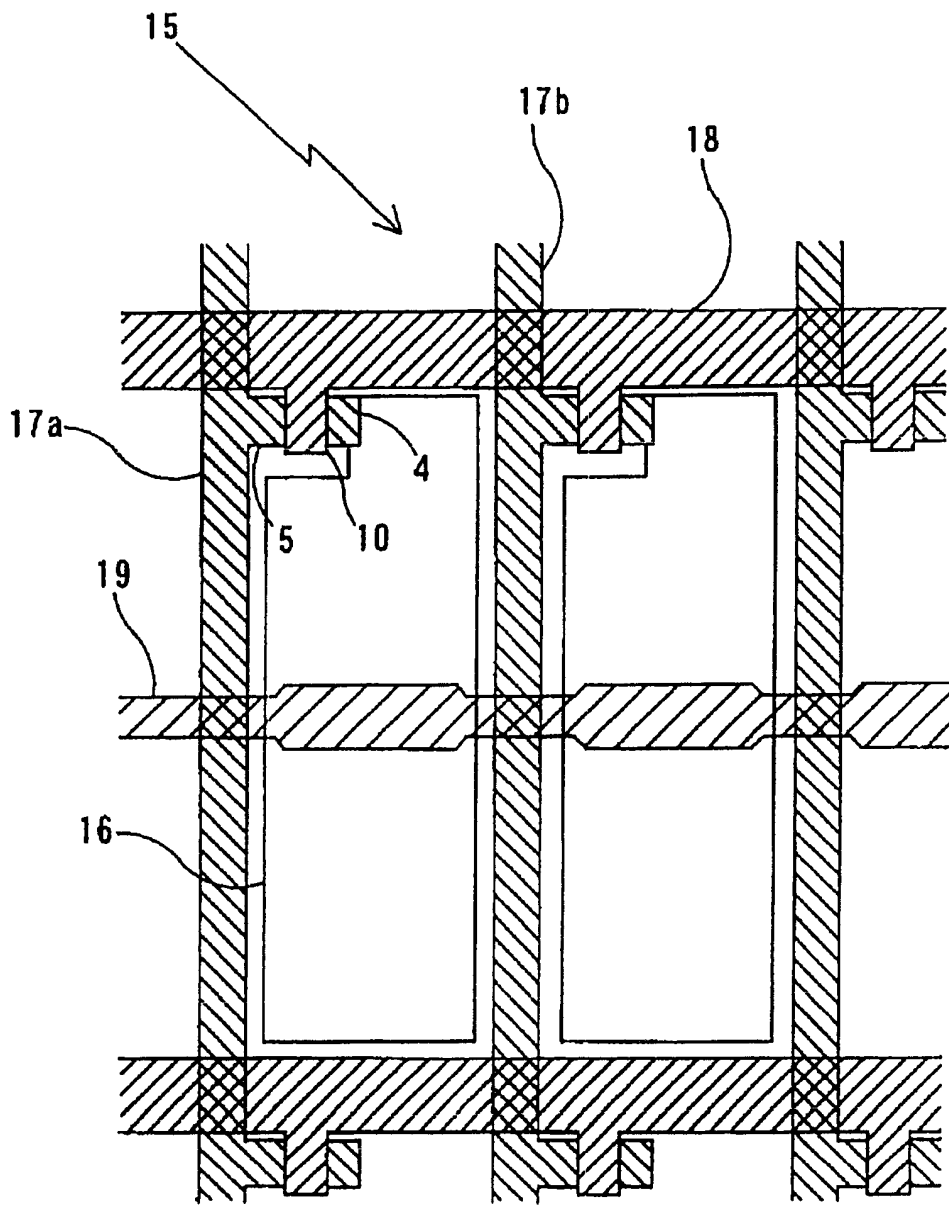


图 8