

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>5</sup> G06F 15/18	(11) 공개번호 특 1991-0014830	(43) 공개일자 1991년08월31일
(21) 출원번호	특 1991-0001014	
(22) 출원일자	1991년01월22일	
(30) 우선권주장	2-12538 1990년01월24일 일본(JP)	
(71) 출원인	2-119828 1990년05월11일 일본(JP) 가부시끼가이샤 히다찌세이사쿠쇼 미다 가쓰시게	
(72) 발명자	일본국 도쿄도 지요다구 간다 스루가다이 4-6 와타나베 다카오	
(74) 대리인	일본국 도쿄도 이나가시 오마루 116-1 메인비루이시이 202 기무라 가쓰따까 일본국 도쿄도 아끼시스시 쓰쯔지가오까 2-7-24-609 이도 기요오 일본국 도쿄도 히가시꾸루메시 가꾸엔쵸 2-17-6 가와지리 요시끼 일본국 도쿄도 하찌오지시 아까쓰끼쵸 1-48-18 히다찌 오와다료 백남기	

심사청구 : 없음

(54) 반도체 메모리를 사용한 뉴럴 네트워크 정보처리 장치

요약

내용 없음

대표도

도 1

명세서

[발명의 명칭]

반도체 메모리를 사용한 뉴럴 네트워크 정보처리 장치

[도면의 간단한 설명]

제1도는 본 발명에 의한 정보처리장치를 1칩의 반도체 칩상에 실현하는 경우의 구성의 1실시예를 도시한 도면, 제7(a)는 한줄의 워드선을 선택하는 것에 의해 다수의 정보를 데이터선상에 리드할수 있는 모뮬리 어레이를 사용해서 본 발명에 의한 정보처리 장치를 실현하는 경우의 구성의 1실시예를 도시한 도면, 제9도(a)는 제7도(b)의 실시예를 사용하여 계층형 뉴럴 네트워크를 실현하는 뉴론 출력값, 결합 가중 값과 메모리 셀의 대응관계를 도시한 제2실시예로서, 뉴론 출력값, 결합 가중 값을 여러개의 메모리 셀로 실현한 실시예의 도면.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

정보를 기억하는 메모리회로(A,B,TG), 상기 메모리 회로에 정보를 라이트 및 상기 메모리 회로에서 정보를 리드하는 동작의 적어도 한쪽을 실행 하는 입출력회로(I/O), 상기 메모리회로에 기억되어 있는 정보를 사용하여 연산을 실행하는 연산회로(12, 12a, 12b)와 상기 메모리회로, 상기 입출력회로 및 상기 연산회로의 동작을 제어하기 위한 제어회로(CNT, 13, 13A, 13B)를 갖는 정보처리 장치에 있어서, 상기 연산회로는 상기 메모리회로에 기억되어 있는 뉴론의 출력값 및 뉴론 사이의 결합가중 값을 사용하여 뉴론 출력값의 갱신값을 계산하는 기능 및 상기 메모리 회로내에 기억된 뉴론 출력값의 기대값과 얻어진 뉴론 출

력값의 거리(일치도)를 계산하는 기능을 갖는 정보 처리장치.

**청구항 2**

특허청구의 범위 제1항에 있어서, 상기 메모리회로에 다수의 성질이 다른 입력데이터를 기억한 정보처리장치.

**청구항 3**

특허청구의 범위 제2항에 있어서, 상기 메모리회로에 뉴런의 출력값의 기대값을 기억한 정보처리장치.

**청구항 4**

특허청구의 범위 제2항에 있어서, 상기 메모리회로는 다수의 블럭으로 구성되고, 제1의 블럭(A)에 뉴런의 출력값( $V_{is}$ ), 제2의 블럭(B)에 뉴런 사이의 결합 가중값( $T_{ji}$ )를 기억한 정보처리장치.

**청구항 5**

특허청구의 범위 제4항에 있어서, 상기 메모리회로는 또 제3의 블럭(TG)를 가지며, 상기 제3의 블럭에 상기 뉴런의 출력값의 기대값을 기억한 정보처리장치.

**청구항 6**

특허청구의 범위 제5항에 있어서, 상기 뉴런의 출력값 및 뉴런 사이의 결합 가중 값의 적어도 어느 것이나 한쪽을 다수의 비트를 사용하여 상기 메모리회로에 기억한 정보 처리장치.

**청구항 7**

특허청구의 범위 제6항에 있어서, 상기 뉴런의 출력값 또는 뉴런 사이의 가중 값을 나타내는 다수 비트의 일부는 상기 뉴런의 출력값 및 뉴런 사이의 결합 가중 값의 부호를 나타내기 위해 사용된 정보처리장치.

**청구항 8**

특허청구의 범위 제7항에 있어서, 상기 메모리회로는 하나의 트랜지스터와 하나의 커패시터로 되는 메모리셀을 포함해서 구성된 정보처리 장치.

**청구항 9**

정부를 기억하는 메모리회로(A,B,TG), 상기 메모리회로에 정보를 라이트 및 상기 메모리 회로에서 정보를 리드하는 동작의 적어도 한쪽의 입출력회로(10), 상기 메모리회로에 기억되어 있는 정보를 사용하여 연산을 실행하는 연산회로(12, 12a, 12b), 상기 메모리회로, 상기 입출력회로 및 상기 연산회로의 동작을 제어하기 위한 제어 회로(CNT, 13, 13A, 13B)를 갖는 정보처리장치에 있어서, 상기 메모리회로는 다수의 데이터선, 그것과 교차하도록 배치한 다수의 워드선(WA)와 그들의 바라는 교차부에 배치된 메모리셀(MC)를 가진 메모리 셀어레이를 포함해서 구성되고, 상기 워드선의 적어도 한줄을 선택하는 것에 의해 상기 다른 다수의 메모리 셀에 기억되어 있는 정보를 상기 워드선에 교차하는 다른 다수의 데이터선에 리드 할수 있고 상기 연산회로는 상기 메모리회로에서 리드된 정보를 사용하여 뉴런 출력값의 갱신값을 계산하는 기능을 갖고, 상기 일축회로는 상기 갱신값을 상기 메모리회로에 라이트하는 기능을 갖는 정보처리장치.

**청구항 10**

특허청구의 범위 제9항에 있어서, 상기 메모리셀 어레이에는 뉴런의 출력값의 기대 값이 기억되고, 상기 연산회로는 상기 기대값과 얻어진 뉴런 출력값의 거리(일치도)를 계산하는 수단을 갖는 정보처리장치.

**청구항 11**

특허청구의 범위 제9항에 있어서, 상기 메모리셀 어레이에 뉴런의 출력값 및 뉴런 사이의 결합 가중 값을 기억한 정보처리장치.

**청구항 12**

특허청구의 범위 제9항에 있어서, 상기 메모리셀 어레이에 다수의 성질이 다른 입력 데이터를 기억한 정보 처리장치.

**청구항 13**

특허청구의 범위 제9항에 있어서, 상기 정보처리장치는 1칩상에 마련된 정보처리장치.

**청구항 14**

특허청구의 범위 제10항에 있어서, 상기 메모리셀 어레이는 다수의 블럭으로 구성되고, 제1의 블럭(A)에 뉴런의 출력값, 제2의 블럭(B)에 뉴런 사이의 결합 가중 값을 기억한 정보 처리장치.

**청구항 15**

특허청구의 범위 제14항에 있어서, 상기 뉴런의 출력값 및 뉴런 사이의 결합 가중 값의 적어도 어느 것이나 한쪽을 다수의 비트를 사용하여 상기 메모리회로에 기억한 정보 처리장치.

**청구항 16**

특허청구의 범위 제15항에 있어서, 상기 뉴런의 출력값 또는 뉴런 사이의 뉴런 출력 값 및 뉴런 사이의 결합 가중 값의 부호를 나타내기 위해 사용된 정보처리장치.

**청구항 17**

특허청구의 범위 제16항에 있어서, 상기 메모리회로는 하나의 트랜지스터와 하나의 커패시터로 되는 메모리셀을 포함해서 구성된 정보처리장치.

**청구항 18**

특허청구의 범위 제14항에 있어서, 상기 메모리회로는 또 제3의 블록(TG)를 가지며, 상기 제3의 블록에 상기 뉴런의 출력값의 기대값을 기억한 정보 처리장치.

**청구항 19**

특허청구의 범위 제18항에 있어서, 상기 정보처리장치는 1칩상에 마련된 정보처리 장치.

**청구항 20**

정보를 기억하는 메모리회로(A,B,TG), 상기 메모리 회로에 정보를 라이트 및 상기 메모리 회로에서 정보를 리드하는 동작의 적어도 한쪽을 실행 하는 입출력회로(I/O), 상기 메모리회로에 기억되어 있는 정보를 사용하여 연산을 실행하는 연산회로(12, 12a, 12b)와 상기 메모리회로, 상기 입출력회로 및 상기 연산회로의 동작을 제어하기 위한 제어회로(CNT, 13, 13A, 13B)를 가지며, 상기 메모리 어레이는 다수의 블록으로 구성되고, 제1의 블록(A)에 뉴런의 출력값을 기억하고, 제2의 블록(B)에 뉴런 사이의 결합 가중 값을 기억하고, 제3의 블록(TG)에 상기 뉴런의 출력값의 기대값을 기억하고, 상기 연산회로는 상기 메모리회로에 기억되어 있는 뉴런의 출력값 및 뉴런 사이의 결합 가중 값을 하여 뉴런 출력값의 갱신 값을 계산하는 기능 및 상기 메모리 회로내에 기억된 뉴런 출력값의 기대값과 얻어진 뉴런 출력값의 거리(일치도)를 계산하는 기능을 가지며, 또는 상기 정보 처리장치는 하나의 칩상에 마련된 정보처리장치.

**청구항 21**

특허청구의 범위 제20항에 있어서, 상기 뉴런 출력값 및 뉴런 사이의 결합 가중 값의 적어도 어느것인가 한쪽을 다수의 비트를 사용하여 상기 메모리회로에 기억한 정보 처리장치.

**청구항 22**

특허청구의 범위 제21항에 있어서, 상기 뉴런 출력값 또는 뉴런 사이의 결합 가중 값을 나타내는 다수의 비트의 일부를 상기 뉴런의 출력 값 및 뉴런 사이의 결합 가중 값의 부호를 나타내기 위해 사용된 정보 처리장치.

**청구항 23**

특허청구의 범위 제22항에 있어서, 상기 메모리회로는 하나의 트랜지스터와 하나의 커패시터로 되는 메모리셀을 포함해서 구성된 정보처리장치.

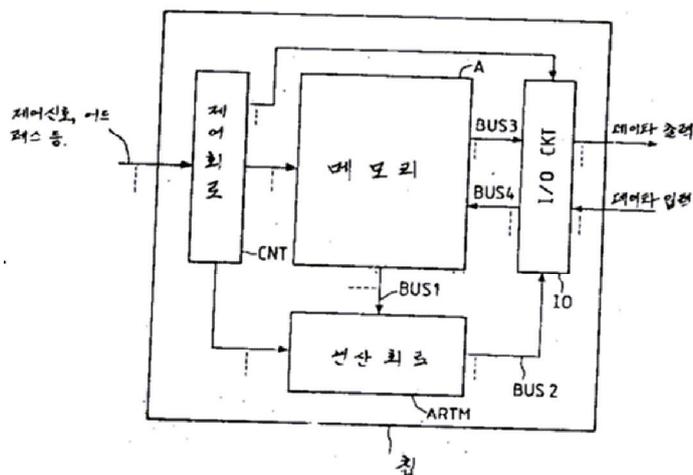
**청구항 24**

특허청구의 범위 제23항에 있어서, 상기 연산회로는 아날로그 회로인 정보처리장치.

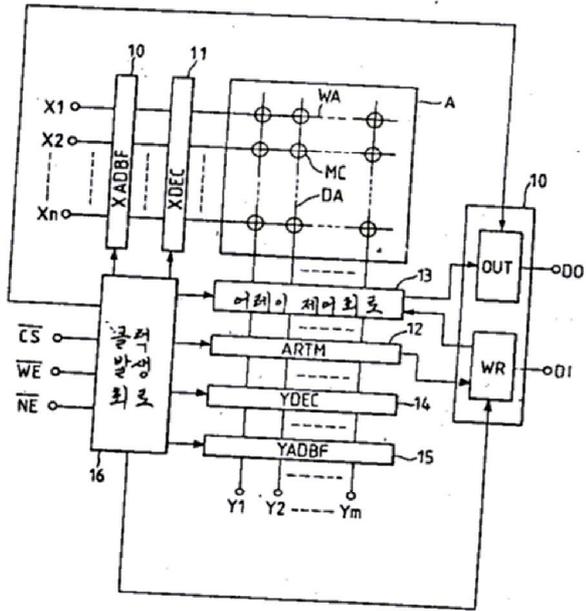
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

도면1



도면7a



도면9a

