



(12) 发明专利

(10) 授权公告号 CN 102055469 B

(45) 授权公告日 2014. 04. 30

(21) 申请号 200910222091. 2

CN 101471656 A, 2009. 07. 01, 全文.

(22) 申请日 2009. 11. 05

审查员 刘佩伟

(73) 专利权人 中兴通讯股份有限公司

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦法务部

(72) 发明人 刘培章

(74) 专利代理机构 深圳市世纪恒程知识产权代理事务所 44287

代理人 胡海国

(51) Int. Cl.

H03L 7/08 (2006. 01)

(56) 对比文件

CN 1983815 A, 2007. 06. 20, 说明书第 5 页第 6-18 行, 第 6 页第 18- 第 7 页第 11 行, 附图 3, 4.

CN 101459426 A, 2009. 06. 17, 全文.

CN 1112753 A, 1995. 11. 29, 全文.

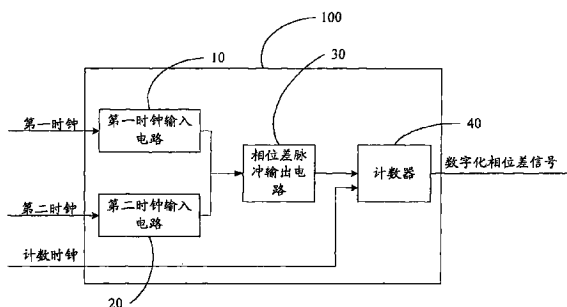
权利要求书1页 说明书4页 附图2页

(54) 发明名称

鉴相器及锁相环电路

(57) 摘要

本发明涉及一种鉴相器,包括第一时钟输入电路,用于接收第一时钟信号,并根据第一时钟信号产生第一比较信号并输出;第二时钟输入电路,用于接收第二时钟信号,并根据第二时钟信号产生第二比较信号并输出;相位差脉冲输出电路,连接于所述第一时钟输入电路和第二时钟输入电路的输出端,用于根据第一比较信号和第二比较信号产生正的相位差脉冲信号并输出。本发明还提供一种使用上述鉴相器的锁相环电路。本发明中的鉴相器和锁相环电路可减轻对微处理器进行编程的工作量和减轻微处理器的负担。



1. 一种鉴相器,其特征在于,包括:

第一时钟输入电路,所述第一时钟输入电路包括第一反相器及第一触发器,所述第一反相器用于接收第一时钟信号,并对第一时钟信号进行反相,所述第一触发器连接于所述第一反相器的输出端,用于接收经过反相后的第一时钟信号,所述第一触发器还用于接收第一数据信号、经过反相后的第一时钟信号和启动鉴相信号,并根据所述第一数据信号、经过反相后的第一时钟信号和启动鉴相信号产生第一比较信号和第二数据信号;

第二时钟输入电路,用于接收第二时钟信号,并根据第二时钟信号产生第二比较信号并输出;

相位差脉冲输出电路,连接于所述第一时钟输入电路和第二时钟输入电路的输出端,用于根据第一比较信号和第二比较信号产生正的相位差脉冲信号并输出;

所述第二时钟输入电路包括第二反相器,所述第二反相器用于接收第二时钟信号,并对第二时钟信号进行反相;

所述第二时钟输入电路还包括第二触发器,所述第二触发器连接于所述第二反相器的输出端,用于接收经过反相后的第二时钟信号;

所述第二触发器连接于所述第一触发器的数据输出端,用于接收第二数据信号,所述第二触发器还用于接收经过反相后的第二时钟信号和启动鉴相信号,并根据所述第二数据信号、经过反相后的第二时钟信号和启动鉴相信号产生第二比较信号。

2. 如权利要求 1 所述的鉴相器,其特征在于,所述鉴相器还包括计数器,所述计数器连接于所述相位差脉冲输出电路的输出端,用于接收计数时钟信号,并根据所述计数时钟信号对所述正的相位差脉冲信号进行计数后输出数字化的相位差信号。

3. 如权利要求 1 所述的鉴相器,其特征在于,所述相位差脉冲输出电路为异或门,当第一比较信号和第二比较信号均为低电平或者高电平时,相位差脉冲输出电路所输出的信号为低电平。

4. 如权利要求 3 所述的鉴相器,其特征在于,当第一比较信号和第二比较信号的其中一个输出为低电平,另一个输出的为高电平时,相位差脉冲输出电路所输出的信号为高电平。

5. 一种锁相环电路,其特征在于,包括如权利要求 1 至 4 任一项所述的鉴相器。

## 鉴相器及锁相环电路

### 技术领域

[0001] 本发明涉及一种鉴相器及锁相环电路,尤其涉及同步通讯系统中实现时钟锁相的单向时钟鉴相器和锁相环电路。

### 背景技术

[0002] 在通信网络中时钟同步是非常重要的部份,在我国的通信网络中设置专门的数字同步网络,该数字同步网络为通信网络的支撑网,用于为通信网络提供同步时钟信号。为了保证通信网络正常工作,通常利用数字同步网络实现通信网络内所有节点的时钟频率和相位保持一致。我国的数字同步网络体系等级为主从同步,较低一级节点从较高一级节点获得频率基准并同步于它节点。锁相环电路就是用于实现时钟同步的基本电路,鉴相器则为锁相环电路的基本电路之一。锁相环电路除了包括鉴相器之外,还要有环路滤波器、压控振荡器等,环路滤波器的作用是对相位差数据进行滤波和处理,用于调节压控振荡器的输出频率。鉴相器可以分为模拟鉴相器和数字鉴相器,模拟鉴相器是指参与鉴相的信号为模拟信号。数字鉴相器是指参与鉴相的信号为数字信号。数字鉴相器通常是对两个参考信号和被测信号的相位进行比较,从而得到二者的相位差。在时钟同步网中,参考信号为上一级节点的时钟参考信号,被测信号为本地使用的时钟信号经分频后得到,鉴相器的则是用于检测参考信号与被测信号的相位差,以便得到被测时钟信号的相位变化规律和频率偏差。因而鉴相器的鉴相结果一般分为两种:当被测信号相位一直滞后于参考信号时,鉴相结果为正向;当被测信号相位一直超前于参考信号时,鉴相结果为负向。然而鉴相器在对时钟信号进行鉴相时,由于被测信号的频率总是缓慢变化,尤其是在松耦合锁相环中,某一时刻被测信号的相位可能超前于参考信号,而某一时刻被测信号则会滞后于参考信号,因而得到的鉴相结果会有正也有负。由于鉴相器的鉴相结果需要输出给环路滤波器处理,而环路滤波器由微处理器实现,既有正又有负的鉴相结果会增加处理器的负担。

### 发明内容

[0003] 本发明的目的在于提供一种鉴相器和锁相环电路,使输出的相位差脉冲信号一直为正,其所输出的正的相位差脉冲信号较适合由微处理器实现的环路滤波器处理,可减轻对微处理器进行编程的工作量和减轻微处理器的负担。

[0004] 本发明提供一种鉴相器,包括第一时钟输入电路,用于接收第一时钟信号,并根据第一时钟信号产生第一比较信号并输出;第二时钟输入电路,用于接收第二时钟信号,并根据第二时钟信号产生第二比较信号并输出;相位差脉冲输出电路,连接于所述第一时钟输入电路和第二时钟输入电路的输出端,用于根据第一比较信号和第二比较信号产生正的相位差脉冲信号并输出。

[0005] 优选的,上述鉴相器还包括计数器,连接于所述相位差脉冲输出电路的输出端,用于接收计数时钟信号,并根据所述计数时钟信号对所述正的相位差脉冲信号进行计数后输出数字化的相位差信号。

[0006] 优选的,上述第一时钟输入电路包括第一反相器用于接收第一时钟信号,并对第一时钟信号进行反相。

[0007] 优选的,上述第一时钟输入电路还包括第一触发器,连接于所述第一反相器的输出端,用于接收经过反相后的第一时钟信号。

[0008] 优选的,上述第一触发器还用于接收第一数据信号、经过反相后的第一时钟信号和启动鉴相信号,并根据所述第一数据信号、经过反相后的第一时钟信号和启动鉴相信号产生第一比较信号和第二数据信号。

[0009] 优选的,上述第二时钟输入电路包括第二反相器用于接收第二时钟信号,并对第二时钟信号进行反相。

[0010] 优选的,上述第二时钟输入电路还包括第二触发器,连接于所述第二反相器的输出端,用于接收经过反相后的第二时钟信号。

[0011] 优选的,上述第二触发器连接于所述第一触发器的数据输出端,用于接收第二数据信号,第二触发器还用于接收经过反相后的第二时钟信号和启动鉴相信号,并根据所述第二数据信号、经过反相后的第二时钟信号和启动鉴相信号产生第二比较信号。

[0012] 优选的,上述相位差脉冲输出电路为异或门,当第一比较信号和第二比较信号均为低电平或者高电平时,相位差脉冲输出电路所输出的信号为低电平。

[0013] 优选的,当第一比较信号和第二比较信号的其中一个输出为低电平,另一个输出的为高电平时,相位差脉冲输出电路所输出的信号为高电平。

[0014] 本发明还提供一种锁相环电路,包括上述鉴相器。

[0015] 本发明中的鉴相器和锁相环电路,不需要确定第一时钟输入电路和第二时钟输入电路的相位超前和滞后的关系,就可以使鉴相器输出的相位差值一直为正,其所输出的正的相位差脉冲信号给由微处理器实现的环路滤波器,比较适合微处理器处理,可减轻对微处理器进行编程的工作量和减轻微处理器的负担。

## 附图说明

[0016] 图 1 所示为本发明一种鉴相器实施例的结构示意图;

[0017] 图 2 所示为图 1 所示的鉴相器的具体结构示意图;

[0018] 图 3 所示为鉴相器鉴相结果的示意图;

[0019] 图 4 所示为本发明一种锁相环电路实施例的结构示意图。

[0020] 本发明目的的实现、功能特点及优点将结合实施例,参照附图做进一步说明。

## 具体实施方式

[0021] 下面结合附图和具体实施例对本发明所述技术方案作进一步的详细描述,以使本领域的技术人员可以更好的理解本发明并能予以实施,但所举实施例不作为对本发明的限定。

[0022] 图 1 所示为本发明一种鉴相器 100 实施例的结构示意图。

[0023] 鉴相器 100 包括第一时钟输入电路 10、第二时钟输入电路 20 和相位差脉冲输出电路 30。第一时钟输入电路 10,用于接收第一时钟信号,并根据第一时钟信号产生第一比较信号并输出。第二时钟输入电路 20,用于接收第二时钟信号,并根据第二时钟信号产生第二

比较信号并输出。相位差脉冲输出电路 30, 连接于所述第一时钟输入电路 10 和第二时钟输入电路 20 的输出端, 用于根据第一比较信号和第二比较信号产生正的相位差脉冲信号并输出。

[0024] 在将本实施例中鉴相器 100 进行应用时, 还可在鉴相器 100 设置计数器 40, 连接于所述相位差脉冲输出电路 30 的输出端, 用于接收计数时钟信号, 并根据所述计数时钟信号对所述正的相位差脉冲信号进行计数后输出数字化的相位差信号。

[0025] 本实施例中, 鉴相器 100 为单向数字鉴相器, 不需要确定第一时钟输入电路 10 和第二时钟输入电路 20 的相位超前和滞后的关系, 就可以使鉴相器 100 输出的相位差脉冲信号一直为正, 其所输出的正的相位差脉冲信号较适合由微处理器实现的环路滤波器处理, 可减轻对微处理器进行编程的工作量和减轻微处理器的负担。

[0026] 图 2 所示为图 1 所示的鉴相器 100 的具体结构示意图。

[0027] 鉴相器 100 包括第一反相器 101、第一触发器 102、第二反相器 201、第二触发器 202、异或门 301 和计数器 40。

[0028] 第一反相器 101 和第一触发器 102 构成图 1 所示的第一时钟输入电路 10。第一反相器 101 用于接收第一时钟信号, 并对第一时钟信号进行反相。第一触发器 102, 连接于所述第一反相器 101 的输出端, 用于接收经过反相后的第一时钟信号。第一触发器 102 还用于接收第一数据信号、上述经过反相后的第一时钟信号和启动鉴相信号, 并根据所述第一数据信号、经过反相后的第一时钟信号和启动鉴相信号产生第一比较信号和第二数据信号。第一数据信号和第二数据信号均为高电平信号, 并且第一数据信号为鉴相器 100 的外部所输入的信号。

[0029] 在本实施例中, 第一时钟为参考时钟, 频率为 8KHZ。第一触发器 102 为 D 触发器。第一时钟经过第一反相器 101 所构成的非门电路后连到第一触发器 102 的时钟输入端, 可以保证第一触发器 102 在第一时钟的下降沿触发, 同时第一触发器 102 的数据输入端输入的信号保持为高电平, 第一触发器 102 通过清除端接收启动鉴相信号, 当启动鉴相信号为低电平时, 第一触发器 102 不工作, 当启动鉴相信号由低电平变为高电平时, 第一触发器 102 开始工作。

[0030] 第二反相器 201 和第二触发器 202 构成图 1 所示的第二时钟输入电路 20。第二反相器 201 用于接收第二时钟信号, 并对第二时钟信号进行反相。第二时钟输入电路 20 还包括第二触发器 202, 连接于所述第二反相器 201 的输出端, 用于接收经过反相后的第二时钟信号。第二触发器 202 连接于所述第一触发器 102 的数据输出端, 用于接收第二数据信号。第二触发器 202 还用于接收经过反相后的第二时钟信号和启动鉴相信号, 并根据所述第二数据信号、经过反相后的第二时钟信号和启动鉴相信号产生第二比较信号。

[0031] 在本实施例中, 第二时钟为被测时钟, 其频率可设置为与第一时钟的频率相同或者接近的频率。第二触发器 202 为 D 触发器。第二时钟经过第二反相器 201 所构成的非门电路后连到第二触发器 202 的时钟输入端, 可以保证第二触发器 202 在第二时钟的下降沿触发, 同时第二触发器 202 的数据输入端输入的信号与第一输入端输入的信号也是保持为高电平, 第二触发器 202 通过清除端接收启动鉴相信号, 当启动鉴相信号为低电平时, 第二触发器 202 不工作, 当启动鉴相信号由低电平变为高电平时, 第二触发器 202 开始工作。

[0032] 相位差脉冲输出电路 30 为异或门 301, 当第一比较信号和第二比较信号均为低电

平或者高电平时,相位差脉冲输出电路 30 所输出的信号为低电平,当第一比较信号和第二比较信号的其中一个输出为低电平,另一个输出的为高电平时,相位差脉冲输出电路 30 所输出的信号为高电平。

[0033] 计数器 40 的数据输入端接异或门 301 的输出端,计数器 40 的时钟输入端接收计数时钟信号。在本实施例中,计数器 40 的位数为 12 位,当第一比较信号和第二比较信号的频率为 8KHZ,计数时钟频率为 16MHZ 时,鉴相所输出的鉴相数据的最大值为  $16\text{MHZ}/8\text{KHZ} = 2048$ ,相应的计数器 40 的最大计数值为  $2^{12} = 2048$ ,因此鉴相器 100 的精度为  $1/2048$ 。本实施例中的鉴相器 100 的精度为  $1/2048$  已经能满足我国时钟同步网的要求。当然,为了提高鉴相器 100 的精度,可以提高计数器 40 的计数时钟频率和计数器 40 的位数。

[0034] 图 3 所示为鉴相器 100 鉴相结果的示意图。

[0035] 在图 3 中,CLK1 为参考时钟,CLK2 为被测时钟,START 为启动鉴相信号,A 为第一触发器 102 的输出端输出的信号,B 为第二触发器 202 的输出端输出的信号,C 为异或门 301 的输出端输出的信号。从图 3 可知,由于 CLK2(被测时钟)的频率与 CLK1(参考时钟)的频率非常接近,第二触发器 202 与第一触发器 102 都是在启动鉴相信号为高电平时启动鉴相,且都是在下降沿触发,而第二触发器 202 的数据输入端为第一触发器 102 的数据输出端,第一触发器 102 所输出的第一比较信号和第二触发器 202 所输出的第二比较信号经过异或门 301,可以保证鉴相器 100 的输出结果总是为正,从而使得计数器 40 采样得到的相位差值也为正。因而,在鉴相命令启动后,鉴相器 100 的鉴相结果为从 CLK1 下降沿(A 波形图的虚线部分)开始到 CLK2 下降沿(B 波形图的虚线部分)之间的正脉冲(C 波形图的虚线部分)。

[0036] 图 4 所示为本发明一种锁相环电路实施例的结构示意图。

[0037] 本实施例中的锁相环电路使用图 1 或者图 2 所示的鉴相器 100 进行鉴相,锁相环电路包括鉴相器 100、环路滤波器 200 和压控振荡器 300,三者共同构成的信号相差自动调节反馈环路。环路滤波器 200 的输入端与鉴相器 100 的输出端连接,压控振荡器 300 的输入端则与环路滤波器 200 的输出端连接。本实施例中的锁相环电路除了鉴相器 100 的电路结构与现有的鉴相器 100 不同之外,环路滤波器 200 以及压控振荡器 300 的电路结构以及功能均与现有的环路滤波器 200 和压控振荡器 300 相同,因此在此不再赘述。

[0038] 本实施例中的锁相环电路由于使用了单向的鉴相器 100,不需要确定第一时钟输入电路 10 和第二时钟输入电路 20 的相位超前和滞后的关系,就可以使鉴相器 100 输出的相位差脉冲信号一直为正,其所输出的正的相位差脉冲信号较适合由微处理器实现的环路滤波器 200 处理,可减轻对微处理器进行编程的工作量和减轻微处理器的负担。

[0039] 以上所述仅为本发明的优选实施例,并非因此限制本发明的专利范围,凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换,或直接或间接运用在其他相关的技术领域,均同理包括在本发明的专利保护范围内。

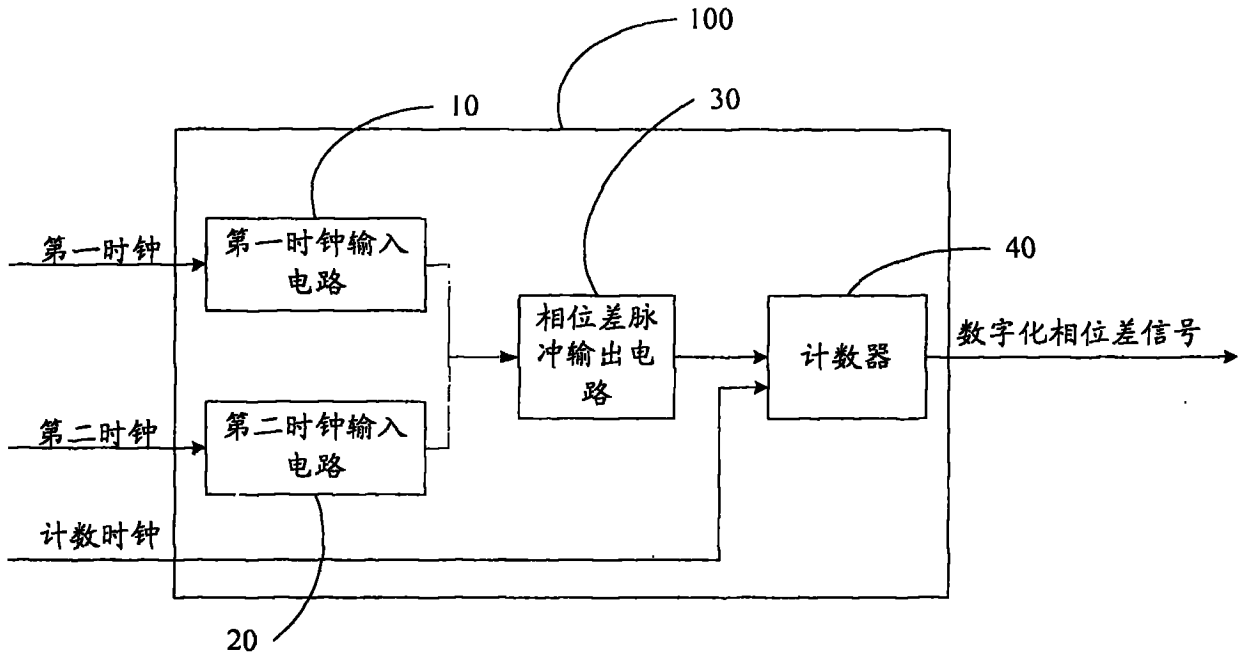


图 1

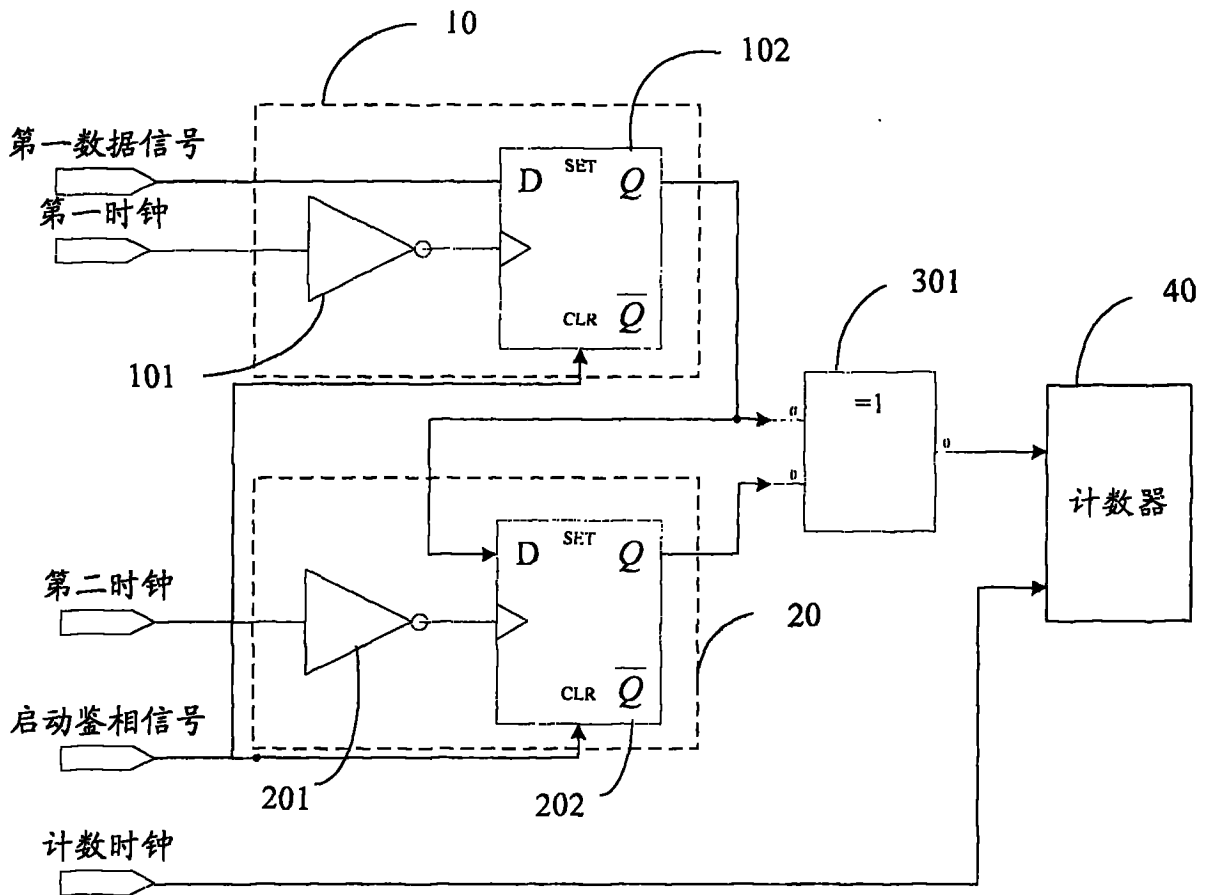


图 2

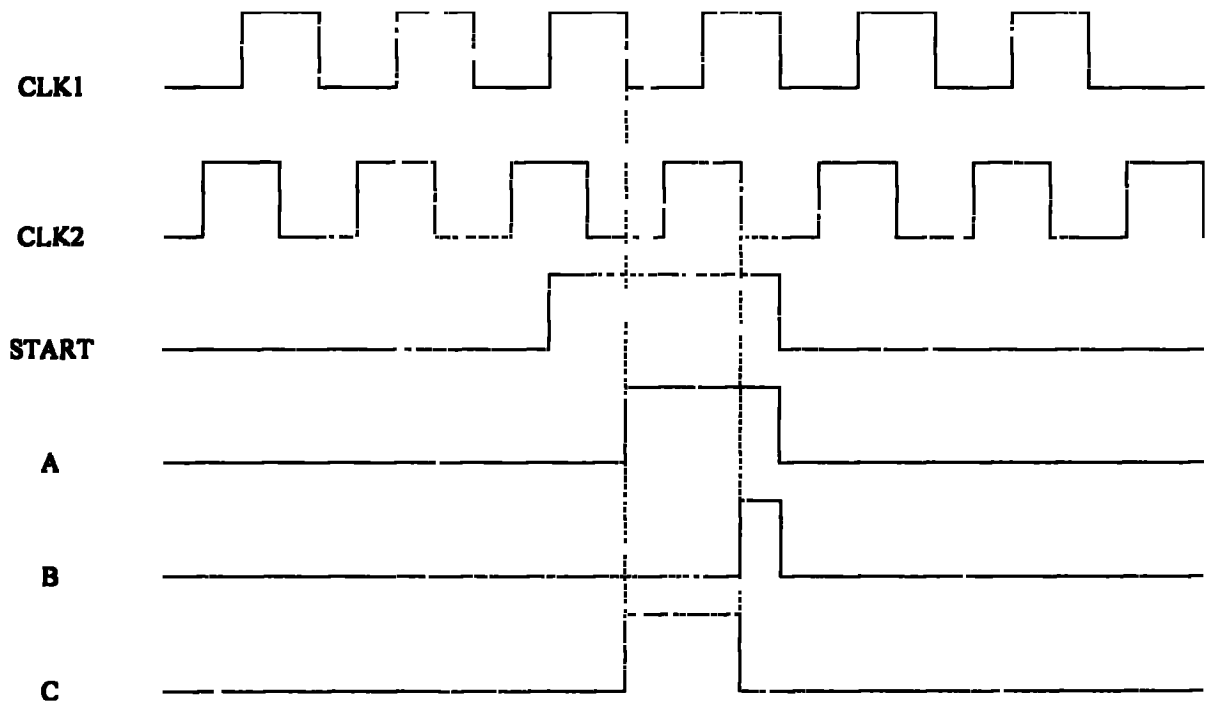


图 3

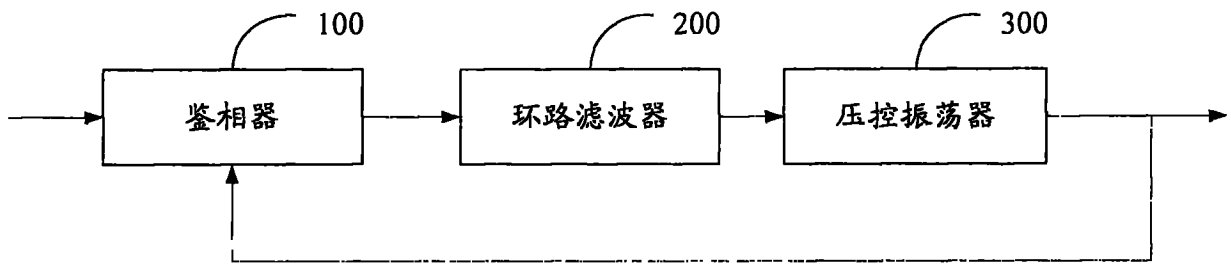


图 4