



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년07월15일
 (11) 등록번호 10-0907889
 (24) 등록일자 2009년07월08일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2007-0122590
 (22) 출원일자 2007년11월29일
 심사청구일자 2007년11월29일
 (65) 공개번호 10-2009-0055774
 (43) 공개일자 2009년06월03일

(56) 선행기술조사문헌

KR1019930008989 A*
 KR1020030037874 A*
 KR1020060002126 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

주식회사 동부하이텍

서울특별시 강남구 대치동 891-10

(72) 발명자

정성경

인천 부평구 삼산동 삼산주공 2단지아파트 219동 303호

(74) 대리인

김용인, 박영복

전체 청구항 수 : 총 2 항

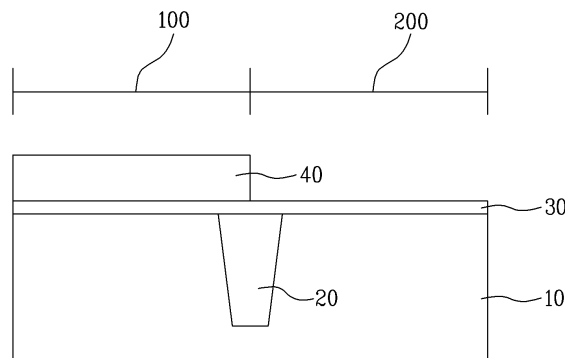
심사관 : 최정윤

(54) 마스크 패턴 형성 방법

(57) 요약

본 발명은 반도체 기술에 있어서, 특히 반도체용 마스크 패턴 형성 방법에 관한 것으로, 저전압 소자영역과 고전압 소자영역으로 정의된 반도체 기판 상에 산화막을 형성하는 단계와; 상기 산화막 상에 포토레지스트를 도포하는 단계와; 상기 포토레지스트의 경화를 위한 1차 베이킹 공정을 진행하는 단계와; 상기 1차 경화된 포토레지스트를 노광 후 현상하여 상기 고전압 소자영역 부위의 포토레지스트를 제거하는 단계와; 상기 제거 후 저전압 소자영역에 남은 포토레지스트의 경화를 위한 2차 베이킹 공정을 진행하되, 상기 2차 베이킹 공정을 질소 및 수소 가스 분위기 하에서 진행하는 단계와; 상기 포토레지스트를 마스크로 사용하여 상기 고전압소자영역 상의 산화막을 제거하여 상기 저전압 소자영역에 제 1 절연막을 형성하는 단계와; 상기 저전압 소자영역에 남은 포토레지스트를 제거하는 단계와; 상기 고전압소자영역 상에 상기 제 1 절연막보다 두꺼운 제 2 절연막을 형성하는 단계로 이루어지는 것이 특징인 발명이다.

대표도 - 도3b



특허청구의 범위

청구항 1

삭제

청구항 2

저전압 소자영역과 고전압 소자영역으로 정의된 반도체 기판 상에 산화막을 형성하는 단계와;

상기 산화막 상에 포토레지스트를 도포하는 단계와;

상기 포토레지스트의 경화를 위한 1차 베이킹 공정을 진행하는 단계와;

상기 1차 경화된 포토레지스트를 노광 후 현상하여 상기 고전압 소자영역 부위의 포토레지스트를 제거하는 단계와;

상기 제거 후 저전압 소자영역에 남은 포토레지스트의 경화를 위한 2차 베이킹 공정을 진행하되, 상기 2차 베이킹 공정을 질소 및 수소 가스 분위기 하에서 진행하는 단계와;

상기 포토레지스트를 마스크로 사용하여 상기 고전압소자영역 상의 산화막을 제거하여 상기 저전압 소자영역에 제 1 절연막을 형성하는 단계와;

상기 저전압 소자영역에 남은 포토레지스트를 제거하는 단계와;

상기 고전압소자영역 상에 상기 제 1 절연막보다 두꺼운 제 2 절연막을 형성하는 단계로 이루어지는 것을 특징으로 하는 마스크 패턴 형성 방법.

청구항 3

제 2 항에 있어서, 상기 2차 베이킹 공정을 상기 포토레지스트의 최대 허용 온도로서 120 내지 170℃ 이하에서 진행하는 것을 특징으로 하는 마스크 패턴 형성 방법.

청구항 4

삭제

청구항 5

삭제

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 기술에 관한 것으로, 특히 반도체용 마스크 패턴 형성 방법에 관한 것이다.

배경기술

<2> 마스크 패턴은 반도체 소자를 제조하기 위한 다양한 공정들에서 사용된다. 예컨대, 식각 공정이나 이온주입 공정 등에서 마스크 패턴을 사용한다.

<3> HVGX와 같은 마스크 패턴이 형성된 후에는 하부막의 일부를 제거하는 디글레이징(deglazing) 과정을 거친다. 그런데 그 디글레이징 과정에서 특정 부위가 움푹 패어서 발생하는 모트(Moat) 현상이 발생한다. 상기 디글레이징 이후에 결함 검사에서 그 모트 현상에 의한 구덩이(pit)가 발견될 수 있다.

<4> 한편, 듀얼 게이트 소자에서 고전압 소자영역(Hv)과 저전압 소자영역(Lv)에 각각 게이트 절연막, 예컨대 게이트 산화막을 형성하기 위해서는 먼저 저전압 소자영역(Lv)에 보다 얇은 게이트 산화막을 먼저 형성하고, 후에 고전압 소자영역(Hv)에 보다 두꺼운 게이트 산화막을 다음에 형성한다. 이와 같은 순차적으로 서로 다른 두께로 게이트 산화막을 형성하기 위해서는 고전압 소자영역(Hv)만 오픈되도록 저전압 소자영역(Lv)에 먼저 마스크 패턴

을 형성하고, 다시 이후에는 저전압 소자영역(Lv)만 오픈되도록 고전압 소자영역(Hv)에 마스크 패턴을 형성한다.

- <5> 상기한 과정을 통해, 최종적으로 고전압 소자영역(Hv)과 저전압 소자영역(Lv)에 각각 요구되는 두께의 게이트 산화막이 형성된다.
- <6> 그런데, 마스크 패턴을 형성하기 위한 공정에서는, 포토레지스트를 도포한 후에 노광(Exposure)과 현상(development)을 거치며, 노광시 빛에 노출된 부위를 제거한 후에는 세정을 위해 탈이온수 린스(Di Rinse) 공정을 진행한다.
- <7> 탈이온수 린스(Di Rinse) 공정은 높은 회전을 하면서 탈이온수(DI)를 기판 위에서 일정 압력으로 뿌려주는 공정이다. 그 탈이온수 린스 공정에서 전하 대전(charging)이 유발되어, 이후 저전압 소자영역을 위한 디글레이징을 진행할 때 사용되는 화학물질과 전하 대전(charging)된 영역이 반응하여 상기 모트 현상에 의한 구덩이(pit)가 생기게 된다.
- <8> 도 1a 내지 1b는 주사전자현미경(SEM: Scanning Electron Microscope)으로 보인 종래의 모트(Moat pit) 현상에 의한 구덩이를 나타낸 도면이다. 그리고 도 2는 종래에 디글레이징 과정 후 결함 형상을 나타낸 도면이다.
- <9> 그래서, 종래에는 탈이온수 린스 공정에서의 전하 대전(charging) 유발을 완화하기 위해 회전수를 조정하거나 린스 공정 시간을 줄이고 있다. 그러나 매 공정 때마다 회전수 및 시간의 편차가 생기기 때문에 완전하지 못하며, 특히 마스크 패턴을 형성하기 위한 공정 후에 잔여물이 남을 위험성이 있었다.

발명의 내용

해결 하고자하는 과제

- <10> 본 발명의 목적은 상기한 점을 감안하여 안출한 것으로써, 마스크 패턴을 형성하기 위한 공정 중에 세정을 위한 탈이온수 린스(Di Rinse) 공정에서 회전수 조정이나 린스 공정 시간의 조정 없이도 전하 대전(charging) 유발을 해소해줄 수 있는 마스크 패턴 형성 방법을 제공하는 데 있다.
- <11> 본 발명의 또다른 목적은 마스크 패턴을 형성하기 위한 공정 중 포토레지스트의 경화를 위한 하드 베이크 공정에서 전하 대전(charging)을 해소하여 마스크 패턴의 신뢰성을 향상해주는 마스크 패턴 형성 방법을 제공하는 데 있다.

과제 해결수단

- <12> 상기한 목적을 달성하기 위한 본 발명에 따른 마스크 패턴 형성 방법은 저전압 소자영역과 고전압 소자영역으로 정의된 반도체 기판 상에 산화막을 형성하는 단계와; 상기 산화막 상에 포토레지스트를 도포하는 단계와; 상기 포토레지스트의 경화를 위한 1차 베이크 공정을 진행하는 단계와; 상기 1차 경화된 포토레지스트를 노광 후 현상하여 상기 고전압 소자영역 부위의 포토레지스트를 제거하는 단계와; 상기 제거 후 저전압 소자영역에 남은 포토레지스트의 경화를 위한 2차 베이크 공정을 진행하되, 상기 2차 베이크 공정을 질소 및 수소 가스 분위기 하에서 진행하는 단계와; 상기 포토레지스트를 마스크로 사용하여 상기 고전압소자영역 상의 산화막을 제거하여 상기 저전압 소자영역에 제 1 절연막을 형성하는 단계와; 상기 저전압 소자영역에 남은 포토레지스트를 제거하는 단계와; 상기 고전압소자영역 상에 상기 제 1 절연막보다 두꺼운 제 2 절연막을 형성하는 단계로 이루어지는 것을 특징으로 한다.
- <13> 삭제
- <14> 상기한 특징들에서, 상기 2차 베이크 공정을 상기 포토레지스트의 최대 허용 온도로서 120 내지 170℃ 이하에서 진행하는 것이 바람직하다.

효과

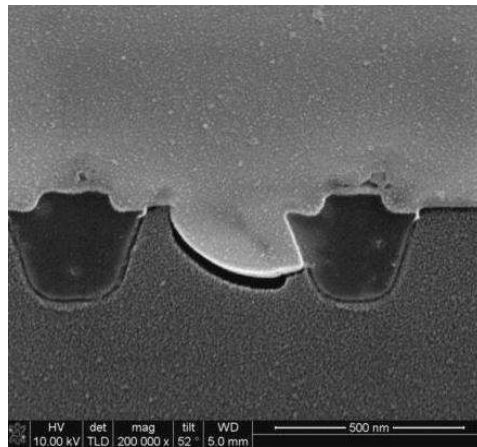
- <15> 본 발명에 따르면, 노광 및 현상 공정 이후에 진행되는 하드 베이크 공정이 질소 및/또는 수소 가스 분위기 상에서 진행되어 표면에 있는 전하를 중화시킨다. 그에 따라, 전하 대전(charging)을 제거해 주므로, 세정을 위한 탈이온수 린스(Di Rinse) 공정에서 회전수 조정이나 린스 공정 시간의 조정이 요구되지 않는다. 따라서, 마스크

패턴을 형성하기 위한 공정 후에 잔여물이 남을 위험성이 해소되고, 결국 반도체 소자의 신뢰성이 향상된다.

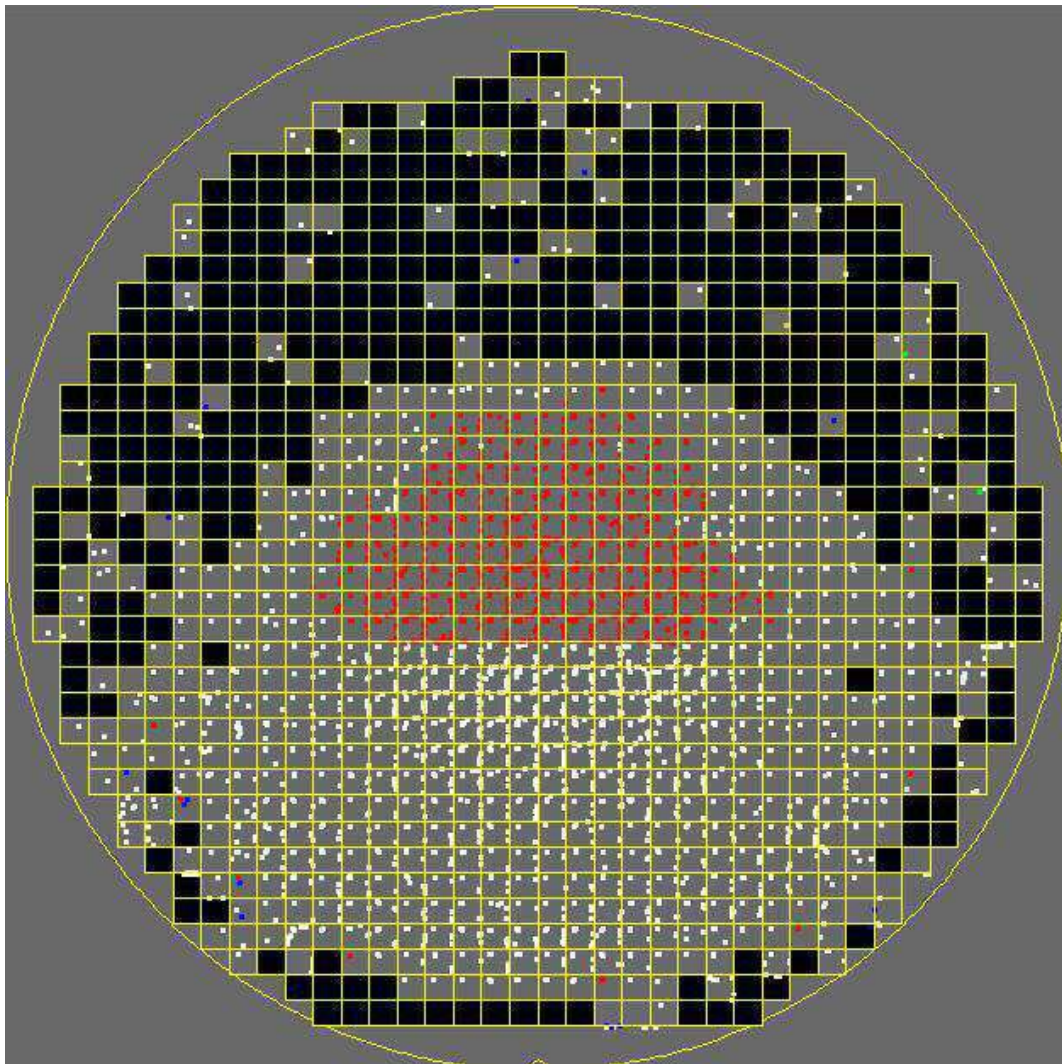
발명의 실시를 위한 구체적인 내용

- <16> 본 발명의 다른 목적, 특징 및 이점들은 첨부된 도면을 참조한 실시 예들의 상세한 설명을 통해 명백해질 것이다.
- <17> 이하, 첨부된 도면을 참조하여 본 발명의 실시 예의 구성과 그 작용을 설명하며, 도면에 도시되고 또 이것에 의해서 설명되는 본 발명의 구성과 작용은 적어도 하나의 실시 예로서 설명되는 것이며, 이것에 의해서 상기한 본 발명의 기술적 사상과 그 핵심 구성 및 작용이 제한되지는 않는다.
- <18> 이하, 첨부된 도면을 참조하여 본 발명에 따른 마스크 패턴 형성 방법의 바람직한 실시 예를 자세히 설명한다.
- <19> 본 발명에서는 최종 마스크 패턴을 형성하기 위해서 먼저 포토레지스트를 대상물 상에 도포한다. 여기서, 대상물은 식각될 물질막이나 이온주입될 웨이퍼 등일 수 있다.
- <20> 그리고 그 도포된 포토레지스트에 대해 1차로 소프트 베이킹(soft bake) 공정을 진행한다. 소프트 베이킹 공정은 도포된 포토레지스트를 어느 정도 경화시키기 위한 공정이다.
- <21> 이어, 소프트 베이킹된 포토레지스트를 노광(exposure)하고, 그 후 현상(development)한다. 그에 따라, 노광시 빛에 노출된 부위를 제거한다. 최초 도포된 포토레지스트 중 원하는 부위만 남게 된다.
- <22> 이어, 남은 포토레지스트에 대해, 2차로 하드 베이킹(hard bake) 공정을 진행한다. 특히 본 발명에서는 상기 하드 베이킹 공정을 질소 및/또는 수소 가스 분위기 하에서 진행한다. 또한 그 하드 베이킹 공정은 포토레지스트가 견딜 수 있는 최대 온도 즉, 포토레지스트의 최대 허용 온도로써 120 내지 170℃ 이하에서 진행된다.
- <23> 상기 하드 베이킹 공정을 질소 및/또는 수소 가스 분위기에서 진행함으로써, 탈이온수 린스(Di Rinse) 공정에서 전하 대전(charging)이 유발되었다 하더라도 사용된 가수에 의해 표면의 전하를 중화시킨다.
- <24> 다음은 상기한 본 발명에 따른 방법을 듀얼 게이트 소자를 형성하는 공정에 적용하는 예를 이하 설명한다.
- <25> 도 3a 내지 3c는 본 발명의 일 실시 예에 따른 마스크 패턴 형성 방법을 설명하기 위한 단면도로서, 듀얼 게이트 소자를 제조하기 위한 공정 중에 마스크 패턴을 형성하는 과정을 설명하기 위한 단면도이다.
- <26> 도 3a 내지 도 3c를 참조하면, 듀얼 게이트 소자를 제조하기 위해 저전압 소자영역(Lv)(100)과 고전압 소자영역(Hv)(200)이 정의된다.
- <27> 그리고, 도 3a에 도시된 바와 같이, 반도체 기판(10)에 소자 분리막(20)을 형성한다. 그리하여 상기 정의된 저전압 소자영역(Lv)(100)과 고전압 소자영역(Hv)(200)을 나눈다.
- <28> 이어, 저전압 소자영역(100)과 고전압 소자영역(200)으로 정의된 반도체 기판(10) 전면 상에 게이트 절연막(30)을 형성한다. 예컨대, 반도체 기판(10) 상에 게이트 산화막을 형성한다.
- <29> 그리고 그 게이트 절연막 상에 마스크 패턴 형성을 위한 포토레지스트를 도포한다.
- <30> 이어, 상기 도포된 포토레지스트를 경화하기 위해 1차 베이킹 공정을 진행한다.
- <31> 듀얼 게이트 소자에서는 저전압 소자영역(Lv)(100)에 보다 얇은 게이트 절연막 형성하고, 후에 고전압 소자영역(Hv)(200)에 보다 두꺼운 게이트 절연막을 형성하는 것이 바람직하다.
- <32> 그에 따라, 고전압 소자영역(200)을 먼저 오픈하여 저전압 소자영역에 보다 얇은 게이트 절연막을 형성시키고, 다음에 저전압 소자영역(100)을 오픈하여 고전압 소자영역에 보다 두꺼운 게이트 절연막을 형성시킨다. 이러한 이유로 인해, 1차 베이킹 공정을 거친 포토레지스트를 노광(exposure)하고, 그 후 현상(development)하여, 노광시 빛에 노출된 고전압 소자영역(200)의 포토레지스트 부분을 제거한다. 결국, 저전압 소자영역(100)에 도포된 포토레지스트(40)만 남는다.
- <33> 이어, 상기 제거 후 남은 저전압 소자영역(100)의 포토레지스트(40)를 경화하기 위해 2차 베이킹 공정을 진행한다. 상기 2차 베이킹 공정은 질소 및 수소 가스 분위기 하에서 진행한다. 그리고 2차 베이킹 공정은, 전술한 바와 같이, 포토레지스트(40)의 최대 허용 온도로써 120 내지 170℃ 이하에서 진행한다.
- <34> 상기에서 2차 베이킹 공정을 거쳐 최종 마스크 패턴이 완성된다. 이때, 완성된 마스크 패턴은 고전압 소자영역(200)의 게이트 절연막을 제거하기 위한 공정에서 마스크로서 사용된다. 즉, 저전압 소자영역(100)에 남은 포토

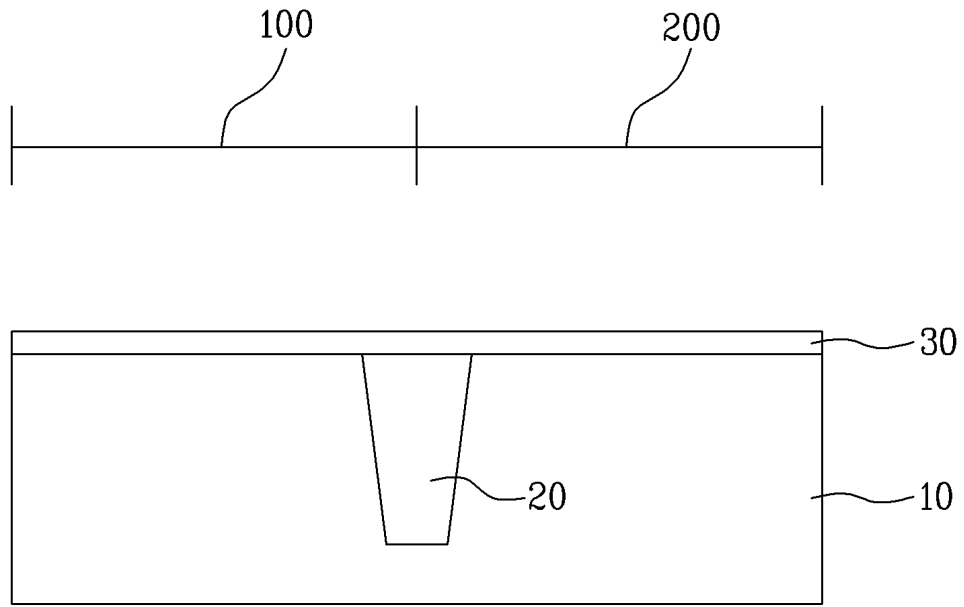
도면1b



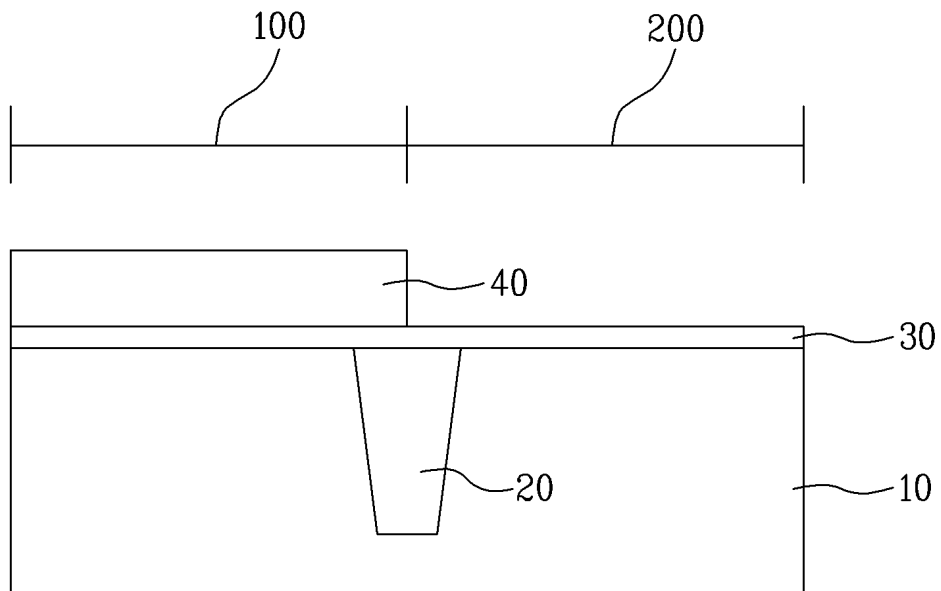
도면2



도면3a



도면3b



도면3c

