



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월01일
(11) 등록번호 10-0900125
(24) 등록일자 2009년05월22일

(51) Int. Cl.

H01L 29/78 (2006.01) H01L 21/336 (2006.01)

(21) 출원번호 10-2007-0090929
(22) 출원일자 2007년09월07일
심사청구일자 2007년09월07일
(65) 공개번호 10-2009-0025807
(43) 공개일자 2009년03월11일

(56) 선행기술조사문헌
KR1020050066729 A
US5177027 A
KR1020060070357 A

전체 청구항 수 : 총 9 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

전배근

경기도 이천시 백사면 모전리 현대아파트 104동 1206호

(74) 대리인

특허법인태평양

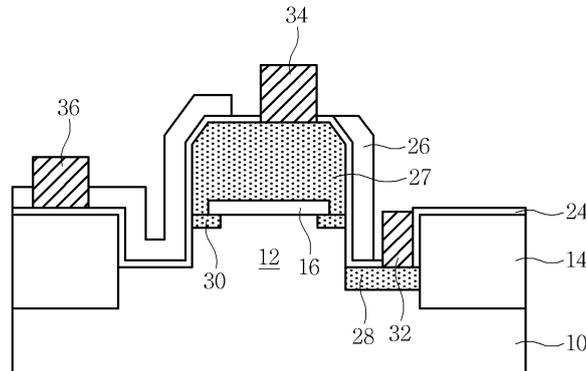
심사관 : 박준영

(54) 수직형 트랜지스터 형성 방법

(57) 요약

본 발명에 따른 수직형 트랜지스터는 소스와 드레인 접합영역 사이에 열산화층을 확산 방지막으로 이용하여 포켓 (pocket) 도핑 영역을 형성하기 때문에 소스와 드레인 접합영역 사이의 단 채널 효과와 채널 누설 전류를 감소시킬 수 있다.

대표도 - 도1f



특허청구의 범위

청구항 1

반도체 기판에 활성영역을 정의하는 소자분리막을 형성하는 단계;

전면 상부에 열산화막을 형성하는 단계;

상기 열산화막 상부에 도핑되지 않은(undoped) 제 1 폴리 실리콘층을 증착하는 단계;

게이트 마스크를 이용하여 상기 제 1 폴리 실리콘층 및 열산화막을 식각하여 수직형 게이트 패턴을 형성하는 단계;

도핑되지 않은 제 2 폴리 실리콘층을 이용하여 상기 수직형 게이트 패턴 측벽에 스페이서를 형성하는 단계;

도핑된 제 3 폴리 실리콘층을 이용하여 상기 스페이서를 포함하는 상기 수직형 게이트 패턴 측벽에 게이트 전극을 형성하는 단계;

이온 주입 공정을 통해 상기 제 1 폴리 실리콘층 및 상기 스페이서를 도핑하여 드레인 영역을 형성하고, 상기 활성영역을 도핑하여 소스 영역을 형성하는 단계; 및

열공정을 통해 상기 제 1 폴리 실리콘층 및 상기 스페이서에 주입된 이온을 상기 반도체 기판에 확산시켜 포켓 접합 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 폴리 실리콘층 상부에 저온 산화막(Low Temperature Oxide; LTO)을 증착하는 단계를 더 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 3

제 1 항에 있어서, 상기 수직형 게이트 패턴을 형성하는 단계는

상기 제 1 폴리 실리콘층 상부에 감광막을 도포하는 단계;

상기 게이트 마스크를 이용하여 상기 감광막에 대해 노광 및 현상 공정을 수행하여 감광막 패턴을 형성하는 단계; 및

상기 감광막 패턴을 식각 마스크로 이용하여 상기 제 1 폴리 실리콘층 및 상기 열산화막을 식각하는 단계를 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 4

제 1 항에 있어서, 상기 스페이서를 형성하는 단계는

전면 상부에 도핑되지 않은 상기 제 2 폴리 실리콘을 증착하는 단계; 및

상기 제 2 폴리 실리콘에 대해 전면 식각하는 단계를 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 5

제 1 항에 있어서,

상기 스페이서를 형성하는 단계에서 노출된 상기 활성영역의 일부분이 식각되는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 6

제 1 항에 있어서,

전면 상부에 게이트 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 7

제 1 항에 있어서,

상기 게이트 전극에 접속된 게이트 콘택 플러그, 상기 드레인 영역에 접속된 드레인 콘택 플러그 및 상기 소스 영역에 접속된 소스 콘택 플러그를 형성하는 단계를 더 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 8

제 7 항에 있어서,

콘택 마스크를 이용하여 상기 드레인 콘택 플러그 및 상기 소스 콘택 플러그가 형성되는 영역의 상기 게이트 산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

청구항 9

제 1 항에 있어서,

상기 포켓 접합영역을 형성하는 단계에서 상기 열산화막이 확산 방지막 역할을 하는 것을 특징으로 하는 수직형 트랜지스터 형성 방법.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 반도체 소자 형성 방법에 관한 것으로, 더욱 상세하게는 수직형 채널을 갖는 수직형 트랜지스터 형성 방법에 관한 것이다.

배경 기술

- <2> 반도체 소자의 집적도가 증가하여 반도체 소자를 구성하는 전자 소자들이 점유하는 평면적 넓이가 축소(shrink)하고 있다.
- <3> 특히, 평판형 트랜지스터(planar transistor)의 경우, 반도체 소자의 집적도를 증가시키기 위해 트랜지스터의 채널 폭을 줄이는 방법을 사용하는데, 채널 폭은 드레인 전류에 비례하기 때문에, 채널 폭을 축소하면 트랜지스터의 전류 전송 능력이 감소한다.
- <4> 따라서, 평판형 트랜지스터는 트랜지스터의 특성 개선 및 집적도의 증가를 모두 만족시킬 수 없는 구조이다.
- <5> 이를 해결하기 위해 수직형 트랜지스터(vertical transistor)가 제안되었다. 이러한 수직형 트랜지스터는 폴리 실리콘 원기둥(poly silicon pillar)의 측면에 수직형 게이트(vertical gate)를 형성하고, 원기둥 하부에 소스를 형성하고, 원기둥의 상부에 드레인을 형성하여 구성된다.
- <6> 수직형 트랜지스터의 채널 길이는 현재의 노광 장비(lithographic equipment) 및 노광 방법으로 형성할 수 있는 한계에 제한을 받지 않고 원기둥의 높이를 조절하여 채널 길이를 조절할 수 있기 때문에 수직형 트랜지스터는 평판형 트랜지스터보다 더 짧은 채널 길이를 가지며, 원기둥의 측면에 수직형 게이트를 형성하여 평판형 트랜지스터보다 더 큰 채널 폭을 가지기 때문에 더 빠른 스위칭 능력뿐만 아니라 더 큰 전력 구동 능력을 구비한다.
- <7> 그러나, 이러한 수직형 트랜지스터는 짧은 채널 길이에 의해 소스와 드레인 사이의 간격이 작아 단 채널 효과(short channel effect)가 발생하고, 채널 누설 전류가 발생하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<8> 본 발명은 소스와 드레인 전극 사이에 열산화층을 이용하여 포켓(pocket) 도핑 영역을 형성하기 때문에 소스와 드레인 전극 사이의 단 채널 효과와 채널 누설 전류를 감소시킬 수 있는 수직형 트랜지스터 형성 방법을 제공하

는 것을 목적으로 한다.

과제 해결수단

- <9> 본 발명에 따른 수직형 트랜지스터 형성 방법은
- <10> 반도체 기판에 활성영역을 정의하는 소자분리막을 형성하는 단계;
- <11> 전면 상부에 열산화막을 형성하는 단계;
- <12> 상기 열산화막 상부에 도핑되지 않은(undoped) 제 1 폴리 실리콘층을 증착하는 단계;
- <13> 게이트 마스크를 이용하여 상기 제 1 폴리 실리콘층 및 열산화막을 식각하여 수직형 게이트 패턴을 형성하는 단계;
- <14> 도핑되지 않은 제 2 폴리 실리콘층을 이용하여 상기 수직형 게이트 패턴 측벽에 스페이서를 형성하는 단계;
- <15> 도핑된 제 3 폴리 실리콘층을 이용하여 상기 스페이서를 포함하는 상기 수직형 게이트 패턴 측벽에 게이트 전극을 형성하는 단계;
- <16> 이온 주입 공정을 통해 상기 제 1 폴리 실리콘층 및 상기 스페이서를 도핑하여 드레인 영역을 형성하고, 상기 활성영역을 도핑하여 소스 영역을 형성하는 단계; 및
- <17> 열공정을 통해 상기 제 1 폴리 실리콘층 및 상기 스페이서에 주입된 이온을 상기 반도체 기판에 확산시켜 포켓 접합 영역을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <18> 또한, 상기 제 1 폴리 실리콘층 상부에 저온 산화막(Low Temperature Oxide; LTO)을 증착하는 단계를 더 포함하고,
- <19> 상기 수직형 게이트 패턴을 형성하는 단계는
- <20> 상기 제 1 폴리 실리콘층 상부에 감광막을 도포하는 단계;
- <21> 상기 게이트 마스크를 이용하여 상기 감광막에 대해 노광 및 현상 공정을 수행하여 감광막 패턴을 형성하는 단계; 및
- <22> 상기 감광막 패턴을 식각 마스크로 이용하여 상기 제 1 폴리 실리콘층 및 상기 열산화막을 식각하는 단계를 포함하고,
- <23> 상기 스페이서를 형성하는 단계는
- <24> 전면 상부에 도핑되지 않은 상기 제 2 폴리 실리콘을 증착하는 단계; 및
- <25> 상기 제 2 폴리 실리콘에 대해 전면 식각하는 단계를 포함하고,
- <26> 상기 스페이서를 형성하는 단계에서 노출된 상기 활성영역의 일부분이 식각되고,
- <27> 전면 상부에 게이트 산화막을 형성하는 단계를 더 포함하고,
- <28> 상기 게이트 전극에 접속된 게이트 콘택 플러그, 상기 드레인 영역에 접속된 드레인 콘택 플러그 및 상기 소스 영역에 접속된 소스 콘택 플러그를 형성하는 단계를 더 포함하고,
- <29> 콘택 마스크를 이용하여 상기 드레인 콘택 플러그 및 상기 소스 콘택 플러그가 형성되는 영역의 상기 게이트 산화막을 제거하는 단계를 더 포함하고,
- <30> 상기 포켓 접합영역을 형성하는 단계에서 상기 열산화막이 확산 방지막 역할을 하는 것을 특징으로 한다.

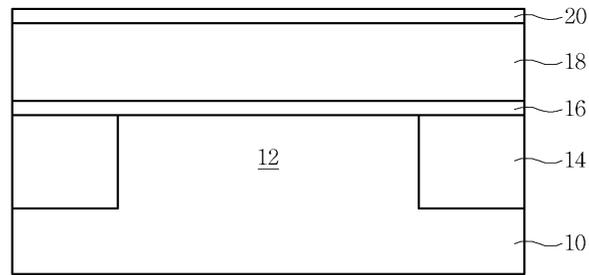
효 과

- <31> 상기한 바와 같이, 본 발명에 따른 수직형 트랜지스터는 소스와 드레인 전극 사이에 열산화층을 이용하여 포켓 (pocket) 도핑 영역을 형성하기 때문에 소스와 드레인 전극 사이의 단 채널 효과와 채널 누설 전류를 감소시킬 수 있다.

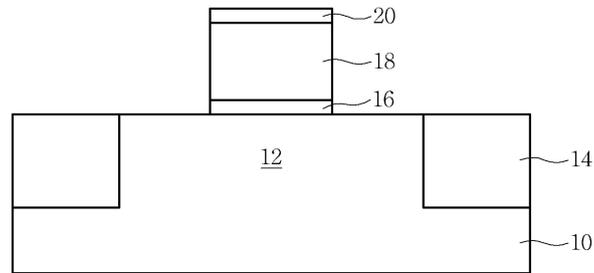
발명의 실시를 위한 구체적인 내용

도면

도면1a



도면1b



도면1c

