

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6796681号
(P6796681)

(45) 発行日 令和2年12月9日(2020.12.9)

(24) 登録日 令和2年11月18日(2020.11.18)

(51) Int.Cl. F I
G 1 1 C 5/14 (2006.01) G 1 1 C 5/14 3 7 0
G 1 1 C 16/30 (2006.01) G 1 1 C 16/30

請求項の数 10 (全 10 頁)

| | |
|--|---|
| <p>(21) 出願番号 特願2019-90622 (P2019-90622) (22) 出願日 令和1年5月13日(2019.5.13) (65) 公開番号 特開2020-187809 (P2020-187809A) (43) 公開日 令和2年11月19日(2020.11.19) 審査請求日 令和1年5月13日(2019.5.13)</p> | <p>(73) 特許権者 511062254 ウィンボンド エレクトロニクス コーポ レーション 台湾台中市 4 2 8 大雅區科雅一路8號 (74) 代理人 100098497 弁理士 片寄 恭三 (72) 発明者 須藤 直昭 神奈川県横浜市港北区新横浜 2 丁目 3 - 1 2 新横浜スクエアビル ウィンボンド・ エレクトロニクス株式会社内 審査官 後藤 彰</p> |
|--|---|

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

供給電圧と、

データを保持可能な第 1 の回路とチェック用データを保持可能な第 2 の回路とを含む揮発性回路と、

前記供給電圧と前記揮発性回路との間に接続され、前記供給電圧からの電圧の供給を制御する電圧供給制御回路と、

前記電圧供給制御回路により電圧の供給が遮断された場合に、前記第 2 の回路に保持されたチェック用データの正誤を判定する判定回路とを有し、

前記電圧供給制御回路は、前記判定回路の判定結果に応答して前記供給電圧の供給を制御し、

前記第 2 の回路の動作電圧に関するマージンは、第 1 の回路よりも悪い、半導体装置。

【請求項 2】

前記供給電圧からの電圧の供給が遮断されたとき、第 2 の回路は、第 1 の回路よりも先にデータが破壊される、請求項 1 に記載の半導体装置。

【請求項 3】

前記供給電圧からの電圧が供給されるノードは、前記供給電圧からの電圧の供給が遮断されたときにフローティングになり、当該ノードの電位が徐々に低下し、第 2 の回路で保持されたデータが第 1 の回路よりも先に破壊される、請求項 1 または 2 に記載の半導体装置。

10

20

【請求項 4】

前記電圧供給制御回路は、パワーダウンモードを表す信号に応答して前記供給電圧からの電圧の供給を遮断し、前記判定回路によりチェック用データの誤りが検出されたことに応答して前記供給電圧からの電圧の供給を再開する、請求項 1 に記載の半導体装置。

【請求項 5】

半導体装置はさらに、チェック用データの誤りが検出されたとき、前記第 2 の回路に正しいチェック用データを書込むための書込み回路を含む、請求項 1 ないし 4 いずれか 1 つに記載の半導体装置。

【請求項 6】

前記判定回路は、チェック用データの誤りが検出されたことに応答して一定のパルス幅を有するパルス信号を生成する回路を含み、

前記一定のパルス幅で定められた期間中、前記電圧供給制御回路は、前記揮発性回路を充電し、かつ前記書込み回路は、正しいチェック用データを第 2 の回路に書込む、請求項 5 に記載の半導体装置。

【請求項 7】

前記判定回路は、第 2 の回路から出力されるチェック用データと期待値とを比較することによりチェック用データの有無を判定する、請求項 1 に記載の半導体装置。

【請求項 8】

前記書込み回路は、前記期待値を前記判定回路に書込む、請求項 7 に記載の半導体装置。

【請求項 9】

第 1 の回路および第 2 の回路は、複数のレジスタを含み、第 1 の回路は、パワーアップ動作時に不揮発性メモリからロードされた動作情報を保持する、請求項 1 に記載の半導体装置。

【請求項 10】

前記電圧供給制御回路は、前記供給電圧と前記揮発性回路との間に接続されたカットオフ用トランジスタと、パワーダウンモードを表す信号および前記判定回路の判定結果を表す信号に基づき前記カットオフ用トランジスタを制御する制御ゲートとを含む、請求項 1 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラッシュメモリ等の半導体装置に関し、特に、パワーダウンモードの動作に関する。

【背景技術】

【0002】

NAND型フラッシュメモリは、読出し、プログラム、消去等のための電圧の設定やユーザーのオプションなどの設定情報を格納するためフューズセルを使用している。フューズセルに格納された設定情報は、電源が投入されたパワーアップ動作時に読み出され、内部のレジスタにロードされる(特許文献1)。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特許第6494139号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

フラッシュメモリでは、ユーザーからのコマンドに応答して読出し、プログラム、消去等を行うアクティブ状態と、ユーザーからのコマンドを受け付け可能なスタンバイ状態とがある。スタンバイ状態では、消費電力が一定以下となるように内部回路の動作が制限されるが、ユーザーからコマンドが入力された場合には、それに即座に応答しなければなら

10

20

30

40

50

ない。このため、スタンバイ状態と言えども、レジスタ等の揮発性回路にはオフリーク電流が発生し、また電源電圧の降下に対応できるようにするためパワーダウン検出回路を動作させなければならず、ある程度の電力が消費されてしまう。

【 0 0 0 5 】

スタンバイ状態での消費電力をさらに削減するため、フラッシュメモリによってはディープパワーダウンモード（以下、D P Dモードという）が搭載されているものがある。D P Dモードでは、一部の内部回路への供給電源をカットオフし、オフリーク電流を削減する。D P Dモードは、例えば、D P D開始コマンドにより当該モードに突入し、D P D解除コマンドにより当該モードから復帰する。D P Dモードは、カットオフした回路を正常に動作させるために一定の時間を要するが、その代わりに、消費電力を大幅に低減できる

10

【 0 0 0 6 】

図1に、従来のD P Dモードにより供給電圧をカットオフされた内部回路の一例を示す。内部回路10は、供給電圧V C Cに接続されたP M O SトランジスタPと、P M O Sトランジスタに供給電圧ノードV C C R E Gを介して接続された複数のレジスタとを含んで構成される。P M O SトランジスタP1のゲートには、D P D E N信号が印加され、D P D E N信号は、通常動作時にLレベル、D P Dモード時にHレベルに遷移する。また、複数のレジスタは、フラッシュメモリの動作に関する情報やフューズセルから読み出された設定情報などを保持する。

【 0 0 0 7 】

20

図2は、D P Dモードが実行されるとき各部の動作波形である。時刻t1で、D P D E N信号がLレベルであり、トランジスタP1がオンし、供給電圧ノードV C C R E Gが供給電圧V C Cであり、各レジスタはデータを有効に保持する。時刻t2で、D P D開始コマンドが入力されると、D P D E N信号がHレベルに遷移され、P M O Sトランジスタがオフし、供給電圧V C Cがカットされる。これにより、供給電圧ノードV C C R E Gがフローティング状態になり、以後、レジスタのオフリーク電流により供給電圧ノードV C C R E Gの電位が徐々に降下する。時刻t3で、レジスタがデータを保持できなくなる電位まで降下すると、レジスタに保持されたデータは無効であり、レジスタの出力R E G O U Tのデータも無効になる。

【 0 0 0 8 】

30

このように、D P Dモードにおいて内部回路10への供給電圧がカットされると、D P Dモードからの復帰前に全てのレジスタのデータが失われてしまう。特に、N A N Dフラッシュメモリは、内部動作を制御するために多数のレジスタを含んでいる。レジスタのデータが消失すると、D P Dモードから復帰したときに、フューズセルから設定情報等をレジスタにリロードしなければならず、そのために多くの時間を要してしまう。

【 0 0 0 9 】

本発明は、このような従来の課題を解決するものであり、供給電圧が遮断された揮発性回路の消費電力を削減しつつ揮発性回路のデータを保持する半導体装置を提供することを目的とする。

【課題を解決するための手段】

40

【 0 0 1 0 】

本発明に係る半導体装置は、供給電圧と、データを保持可能な第1の回路とチェック用データを保持可能な第2の回路とを含む揮発性回路と、前記供給電圧と前記揮発性回路との間に接続され、前記供給電圧からの電圧の供給を制御する電圧供給制御回路と、前記電圧供給制御回路により電圧の供給が遮断された場合に、前記第2の回路に保持されたチェック用データの正誤を判定する判定回路とを有し、前記電圧供給制御回路は、前記判定回路の判定結果に回答して前記供給電圧の供給を制御し、前記第2の回路の動作電圧に関するマージンは、第1の回路よりも悪い。

【 0 0 1 1 】

ある実施態様では、前記供給電圧からの電圧の供給が遮断されたとき、第2の回路は、

50

第1の回路よりも先にデータが破壊される。ある実施態様では、前記供給電圧からの電圧が供給されるノードは、前記供給電圧からの電圧の供給が遮断されたときにフローティングになり、当該ノードの電位が徐々に低下し、第2の回路で保持されたデータが第1の回路よりも先に破壊される。ある実施態様では、前記電圧供給制御回路は、パワーダウンモードを表す信号に応答して前記供給電圧からの電圧の供給を遮断し、前記判定回路によりチェック用データの誤りが検出されたことに応答して前記供給電圧からの電圧の供給を再開する。ある実施態様では、半導体装置はさらに、チェック用データの誤りが検出されたとき、前記第2の回路に正しいチェック用データを書込むための書込み回路を含む。ある実施態様では、前記判定回路は、チェック用データの誤りが検出されたことに応答して一定のパルス幅を有するパルス信号を生成する回路を含み、前記一定のパルス幅で定めされた期間中、前記電圧供給制御回路は、前記揮発性回路を充電し、かつ前記書込み回路は、正しいチェック用データを第2の回路に書込む。ある実施態様では、前記判定回路は、第2の回路から出力されるチェック用データと期待値とを比較することによりチェック用データの有無を判定する。ある実施態様では、前記書込み回路は、前記期待値を判定回路に書込む。ある実施態様では、第1の回路および第2の回路は、複数のレジスタを含み、第1の回路は、パワーアップ動作時に不揮発性メモリからロードされた動作情報を保持する。ある実施態様では、前記電圧供給制御回路は、前記供給電圧と前記揮発性回路との間に接続されたカットオフ用トランジスタと、パワーダウンモードを表す信号および前記判定回路の判定結果を表す信号に基づき前記カットオフ用トランジスタを制御する制御ゲートとを含む。

10

20

【発明の効果】

【0012】

本発明によれば、第1の回路よりも動作電圧のマージンが悪い第2の回路のチェック用データの正誤を判定することで、第1の回路のデータを保持しつつ消費電力を削減することができる。

【図面の簡単な説明】

【0013】

【図1】従来のDPDモードにより電源供給をカットされた内部回路の一例を示す図である。

30

【図2】DPDモードが実行されるとき内部回路の動作波形を示す図である。

【図3】本発明の実施例に係る半導体装置の概略構成を示す図である。

【図4】本発明の実施例によるDPDモードにより供給電圧が遮断される内部回路の一例を示す図である。

【図5】本実施例によるDPDモードが実行されるとき内部回路の動作波形を示す図である。

【図6】本発明の実施例に係るDPDモードが搭載されたフラッシュメモリの一例を示す図である。

【発明を実施するための形態】

【0014】

次に、本発明の実施の形態について図面を参照して詳細に説明する。本発明の半導体装置は、特に限定をされないが、例えば、NAND型やNOR型のフラッシュメモリ、DRAM、SRAM、ロジック、ASIC、DSP等において実施される。

40

【実施例】

【0015】

次に、本発明の実施例について説明する。図3は、本実施例に係る半導体装置50の概略構成を示す図である。半導体装置50は、例えば、内部回路10、20、書込み回路30、制御回路40を含んで構成される。制御回路40は、例えば外部からのコマンドまたは制御信号を受け取り、受け取ったコマンドまたは制御信号に基づき内部回路10、20や書込み回路30の動作を制御することが可能である。本実施例の半導体装置50は、ス

50

スタンバイ状態の消費電力をより低減するためのモードとして、D P Dモードを搭載する。D P Dモードは、外部からのコマンドまたは制御信号に応答して突入させ、外部からのコマンドまたは制御信号に応答して解除させることができる。

【 0 0 1 6 】

制御回路40は、D P Dモードへ突入するためのコマンドまたは制御信号を受け取ると、選択された内部回路10に対してD P D E N信号を介して内部回路10への供給電圧V C Cをカットオフさせ、D P Dモードを解除するためのコマンドまたは制御信号を受け取ると、D P D E N信号を介して内部回路10への供給電圧V C Cを供給させる。内部回路10は、回路動作が停止した状態であっても、供給電圧V C Cが供給されるとオフリーク電流を生じさせるような回路であり、かつデータを保持する機能を備えた回路である。例えば、揮発性のレジスタを含む回路である。書込み回路30は、制御回路40からの制御信号W E Nに
10 応答して内部回路10に含まれる複数のレジスタの一部にチェックビットC H K B I Tを書込む。なお、図3は、D P Dモードにより1つの内部回路10の供給電圧V C Cが遮断される例を示しているが、これは一例であり、複数の内部回路への供給電圧V C Cを遮断するようにしてもよい。D P Dモードにより供給電圧を遮断される内部回路は、スタンバイ状態において許容される消費電力に基づき適宜選択される。

【 0 0 1 7 】

図4は、本実施例のD P Dモードにより供給電圧が遮断される内部回路10の一例を示す図である。同図に示すように、内部回路10は、供給電圧V C Cに接続されたP M O SトランジスタPと、P M O SトランジスタPのゲートに接続されたA N Dゲート12と、
20 P M O SトランジスタP1に電圧供給ノードV C C R E Gを介して接続された複数のレジスタ14と、複数のレジスタ14で保持されるチェック用ビットの正誤を判定する判定回路16とを含んで構成される。

【 0 0 1 8 】

A N Dゲート12の一方の入力には、制御回路40からのD P D E N信号が供給され、他方の入力には、判定回路16の判定結果J Dが供給される。A N Dゲート12は、D P Dモード時において、一部のレジスタに保持されるチェックビットがエラーと判定されたとき、P M O Sトランジスタをオンさせるように動作する。

【 0 0 1 9 】

内部回路10は、上記したように揮発性の複数のレジスタ14を含む。レジスタは、その構成を特に限定されないが、例えば、図4に示すように、データを入力する転送ゲートと、転送ゲートから入力されたデータを保持するラッチと、ラッチで保持されたデータを出力するインバータとを含む。複数のレジスタ14は、D P Dモードにおいてもデータを保持するための通常のレジスタと、通常のレジスタに保持されたデータの消失を防止するためにチェックビットを保持するチェック用レジスタとを含む。チェック用レジスタは、好ましくはnビットのデータを保持する複数のレジスタを含み、チェック用レジスタは、書込み回路30によって書込まれたnビットのチェックビットC H K B I Tを保持する。

【 0 0 2 0 】

ここで留意すべきは、チェック用レジスタの動作電圧に関するマージンは、通常のレジスタの動作電圧に関するマージンよりも悪い(低い)ことである。言い換えれば、チェック用レジスタは、データを有効に保持することができる動作電圧の最小値が、通常のレジスタの最小値よりも高く、供給電圧V C Cが降下を開始した場合には、チェック用レジスタに保持されたデータが通常のレジスタに保持されたデータよりも先に破壊される。例えば、ラッチ回路に保持されたHレベルのデータがLレベルになってしまう。

【 0 0 2 1 】

チェック用レジスタの動作電圧に関するマージンを悪化させる方法として、もし、双方のレジスタを同一サイズのトランジスタから構成した場合には、D P Dモード時に、チェック用レジスタに供給される動作電圧が通常のレジスタに供給されるレジスタの動作電圧よりも低くなるようにする。例えば、D P Dモード時、供給電圧ノードV C C R E Gがフロ
50 ローティングになるが、通常のレジスタに接続された供給電圧ノードV C C R E Gのフロ

フローティング容量がチェック用レジスタに接続されるフローティング容量よりも大きくなるように、通常のレジスタに接続された供給電圧ノードVCCREGに容量Cdecを付加するようにしてもよい。これにより、レジスタのオフリーク電流による消費時間が通常のレジスタで長くなり、チェック用レジスタのデータが先に破壊される。あるいは他の方法として、チェック用レジスタを構成するトランジスタや配線等を通常のレジスタのものと異ならせ(例えば、RC定数を変更し)、チェック用レジスタのフローティング容量を通常のレジスタのフローティング容量よりも小さくするようにしてもよい。

【0022】

判定回路16は、チェック用レジスタから出力されるnビットのチェックビットと、予め用意された期待値とを比較し、チェックビットが期待値と一致するか否かを判定する。判定回路16は、チェックビットと期待値とが一致したとき、チェックビットが正しいことを表す信号REGOK(例えば、Hレベル)を出力し、チェックビットが期待値と一致しないとき、チェックビットが誤りであることを表す信号REGOK(例えば、Lレベル)を出力する。

10

【0023】

図5は、DPDモードが実行されるとき内部回路の動作波形を示す図である。時刻t1のとき、半導体装置50は、通常に動作をしており、制御回路40から出力されるDPDEN信号はLレベルである。従って、PMOSTランジスタPがオンし、供給電圧VCCが複数のレジスタ14に供給されている。また、制御回路40は、書込み回路30を介してチェック用レジスタにnビットのチェックビットを書込む。例えば、2バイトのチェック用レジスタに「FFh」あるいは「AAh」が書込まれる。通常動作時、複数のレジスタ14には供給電圧VCCが供給されるため、複数のレジスタに保持されるデータは有効である。それ故、判定回路16によるチェックビットと期待値との比較結果は一致し、信号REGOKはHレベルである。なお、判定回路16に入力される期待値は、書込み回路30によって書込まれる既知のチェックビットであり、例えば、制御回路40が期待値を判定回路16に提供することができる。

20

【0024】

時刻t2で、制御回路40がDPDモードに突入するコマンドをユーザーから受け取ると、それに応答してDPDEN信号がHレベルに遷移し、これに応答してANDゲート12の出力がHレベルに遷移する。これにより、PMOSTランジスタPがオフし、内部回路10への供給電圧VCCがカットされ、供給電圧ノードVCCREGがフローティングになる。供給電圧ノードVCCREGの電位がオフリーク電流により徐々に低下し、時刻t3で、チェック用レジスタがチェックビットを保持することができなくなる。例えば、Hレベルの出力がLレベルに変化する。その結果、チェックビットと期待値とが不一致となり、判定回路16は、Lレベルの信号REGOKを出力する。信号REGOKに応答してANDゲート12の出力がLレベルに遷移し、PMOSTランジスタPがオンし、供給電圧VCCが複数のレジスタ14に供給される。ここで留意すべきは、チェック用レジスタのデータが壊れたとき、他のレジスタは、チェック用レジスタよりも供給電圧VCCの変動による動作マージンが大きいいため、データを正しく保持できている点である。従って、他のレジスタの出力REGOUTのデータは有効である。

30

40

【0025】

判定回路16は、供給電圧ノードVCCREGがVCCレベルに充電されるのに十分な時間が得られるように、信号REGPNのLレベルのパルス幅Wを設定する。また、信号REGOKが制御回路40にも提供され、制御回路40は、パルス幅Wの期間中に、書込み回路30を介してチェックビットをチェック用レジスタに再書き込みする。

【0026】

パルス幅Wの期間中に、複数のレジスタ14の供給電圧がVCCレベルに回復され、かつチェック用レジスタにチェックビットが再書き込みされ、時刻t4で、チェックビットと期待値とが再び一致し、判定回路16の信号REGOKがHレベルに遷移する。これによりANDゲート12の出力がHレベルに遷移し、PMOSTランジスタがオフし、複数

50

のレジスタ14への供給電圧VCCがカットされる。再び、供給電圧ノードVCCREGがフローティングになり、その電位がオフリークにより消費され、徐々に低下し、時刻t5で、チェックビットと期待値とが不一致になると、信号REGOKがパルス幅Wの期間、Lレベルに遷移し、この間に、PMOSトランジスタP1がオンし、供給電圧ノードVCCREGが再充電され、チェックビットがチェック用レジスタに再書き込みされる。以後、DPDモードを解除するコマンドが入力されるまで、同様の動作が繰り返される。

【0027】

このように本実施例によれば、DPDモードにおいて、供給電圧VCCがカットされた内部回路10のチェック用レジスタに保持されたチェックビットの正誤を監視し、チェックビットに誤りが検出された場合には、供給電圧VCCによる充電を行うようにしたので、内部回路10の他のレジスタは正しいデータを保持することができ、他方、DPDモード時の消費電流を減少させることができる。

10

【0028】

上記実施例では、制御回路40とは別個に書込み回路30を設けたが、これに限らず、制御回路40がチェック用レジスタへのチェックビットの書込みを行うようにしてもよい。さらに上記実施例では、判定回路16がパルス幅Wの信号REGOKを生成する例を示したが、これに限らず、例えば、判定回路16とは別にパルス発生器を用意し、パルス発生器が判定回路16の判定結果に応答してパルス幅Wのパルス信号をANDゲート12に提供するようにしてもよい。また、上記実施例では、内部回路10が揮発性のレジスタを含む例を示したが、これに限らず、内部回路10は、SRAMやラッチ回路等の揮発性メモリを含むものにも本発明を適用することができる。

20

【0029】

次に、DPDモードを搭載するフラッシュメモリの一例を図6に示す。フラッシュメモリ100は、複数のメモリセルが行列状に配列されたメモリセルアレイ110と、外部入出力端子I/Oに接続された入出力バッファ120と、入出力バッファ120からアドレスデータを受け取るアドレスレジスタ130と、入出力バッファ120からコマンドデータ等を受け取り、各部を制御するコントローラ140と、アドレスレジスタ130から行アドレス情報Axを受け取り、行アドレス情報Axをデコードし、デコード結果に基づきブロックの選択およびワード線の選択等を行うワード線選択回路150と、ワード線選択回路150によって選択されたページから読み出されたデータを保持したり、選択されたページにプログラムすべき入力データを保持するページバッファ/センス回路160と、アドレスレジスタ130から列アドレス情報Ayを受け取り、列アドレス情報Ayをデコードし、当該デコード結果に基づきページバッファ/センス回路160内の列アドレスのデータを選択する列選択回路170と、データの読出し、プログラムおよび消去等のために必要な種々の電圧(書込み電圧Vpgm、パス電圧Vpass、読出しパス電圧Vread、消去電圧Versなど)を生成する内部電圧発生回路180とを含んで構成される。

30

【0030】

コントローラ140は、外部からDPDモードを開始させるコマンドを受け取ると、選択された内部回路にHレベルにアサートされたDPDEN信号を供給する。これにより、内部回路への供給電圧VCCがカットされる。内部回路は、レジスタやSRAM等の揮発性メモリや判定回路16等を含み、揮発性メモリの一部は、上記実施例と同様にチェックビットを記憶するためのチェック用メモリである。DPDモードにおいて、チェック用メモリに保持されたチェックビットと期待値とが不一致になると、内部回路への供給電圧VCCのチャージが再開され、チェックビットと期待値とが一致すると、内部回路への供給電圧VCCが遮断される。このような供給電圧VCCのチャージ/遮断の制御は、DPDモードを解除するコマンドが入力されるまで実施される。

40

【0031】

本実施例によれば、フラッシュメモリのDPDモードにおいて、消費電力を低減しつつ、揮発性メモリに保持されたデータの消失を防止することができる。

【0032】

50

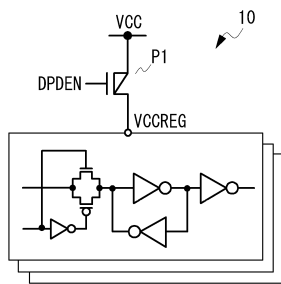
本発明の好ましい実施の形態について詳述したが、本発明は、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された発明の要旨の範囲内において、種々の変形・変更が可能である。

【符号の説明】

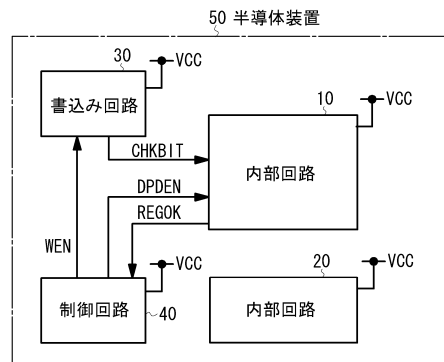
【0033】

- 10、20：内部回路
- 12：ANDゲート
- 14：複数のレジスタ
- 16：判定回路
- 30：書き込み回路
- 40：制御回路
- 50：半導体装置
- 100：フラッシュメモリ

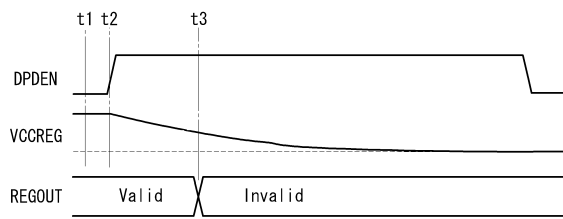
【図1】



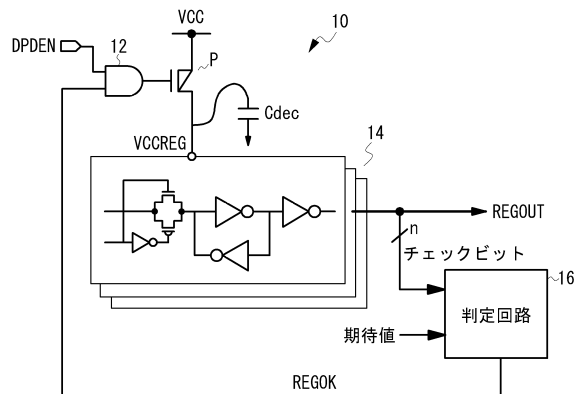
【図3】



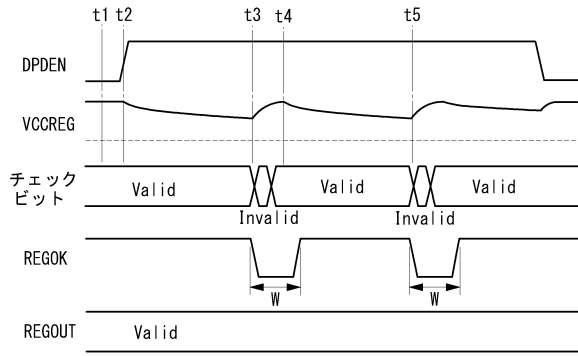
【図2】



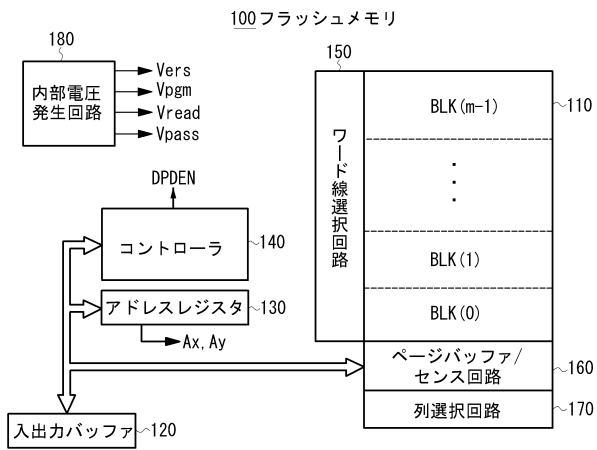
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2013-214296(JP,A)
特開2006-127152(JP,A)

(58)調査した分野(Int.Cl., DB名)
G11C 5/14
G11C 16/30