

410502

申請日期	87.11.23
案 號	87119415
類 別	H03K ¹⁹ / ₀₁₅

A4
C4

410502

(以上各欄由本局填註)

發 明 專 利 說 明 書		
發 新 型		
一、發明 名稱	中 文	具有電容耦合之 I/O 保護裝置
	英 文	
二、發明 創作人	姓 名	1.梁孟松 2.王是琦
	國 籍	中華民國
	住、居所	1.台北市中山區集英里 12 鄰中山北路二段 116 巷 9 號 5 樓 2.台中市興進路 187 號 15 樓之 5
三、申請人	姓 名 (名稱)	台灣積體電路製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研新一路九號
	代 表 人 姓 名	張忠謀

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

本發明係有關一種 I/O 保護裝置，特別有關於一種用於防止靜電或多電壓電源(dual power supply)中之高壓損傷的 I/O 保護裝置及其結構(I/O protection device)。

在積體電路(ICs)的應用上，高電壓自晶片之輸出/入墊(I/O pad)侵入而造成內部電路損傷，一直是亟待改善的課題。尤其在進入極大型積體電路(ULSI)世代以後，例如使用 0.25 μm 以下之深次微米製程所形成的半導體裝置，如 CMOS ICs，其薄閘極氧化層(thin gate oxide)之運用衰減了電晶體之抗高壓能力，且影響其可靠度問題。

此外，由於目前超大型(VLSI)或極大型(ULSI)積體電路晶片之工作電壓因隨著半導體製造技術的進步及節約能源之要求，而有逐漸降低之趨勢，因此以前僅用於單一電壓源系統(single voltage system)之晶片設計並不適合，而在各數位電子元件間產生不同電位階之介面電壓也難以避免。再者，混合電壓也被應用到許多的電路型態中，其特徵是於不同的電路方塊(sections of the circuit)中使用不同的工作電壓，例如類比-邏輯混合電路之特用 IC(ASIC: application specific integrated circuit)的 I/O 電路和核心邏輯電路(core logic)，或者是嵌入式動態隨機存取記憶體(embedded DRAM)等。

若以目前產品規格為例，典型常見於數位電子系統中之工作電壓為 5 伏特，但由於降低工作電壓可減少電力消耗及提昇性能，因此，目前市場上已同時有採用 3.3

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(2)

伏特及 2.5 伏特(甚或 1.8 伏特)工作電壓之電子元件出現。

例如第 1 圖所示之電腦系統中，此裝置電路 40 包括內部電路如核心邏輯 44(core logic)及複數個 I/O 電路，I/O 電路一般由輸出/入墊(I/O pad)和 I/O 緩衝串(I/O buffers)組成，核心邏輯 44 則需透過 I/O 電路來與外部電路耦接(coupling)，但該些外部電路則各自具有相對應的工作電壓，諸如，工作電壓 2.5 伏特之微處理器(CPU)10，工作電壓 3.3 伏特之靜態隨機存取記憶體(SRAM)20，或者工作電壓 5 伏特之動態隨機存取記憶體(DRAM)30，其均可透過 I/O 墊 12、22、32 和 I/O 緩衝串 14、24、34 來耦接至內部電路 44。

其中依據傳統製程，薄閘極氧化層抗高壓能力不足，容易損傷，而厚閘極氧化層則會造成電晶體之性能(performance)不佳，因此，目前常用之作法是令上述 I/O 緩衝串透過不同厚度之閘極氧化層，來匹配不同位階之工作電壓，亦即使各閘極結構具有不同之閘極導通電壓。

如第 2 圖所示，該閘極結構係在基底 100 表面形成有 3V、5V 之電晶體 16a、16b，場氧化層 110 則用以隔離出主動區，其次，不同厚度之閘極氧化層 160a、160b 及複晶矽層 180 則分別形成於該主動區表面，其中，薄閘極氧化層 160a 厚度約為 70Å，因此電晶體 16a 可在 3.3 伏特之工作電壓下操作(導通)，厚閘極氧化層 160b

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（3）

厚度約為 100\AA ，因此電晶體 16b 可在 5 伏特之工作電壓下操作（導通）。

然而，由於傳統方法係依據不同位階之工作電壓來調整其所對應之閘極導通電壓，因此在製程上，必須沈積不同厚度之閘極氧化層以形成不同之閘極導通電壓，因此不僅無法與內部電路形成相同厚度之閘極氧化層，且在製程上十分困難及複雜，再者於製程中形成不同厚度之閘極氧化層極易產生缺陷，因此可靠度亦不佳。

有鑑於此，本發明之目的即在於對出現在 I/O 墊之過高電壓，利用耦合電容進行分壓，以於輸出緩衝器之輸入端形成一耦合信號，降低跨閘極氧化層之電壓差，避免損傷。其中耦合電容可為一堆疊電容結構，以相容於現有半導體製程。

本發明之另一目的在於，利用控制反閘輸出一隔離控制信號，使前級緩衝器之輸出端與接地節點隔離，由於其與輸出緩衝器之輸入端耦接，因此可持續維持此耦合信號值，以保護 I/O 電路。

為達成上述目的，本發明提供一種 I/O 保護裝置，其包括：一輸出緩衝器；一耦合電容，耦接該輸出緩衝器之輸出端至其輸入端，以於該輸出緩衝器之輸出端出現一既定電位信號時，在其輸入端形成一耦合信號；一控制反閘，其耦接該輸出緩衝器之輸入端，用以當該耦合信號達到一第一電壓值時，輸出一隔離控制信號，且當該耦合信號在一第二電壓值以下時，輸出一正常控制

五、發明說明(4)

信號；及一前級緩衝器，其輸出端耦接該輸出緩衝器之輸入端，且更具有—控制端，其耦接該控制反閘之輸出，用以當所接收者為該隔離控制信號時，使該前級緩衝器之輸出端與接地隔離，且當所接收者為該正常控制信號時，使該前級緩衝器正常操作。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖係顯示一傳統邏輯電路與具不同工作電壓之外部電路耦接之方塊示意圖。

第 2 圖係顯示一依據傳統製程形成不同閘極氧化層厚度之半導體剖面圖。

第 3 圖係顯示傳統 I/O 電路之輸出緩衝串。

第 4 圖係顯示本發明之 I/O 保護裝置之實施例。

第 5 圖係顯示第 4 圖 I/O 保護裝置之耦合電容部份。

第 6 圖係顯示第 4 圖 I/O 保護裝置之控制反閘部份。

第 7 圖係顯示第 6 圖 I/O 保護裝置之控制反閘部份，其轉換特性曲線圖。

第 8 圖係顯示第 4 圖 I/O 保護裝置之耦合電容部份，其半導體結構剖面圖。

符號說明

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

10、20、30~外部電路；12、22、32~I/O 墊；14、24、34~I/O 緩衝串；40~核心邏輯；44~內部電路；16a、16b~電晶體；100~矽基底；110~場氧化層；130、140~複晶矽層；160a、160b~閘極氧化層；310、410~前級緩衝器；330、430~輸出緩衝器；INV1~控制反閘；Cc~耦合電容；450~I/O 墊；800~矽基底；810~淺溝槽氧化層；830~源/汲極；850~閘極；870~複晶矽層。

實施例

為明顯區別本發明之實施例與傳統技術之差異，茲分別說明第3圖傳統輸出緩衝串與第4圖之I/O保護裝置電路圖，以進行比較。

首先請參閱第3圖，在I/O電路中，傳統輸出緩衝串係由一輸出緩衝器(output buffer)330及一與之串接之前級緩衝器310組成(但不限於一級)，兩者屬於CMOS結構，前級緩衝器310包括串聯之PMOS電晶體M7和NMOS電晶體M5，PMOS電晶體M7耦接系統供應電壓VDD，而NMOS電晶體M5則耦接接地節點VSS，同理，緩衝器330包括串聯之PMOS電晶體M2和NMOS電晶體M1，PMOS電晶體M2耦接系統供應電壓VDD，而NMOS電晶體M1則耦接接地節點VSS。

一般而言，在輸出模式(output mode)下，由內部電路提供之信號，係符合規格電壓之額定值範圍，例如2.5V，因此，緩衝器310、330可正常操作，亦即當內部電路提供信號V7至前級緩衝器310之閘極輸入端A7

五、發明說明(6)

時，會由輸出端輸出其結果 $V2$ 至下一級之輸出緩衝器 330，然後再由輸出緩衝器 330 進行輸出。

然而，有時在輸出緩衝器 330 之輸出端 A1 會出現高電壓信號，例如高靜電電壓(ESD)，或者另一外部電路於輸出一既定電位信號 $VDDH$ 以作為其他具有較高電壓額定值之輸出緩衝器(未顯示)的輸入時，此既定電位信號之高電壓值如 $VDDH=5V$ 將同時出現在輸出緩衝器 330 之輸出端 A1，此時，電晶體 M1 之跨閘極和接地節點 VSS 之閘極氧化層便極易為此高電壓損傷。

反之，請參閱第 4 圖，其顯示本發明 I/O 保護裝置之實施例，其中為方便說明起見，與第 3 圖有相同之編號者，代表相同之元件，於後不擬贅述。

按第 4 圖，本實施例主要係包括一輸出緩衝器 430，而耦合電容 Cc 則耦接輸出緩衝器 430 之輸出端 A1 至其輸入端 A2，用以在發生第 3 圖所示之情形時，如於輸出緩衝器 430 之輸出端 A1 出現一既定電位信號 $V1$ 時，能在其輸入端 A2 形成一耦合信號 $V2$ 。

此外，實施例亦提供一控制反閘 INV1，其耦接前述輸出緩衝器 430 之輸入端 A2，用以當耦合信號 $V2$ 達到一第一電壓值 ($0.5 VDDH$) 時，輸出一隔離控制信號 L，且當耦合信號 $V2$ 在一第二電壓值 ($0.5VDDL$) 以下時，輸出一正常控制信號 H。

又 I/O 保護裝置另包括多個串接之前級緩衝器，其中在此係顯示最後一級前級緩衝器 410。前級緩衝器 410

(請先閱讀背面之注意事項再填寫本頁)

不

訂

線

五、發明說明(7)

包括一輸出端 A5，其耦接輸出緩衝器 430 之輸入端 A2，其另具有一控制端 A6，其耦接於控制反閘 INV1 之輸出 A3，用以當所接收者為隔離控制信號 L 時，使前級緩衝器 410 之輸出端 A5 與接地 VSS 隔離，且當所接收者為正常控制信號 H 時，使前級緩衝器 410 正常操作。

舉例而言，在 I/O 電路中，有時於輸出緩衝器 430 之輸出端 A1 會出現高電壓信號，例如在具有較高操作電壓 VDDH 或具有較低操作電壓 VDDL 之外部電路中，當其以正電位輸出信號來作為其他具有輸出緩衝器(未顯示)的輸入時，此既定正電位信號之電壓值如(VDDH=5V, VDDL=2.5V)亦會出現在 I/O 墊 450 處，亦即輸出緩衝器 430 之輸出端 A1 所出現之既定電位信號 V1，有可能是輸出緩衝器 430 可承受之較低操作電壓 VDDL，也有可能是輸出緩衝器 430 所無法承受之較高操作電壓 VDDH。

基於前述，請配合第 4 圖並參閱第 5 圖，由於實施例中係使耦合電容 Cc 耦接輸出緩衝器 430 之輸出端 A1(電晶體 M1 之汲極)至其輸入端 A2(電晶體 M1 之閘極)，如第 5 圖之等效電路所示，此時耦合電容 Cc 係跨越汲極輸出端 A1 及閘極輸入端 A2，而電晶體 M1 之閘極電容 Cg 則跨越閘極輸入端 A2 及接地節點 VSS，如此閘極輸入端 A2 將形成一耦合信號 V2，依據 I/O 墊-A1-Cc-A2-Cg-VSS 形成之串聯線路可知，耦合信號 V2 為輸出端 A1 之既定電位信號 V1 之分壓，因此，若藉由調整

(請先閱讀背面之注意事項再填寫本頁)

訂

竣

五、發明說明(8)

耦合電容 C_c 之適當值，例如令電容量 $C_c = C_g$ ，則將使耦合信號 $V_2 = 0.5V_1$ ，亦即跨閘極電容 C_g 之閘極氧化層之壓差 ($V_2 - V_{SS}$)，和跨耦合電容 C_c 之層間絕緣層之壓差 ($V_1 - V_2$)，其電位範圍均被限縮至 ($0.5 V_{DDL} \sim 0.5 V_{DDH}$)，因此不易因緩衝器 430 輸出端 V_1 之高電壓而損傷。

請參閱第 8 圖，其顯示耦合電容 C_c 之一實施例中，部份半導體結構剖面圖。此耦合電容主要係建立在電晶體 M_1 之閘極上，亦即在一具有源/汲極 830 之基底 800 上，其以淺溝槽隔離結構 810 予以隔離，並依序形成一閘極絕緣層 890 及一閘極導電層 850，其構成電晶體 M_1 ，接著形成一堆疊結構，其至少包括一層間絕緣層 860 及一第二導電層 870，其形成於閘極導電層 850 表面，且堆疊結構係依據閘極導電層 850 和第二導電層 870 所佔面積及其重疊感應面積，來決定耦合電容值 C_c 和閘極電容值 C_g 。

舉例而言，一矽基底 800 分別具有淡摻雜結構之源極和汲極 830，其中汲極耦接 I/O 墊 450，作為輸出緩衝器 430 之汲極輸出端 A_1 。閘極氧化層 890 形成於矽基底 800 表面，複晶矽層 850 形成於閘極氧化層 890 表面，其作為輸出緩衝器 430 之閘極輸入端 A_2 。此外形成之堆疊結構，在此以一層為例，包括一層間絕緣層 860 及一複晶矽層 870，其形成於閘極複晶矽層 860 表面，前述結構並於側壁形成絕緣間隙壁 880。

五、發明說明(9)

如此所形成之跨層間絕緣層 860 之耦合電容 C_c 及跨閘極絕緣層之閘極電容 C_g ，係依據複晶矽層 850 及複晶矽層 870 所佔面積和其重疊感應面積，來調整耦合電容 C_c 及閘極電容 C_g 之值，例如使 $C_c=C_g$ ，則跨層間絕緣層 860 之壓差和跨閘極氧化層 890 之壓差均約等於 $0.5V_1$ ，進而兩者皆不易造成損傷，其中 V_1 包括具不同幅度之屬邏輯 1 位階之電位電壓 V_{DDH} 和 V_{DDL} ，如 5V 和 2.5V。

然而，在緩衝器 430 輸出端 A1 出現 V_1 之高電壓如 V_{DDH} 期間，緩衝器 430 輸入端(M1 電晶體閘極端)A2 之耦合信號 V_2 必須足以維持一段時間，否則一旦循放電路徑而自接地節點放電，則跨耦合電容 C_c 及跨閘極電容 C_g 之電壓差將恢復為 V_{DDH} ，若因此使隔離之絕緣層遭致破壞，輸出緩衝器 430 亦將失去功能。

因此，基於前述，請配合第 4 圖並參閱第 6 圖及第 7 圖，為持續維持緩衝器 430 輸入端(M1 電晶體閘極端)A2 之耦合信號 V_2 ，如第 4 圖所示，本實施例在前級緩衝器 410 增加一控制電晶體如 NMOS 電晶體 M6 及其控制閘極端 A6，而第 6 圖則提供一控制反閘 INV1，其由耦接接地節點 VSS 之 NMOS 電晶體 M3 和耦接系統電源 VDD 之 PMOS 電晶體 M4 串聯形成，其中，電晶體 M3、M4 之閘極共接至緩衝器 430 輸入端即 M1 電晶體閘極端 A2，且串聯之汲極輸出端 A3 耦接至前級緩衝器 410 中控制電晶體 M6 之控制閘極端 A6。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

檢

五、發明說明 (10)

此外，參照第 7 圖，控制反閘 INV1 所欲形成之輸入 (A2)/輸出 (A3) 的關係如表 1 所示，其中藉由調整 PMOS 電晶體 M4 和 NMOS 電晶體 M3 之特性曲線，可形成一具高邏輯轉換電壓值 V_{t1} 之控制反閘 INV1，如利用一道離子植入步驟如植入氟化硼離子 (BF₂)，來提高控制反閘 INV1 之 NMOS 電晶體 M3 之起始電壓值 V_t ，如使 $V_t(M3)=0.5V_{DDL}$ ，以將控制反閘 INV1 之邏輯轉換電壓 V_{t1} 控制在 $0.5V_{DDL}$ 與 $0.5V_{DDH}$ 之間，至於邏輯轉換電壓 V_{t1} 與 $0.5V_{DDL}$ 、 $0.5V_{DDH}$ 之轉換區間 (A,B)，較佳者是選擇 $0.05V < A < 2V$ ； $0.05V < B < 2V$ 。

表 1

控制反閘 INV1(邏輯轉換電壓值 V_{t1})	
輸入端 A2	輸出端 A3
0.5V _{DDL}	邏輯 1 電位：H(high)
0.5V _{DDH}	邏輯 0 電位：L(low)

因此當耦合信號 V2 為一較高電壓值時，如 $0.5V_{DDH}$ ，則可使控制反閘 INV1 之電晶體 M3 導通，因而輸出一邏輯 0 之低電位信號 (L)，並以之作為隔離控制信號，且當耦合信號 V2 為一較低電壓值時，如 $0.5V_{DDL}$ ，則可使控制反閘 INV1 之電晶體 M3 關閉，因而輸出一邏輯 1 之高電位信號 (H)，並以之作為正常控制信號。

至於前級緩衝器 410 與控制反閘 INV1 之操作關係則如第 4 圖所示，前級緩衝器 410 包括一耦接接地節點

五、發明說明(11)

VSS 之 NMOS 電晶體 M5 和一耦接系統電源 VDD 之 PMOS 電晶體 M7，電晶體 M5、M7 之閘極共接形成一輸入端 A7，在輸出模式下，其接收來自內部電路之信號，以將之傳送到輸出緩衝器 430，而控制 PMOS 電晶體 M6 則分別串接於 NMOS 電晶體 M5 和 PMOS 電晶體 M7 間。

在前級緩衝器 410 中，電晶體 M6、M7 之汲極共接形成一輸出端 A5，其耦接輸出緩衝器 430 之輸入端 A2，此外電晶體 M6 具有一控制閘極端 A6，其耦接於控制反閘 INV1 之輸出端 A3。

因此，當輸出緩衝器 430 之輸出端 A1 出現一既定電位信號 V1 時，透過耦合電容 Cc 之分壓，輸出緩衝器 430 之輸入端 A2 形成一約為 $0.5V_1$ 之耦合信號 V2，當耦合信號 V2 為 $0.5V_{DDH}$ (大於控制反閘 INV1 之邏輯轉換電壓 V_{t1}) 時，控制反閘 INV1 輸出低電位之隔離控制信號 L，並由電晶體 M6 之控制閘極端 A6 接收，使電晶體 M6 關閉，結果前級緩衝器 410 之輸出端 A5 與接地節點 VSS 隔離。

反之，當耦合信號 V2 為 $0.5V_{DDL}$ (小於控制反閘 INV1 之邏輯轉換電壓 V_{t1}) 時，控制反閘 INV1 輸出高電位之正常控制信號 H，並由電晶體 M6 之控制閘極端 A6 接收，使電晶體 M6 導通，因此在輸出模式(output mode) 下，前級緩衝器 410 之輸入(A7)/輸出(A5)可依電晶體 M5、M7 正常操作。

五、發明說明 (12)

另外，依據第 7 圖，如果出現在輸出緩衝器 430 之輸出端 A1 之既定電位信號 V1，係屬於低電位信號如邏輯 0 信號或接地信號等小於 $0.5V_{DDL}$ 值者，則由於控制反閘 INV1 之電晶體 M3 保持關閉狀態，因此控制反閘 INV1 輸出高電位之正常控制信號 H，使電晶體 M6 導通，前級緩衝器 410 處於正常操作狀態。

綜合上述，本發明之實施例對於出現在 I/O 墊之過高電壓，係利用耦合電容進行分壓，並由控制反閘輸出隔離控制信號，使前級緩衝器之輸出端與接地節點隔離，由於前級緩衝器之輸出端與輸出緩衝器之輸入端耦接，因此可持續維持此分壓值，降低耦合電容和閘極電容之壓差，達到防止 I/O 電路之靜電或多電壓電源中之高壓損傷。此外，耦合電容可為一堆疊電容結構，如此可相容於現有步驟，避免傳統複雜之半導體製程。

雖然本發明已以一較佳實施例揭露如下，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可做些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要(發明之名稱:

具有電容耦合之 I/O 保護裝置)

一種 I/O 保護裝置，適用於多電源電壓，其包括一輸出緩衝器及一與之串接之前級緩衝器，當輸出緩衝器之輸出端出現一高既定電位信號時，可利用一耦合電容來耦接輸出緩衝器之輸出端至其輸入端，以於輸入端形成一僅及既定電位信號一半之耦合信號，於此選擇一控制反閘以關閉前級緩衝器，隔離接地之放電路徑，藉此維持耦合信號於輸出緩衝器之輸入端，避免輸出緩衝器之損傷，但於輸出緩衝器之輸出端出現可容忍之既定電位信號的場合，則使控制反閘導通前級緩衝器，以進行輸出模式之正常操作。

英文發明摘要(發明之名稱:

(請先閱讀背面之注意事項再填寫才頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種 I/O 保護裝置，其包括：

一輸出緩衝器；

一耦合電容，耦接該輸出緩衝器之輸出端至其輸入端，以於該輸出緩衝器之輸出端出現一既定電位信號時，在其輸入端形成一耦合信號；

一控制反閘，其耦接該輸出緩衝器之輸入端，用以當該耦合信號達到一第一電壓值時，輸出一隔離控制信號，且當該耦合信號在一小於該第一電壓值之第二電壓值以下時，輸出一正常控制信號；及

一前級緩衝器，其輸出端耦接該輸出緩衝器之輸入端，且更具有一控制端以耦接該控制反閘之輸出，用以當所接收者為該隔離控制信號時，使該前級緩衝器之輸出端與接地隔離，且當所接收者為該正常控制信號時，使該前級緩衝器正常操作。

2. 如申請專利範圍第 1 項所述之裝置，其中該輸出緩衝器包括：

一系統電壓源；

一接地節點；

一第一 PMOS 電晶體，耦接該系統電壓源；及

一第一 NMOS 電晶體，耦接該接地節點，並與該第一 PMOS 電晶體串聯；

其中，該第一 PMOS 電晶體和該第一 NMOS 電晶體之間極共接形成一輸入端，且其汲極共接形成一輸出端。

(請先閱讀讀背面之注意事項再填寫本頁)

長

訂

線

六、申請專利範圍

3.如申請專利範圍第 2 項所述之裝置，其中該第一 PMOS 電晶體形成有一閘極電容。

4.如申請專利範圍第 3 項所述之裝置，其中該耦合電容由一堆疊電容結構組成，其形成於該第一 NMOS 電晶體之閘極表面，其包括：

一層間絕緣層，形成於該第一 NMOS 電晶體之閘極表面；及

一複晶矽層，形成於該層間絕緣層表面。

5.如申請專利範圍第 4 項所述之裝置，其中該堆疊電容結構之複晶矽層耦接該輸出緩衝器之共接汲極輸出端。

6.如申請專利範圍第 5 項所述之裝置，其中該閘極電容值約等於耦合電容值。

7.如申請專利範圍第 6 項所述之裝置，其中該輸出緩衝器中，該共接閘極輸入端之耦合信號，約等於該共接汲極輸出端之既定電位信號的一半。

8.如申請專利範圍第 1 項所述之裝置，其中該控制反閘具有一邏輯轉換電壓，其範圍落在該(第一電壓值，第二電壓值)之區間。

9.如申請專利範圍第 8 項所述之裝置，其中該(第一電壓值，邏輯轉換電壓)之轉換區間約為(0.05V, 2V)之間，且該(邏輯轉換電壓，第二電壓值)之轉換區間約為(0.05V, 2V)之間。

10.如申請專利範圍第 9 項所述之裝置，其中該控制

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

反開包括：

- 一系統電壓源；
- 一接地節點；
- 一第二 PMOS 電晶體，耦接該系統電壓源；及
- 一第二 NMOS 電晶體，耦接該接地節點，並與該第二 PMOS 電晶體串聯；

其中，該第二 PMOS 電晶體和該第二 NMOS 電晶體之閘極共接形成一輸入端，其耦接該輸出緩衝器之輸入端，且其汲極共接形成一輸出端，其耦接該前級緩衝器之控制端。

11. 如申請專利範圍第 10 項所述之裝置，其中該控制反開之邏輯轉換電壓，係依據該第二 NMOS 電晶體之起始電壓決定。

12. 如申請專利範圍第 11 項所述之裝置，其中該控制反開，係於該耦合信號達到該第一電壓值時，導通該第二 NMOS 電晶體，以輸出一屬於低電位之隔離控制信號。

13. 如申請專利範圍第 12 項所述之裝置，其中該控制反開，係於該耦合信號在該第二電壓值以下時，關閉該第二 NMOS 電晶體，以輸出一屬於高電位之正常控制信號。

14. 如申請專利範圍第 13 項所述之裝置，其中該前級緩衝器包括：

- 一系統電壓源；

(請先閱讀背面之注意事項再填寫本頁)

長

訂

線

六、申請專利範圍

- 一 接地節點；
- 一 第三 PMOS 電晶體，耦接該系統電壓源；
- 一 第三 NMOS 電晶體，耦接該接地節點；及
- 一 控制 NMOS 電晶體，介於該第三 PMOS 電晶體和第三 NMOS 電晶體之間，以形成串聯；

其中，該第三 PMOS 電晶體和該第三 NMOS 電晶體之閘極共接形成一輸入端，其汲極共接形成一輸出端，用以耦接該輸出緩衝器之輸入端，以及該控制 NMOS 電晶體之閘極形成一控制端，其耦接該控制反閘之輸出端。

15. 如申請專利範圍第 14 項所述之裝置，其中該前級緩衝器，係於該控制反閘輸出該低電位之隔離控制信號時，關閉該控制 NMOS 電晶體，使該前級緩衝器之輸出端與該接地節點隔離。

16. 如申請專利範圍第 15 項所述之裝置，其中該前級緩衝器，係於該控制反閘輸出該高電位之正常控制信號時，導通該控制 NMOS 電晶體，使該前級緩衝器在輸出模式下正常操作。

17. 一種 I/O 保護裝置，適用於多電源電壓，其包括：

- 一 輸出緩衝器；
- 一 耦合電容，耦接該輸出緩衝器之輸出端至其輸入端，以於該輸出緩衝器之輸出端出現該多電源電壓之一時，在其輸入端形成一電壓幅度約減少一半之耦合信

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

號；

一控制反閘，其耦接該輸出緩衝器之輸入端，用以當該耦合信號達到一第一電壓值時，輸出一隔離控制信號，且當該耦合信號在一小於該第一電壓值之第二電壓值以下時，輸出一正常控制信號；及

一前級緩衝器，其輸出端耦接該輸出緩衝器之輸入端，且該前級緩衝器更串接有一控制電晶體，其閘極控制端耦接該控制反閘之輸出，該控制電晶體係於接收該隔離控制信號時關閉，以使該前級緩衝器之輸出端與接地隔離，且於接收該正常控制信號時導通，以使該前級緩衝器正常操作。

18. 如申請專利範圍第 17 項所述之裝置，其中該第一電壓值係取該多電源電壓之高值的二分之一。

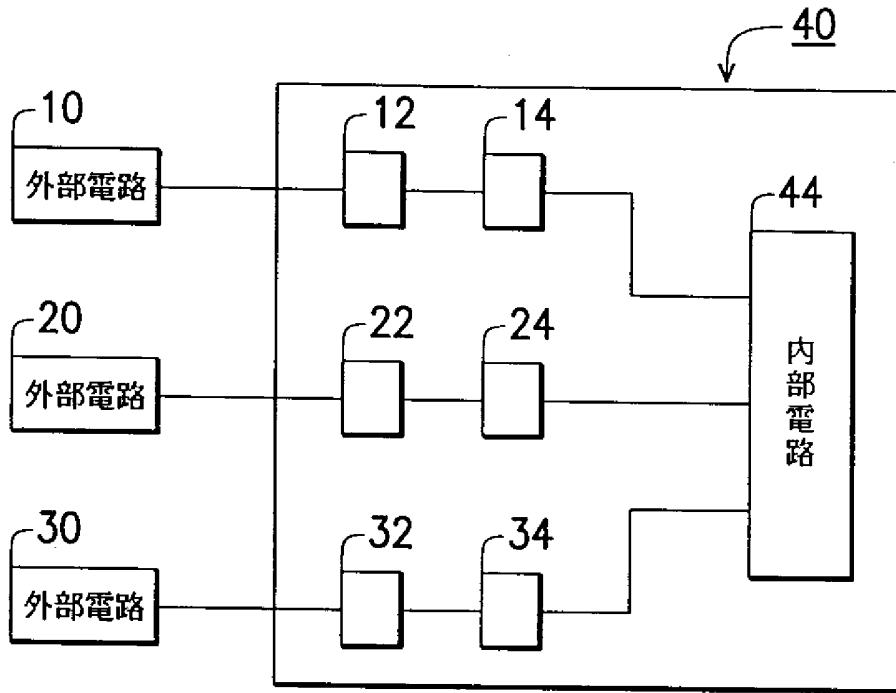
19. 如申請專利範圍第 18 項所述之裝置，其中該第二電壓值係取該多電源電壓之低值的二分之一。

(請先閱讀背面之注意事項再填寫本頁)

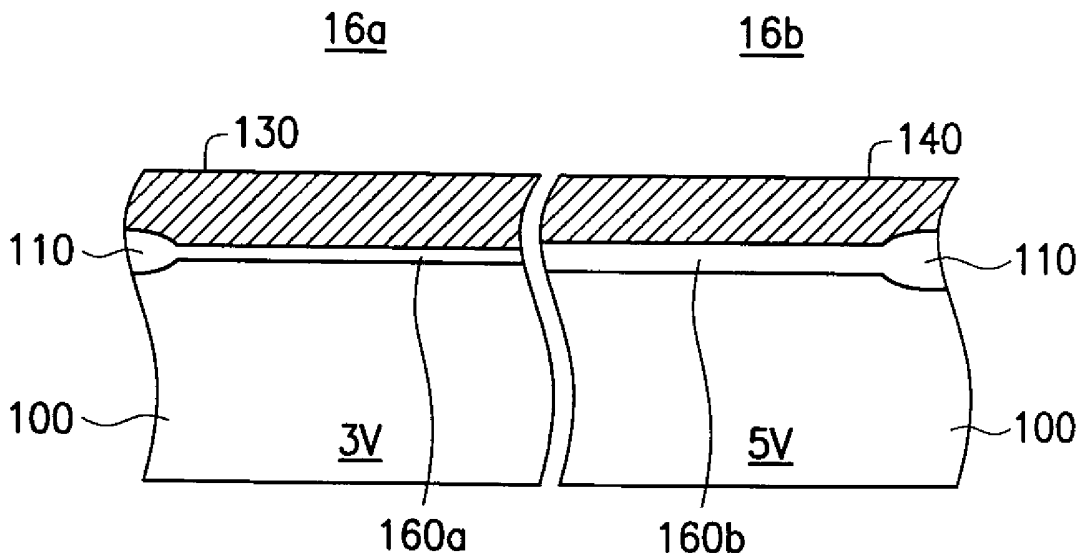
表

訂

線

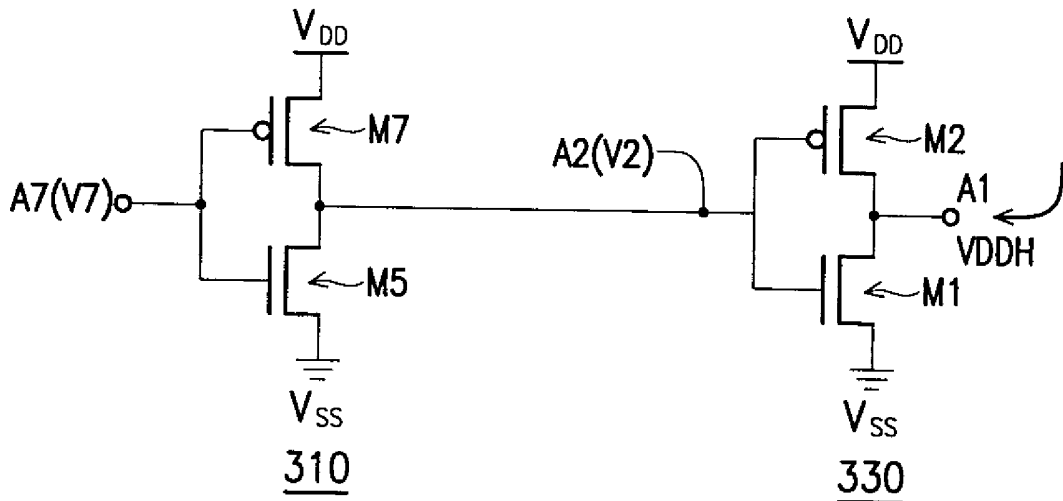


第 1 圖

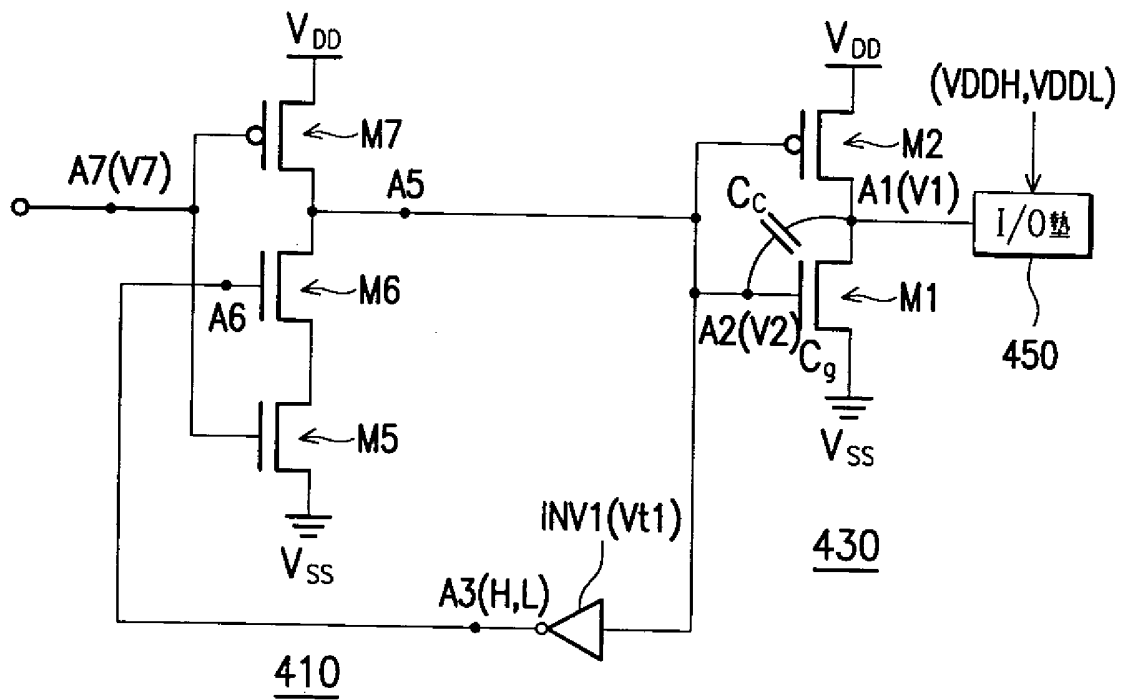


第 2 圖

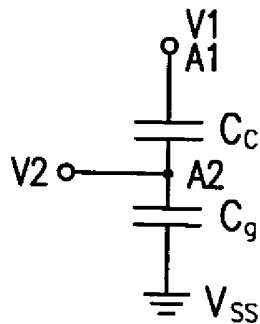
410502



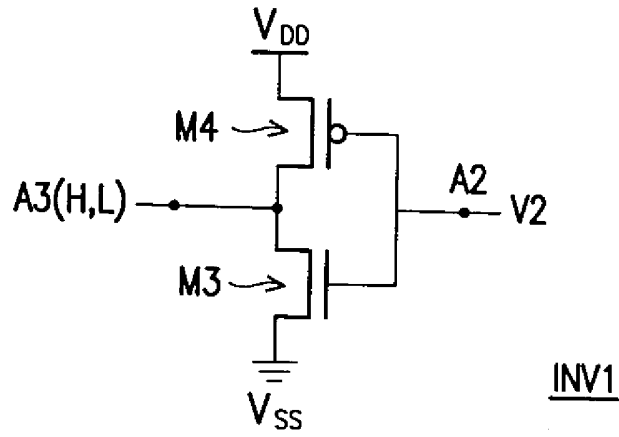
第 3 圖



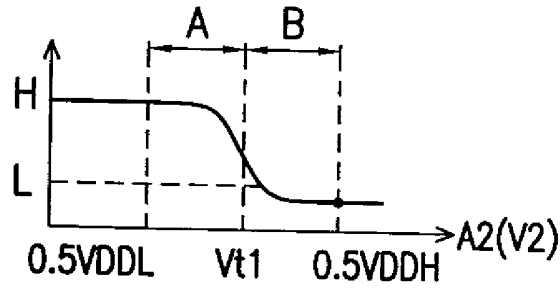
第 4 圖



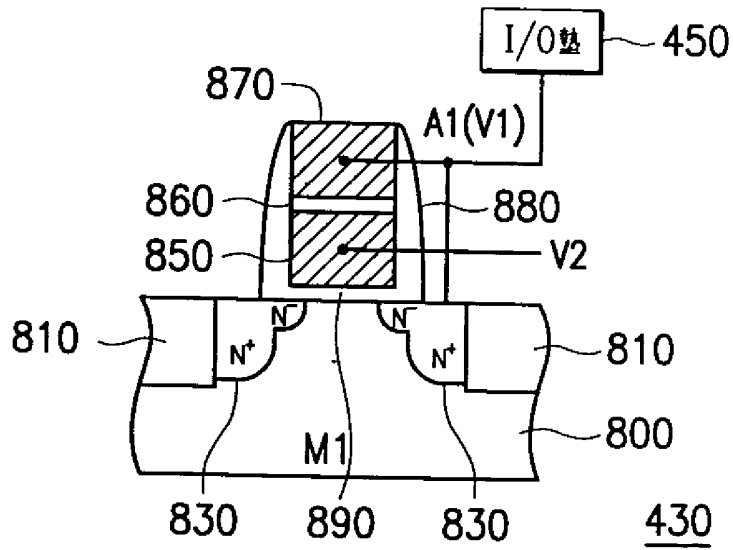
第 5 圖



第 6 圖



第 7 圖



第 8 圖