



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월08일
(11) 등록번호 10-1966858
(24) 등록일자 2019년04월02일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
G11C 11/4096 (2015.01) G11C 11/406 (2006.01)
G11C 11/408 (2006.01)</p> <p>(21) 출원번호 10-2012-0042411</p> <p>(22) 출원일자 2012년04월24일
심사청구일자 2017년03월28일</p> <p>(65) 공개번호 10-2013-0119544</p> <p>(43) 공개일자 2013년11월01일</p> <p>(56) 선행기술조사문헌
US20070033338 A1</p> | <p>(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자
김상윤
경기 화성시 병점2로 103, 501동 404호 (병점동, 안화동마을주공5단지)</p> <p>손중필
경기 성남시 분당구 불정로 219, 102동 603호 (정자동, 한솔마을청구아파트)
(뒷면에 계속)</p> <p>(74) 대리인
박영우</p> |
|--|---|

전체 청구항 수 : 총 20 항

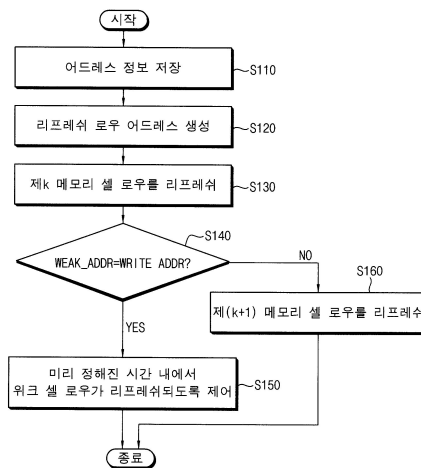
심사관 : 손윤식

(54) 발명의 명칭 휘발성 메모리 장치의 동작 방법, 휘발성 메모리 장치 및 메모리 시스템의 제어 방법

(57) 요약

휘발성 메모리 장치의 동작 방법에서는 제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬한다. 저장된 위크 셀 로우 어드레스와 기입 로우 어드레스를 제1 비교한다. 제1 비교의 결과로서 기입 로우 어드레스와 위크 셀 로우 어드레스가 일치하지 않는 경우 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다. 제1 비교의 결과로서 기입 로우 어드레스와 위크 셀 로우 어드레스가 일치하는 경우, 위크 셀 로우 어드레스와 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 미리 정해진 시간 내에서 위크 셀 로우 어드레스에 상응하는 위크 셀 로우 어드레스가 리프레쉬 되도록 제어한다.

대표도 - 도1



(72) 발명자

김수아

경기 성남시 분당구 중앙공원로 20, 416동 601호
(서현동, 현대아파트)

박철우

경기 용인시 기흥구 흥덕중앙로105번길 41, 1101동
101호 (영덕동, 흥덕마을11단지경남아너스빌)

황홍선

경기 수원시 영통구 영통로173번길 37, 106동 303
호 (망포동, 쌍용1차아파트)

명세서

청구범위

청구항 1

어드레스 정보를 저장하는 단계;

제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬하는 단계;

상기 어드레스 정보와 기입 로우 어드레스를 제1 비교하는 단계;

상기 제1 비교의 결과로서 상기 기입 로우 어드레스와 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스가 일치하지 않는 경우 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬하는 단계(여기서 k는 자연수); 및

상기 제1 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스가 일치하는 경우, 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 미리 정해진 시간 내에서 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우가 리프레쉬 되도록 제어하는 단계를 포함하는 휘발성 메모리 장치의 동작 방법.

청구항 2

제1항에 있어서, 상기 어드레스 정보는 상기 휘발성 메모리의 패키징 전에 어드레스 저장부에 저장되는 것을 특징으로 하는 휘발성 메모리 장치의 동작 방법.

청구항 3

제1항에 있어서, 상기 어드레스 정보는 상기 휘발성 메모리의 패키징 후에 어드레스 저장부에 저장되는 것을 특징으로 하는 휘발성 메모리 장치의 동작 방법.

청구항 4

제1항에 있어서, 상기 워크 셀 로우가 리프레쉬 되도록 제어하는 단계는,

상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스를 제2 비교하는 단계;

상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하는 경우,

상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬를 연기하면서 상기 워크 셀 로우를 리프레쉬 하는 단계; 및

상기 워크 셀 로우를 리프레쉬 한 후 상기 연기된 메모리 셀 로우를 리프레쉬 하는 단계를 포함하는 것을 특징으로 하는 휘발성 메모리 장치의 동작 방법.

청구항 5

제4항에 있어서, 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하지 않는 경우,

상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나를 리프레쉬하면서 동시에 상기 워크 셀 로우를 리프레쉬 하는 단계를 더 포함하는 것을 특징으로 하는 휘발성 메모리 장치의 동작 방법.

청구항 6

제1항에 있어서, 상기 워크 셀 로우가 리프레쉬되도록 제어하는 단계는,

상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스를 제2 비교하는 단계;

상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하는 않는 경

우,

상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나를 리프레쉬하면서 동시에 상기 위크 셀 로우를 리프레쉬 하는 단계를 포함하는 것을 특징으로 하는 휘발성 메모리 장치의 동작 방법.

청구항 7

어드레스 정보를 저장하는 단계;

제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬하는 단계;

상기 어드레스 정보와 기입 로우 어드레스를 비교하는 단계;

상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 어드레스 정보에 포함되는 위크 셀 로우 어드레스와 일치하지 않는 경우 모든 बैं크들에서 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬하는 단계; 및

상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 위크 셀 로우 어드레스가 일치하는 경우, 상기 어드레스 정보에 포함되는 बैं크 정보에 상응하는 적어도 하나의 बैं크에서 상기 위크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 미리 정해진 시간 내에서 상기 위크 셀 로우 어드레스에 상응하는 위크 셀 로우가 리프레쉬 되도록 제어하고, 다른 बैं크들에서는 상기 제(k+1)리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬하는 단계를 포함하는 휘발성 메모리 장치의 동작 방법.

청구항 8

복수의 메모리 셀 로우들을 포함하는 메모리 셀 어레이;

어드레스 정보를 포함하는 어드레스 저장부;

상기 어드레스 정보와 상기 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스를 제1 비교하여 일치여부를 나타내는 제1 매치 신호를 제공하는 제1 어드레스 비교부; 및

상기 제1 매치 신호가 나타내는 상기 제1 비교의 결과에 따라 상기 메모리 셀 로우들을 리프레쉬 하거나 상기 어드레스 정보에 포함되는 위크 셀 로우 어드레스에 상응하는 위크 셀 로우의 리프레쉬를 제어하는 리프레쉬 제어 회로를 포함하는 휘발성 메모리 장치.

청구항 9

제8항에 있어서,

상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지고,

상기 제1 어드레스 비교부는 상기 기입 로우 어드레스의 각 비트와 상기 위크 셀 로우 어드레스의 각 비트를 비교하는 복수의 비교기들; 및

상기 복수의 비교기들의 출력을 AND 연산하여 상기 제1 매치 신호를 출력하는 AND 게이트를 포함하는 것을 특징으로 하는 휘발성 메모리 장치.

청구항 10

제8항에 있어서,

상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지고,

상기 리프레쉬 제어 회로는,

상기 메모리 셀 로우들에 대한 내부 리프레쉬 로우 어드레스들을 생성하는 리프레쉬 카운터;

상기 제1 매치 신호가 상기 기입 로우 어드레스와 상기 위크 셀 로우 어드레스가 일치함을 나타내는 경우에 상기 위크 셀 로우 어드레스와 리프레쉬 로우 어드레스를 제2 비교하여 일치여부를 나타내는 제2 매치 신호를 제공하는 제2 어드레스 비교부; 및

상기 제2 매치 신호의 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 상기 리프레쉬 로우 어드레스로

출력함과 동시에 상기 위크 셀 로우 어드레스를 출력하거나 상기 내부 리프레쉬 로우 어드레스를 연속적으로 지연시켜 상기 리프레쉬 로우 어드레스로 출력하는 리프레쉬 로우 어드레스 출력부를 포함하는 것을 특징으로 하는 휘발성 메모리 장치.

청구항 11

제10항에 있어서, 상기 리프레쉬 로우 어드레스 출력부는

상기 제2 매치 신호의 논리 레벨에 따라 상기 위크 셀 로우 어드레스를 선택적으로 출력하는 제1 스위치;

상기 제2 매치 신호의 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 선택적으로 연결하는 제2 스위치;

상기 내부 리프레쉬 로우 어드레스를 인접한 메모리 셀 로우들의 리프레쉬 간격만큼 지연시키는 지연소자;

상기 제2 매치 신호의 논리 레벨에 따라 상기 제2 스위치 또는 상기 지연 소자에 연결되는 제3 스위치; 및

상기 제1 매치 신호에 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 선택적으로 출력하는 제4 스위치를 포함하는 것을 특징으로 하는 휘발성 메모리 장치.

청구항 12

제11항에 있어서,

상기 제1 및 제2 스위치들은 상기 제2 매치 신호가 상기 위크 셀 로우 어드레스와 상기 리프레쉬 로우 어드레스가 일치하지 않음을 나타내는 제1 논리 레벨을 갖는 경우 연결되고,

상기 제3 스위치는 상기 제2 매치 신호가 제1 논리 레벨을 갖는 경우 상기 제2 스위치에 연결되는 것을 특징으로 하는 휘발성 메모리 장치.

청구항 13

제11항에 있어서,

상기 제1 및 제2 스위치들은 상기 제2 매치 신호가 상기 위크 셀 로우 어드레스와 상기 리프레쉬 로우 어드레스가 일치함을 나타내는 제2 논리 레벨을 갖는 경우 분리되고,

상기 제3 스위치는 상기 제2 매치 신호가 제2 논리 레벨을 갖는 경우 상기 지연소자에 연결되는 것을 특징으로 하는 휘발성 메모리 장치.

청구항 14

복수의 메모리 셀 로우들을 포함하는 메모리 셀 어레이;

복수의 위크 셀 로우들에 대한 복수의 어드레스 정보들을 각각 저장하는 복수의 어드레스 저장부들;

상기 복수의 어드레스 저장부들에 각각 연결되고 상기 어드레스 정보들 각각과 메모리 셀 어레이에 데이터를 기록하기 위한 기입 로우 어드레스를 각각 비교하여 일치여부를 나타내는 복수의 매치 신호들을 제공하는 복수의 어드레스 비교부들;

상기 복수의 매치 신호들을 OR 연산하여 제1 매치 신호를 제공하는 OR 연산부; 및

상기 제1 매치 신호가 나타내는 상기 비교의 결과에 따라 상기 메모리 셀 로우들을 리프레쉬 하거나 상기 어드레스 정보에 포함되는 위크 셀 로우 어드레스들에 상응하는 위크 셀 로우들의 리프레쉬를 제어하는 리프레쉬 제어 회로를 포함하는 휘발성 메모리 장치.

청구항 15

메모리 컨트롤러와 휘발성 메모리 장치를 포함하는 메모리 시스템의 제어 방법에 있어서,

상기 메모리 시스템의 파워-업 시퀀스 동안에 상기 휘발성 메모리 장치로부터 상기 메모리 컨트롤러에 어드레스 정보를 전송하는 단계;

상기 메모리 컨트롤러의 어드레스 비교부에서 상기 어드레스 정보에 포함되는 위크 셀 로우 어드레스와 상기 휘발성 메모리 장치의 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스를 비교하는 단계;

상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스와 일치하지 않는 경우, 상기 메모리 컨트롤러가 상기 휘발성 메모리 장치를 제어하여 상기 메모리 셀 로우들을 리프레쉬하는 단계; 및

상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스가 일치하는 경우, 상기 메모리 컨트롤러의 메모리 큐의 아이들 상태 여부에 기초하여 상기 메모리 컨트롤러가 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우의 리프레쉬를 제어하는 단계를 포함하는 메모리 시스템의 제어 방법.

청구항 16

제15항에 있어서, 상기 어드레스 정보는 상기 휘발성 메모리 장치의 어드레스 저장부로부터 상기 메모리 컨트롤러의 상기 어드레스 비교부에 전달되는 것을 특징으로 하는 메모리 시스템의 제어 방법.

청구항 17

메모리 컨트롤러와 휘발성 메모리 장치를 포함하는 메모리 시스템의 제어 방법에 있어서,

상기 메모리 시스템의 파워-업 시에 상기 휘발성 메모리 장치로부터 상기 메모리 컨트롤러에 어드레스 정보를 전송하는 단계;

상기 메모리 컨트롤러의 어드레스 비교부에서 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스와 상기 휘발성 메모리 장치를 액세스하기 위한 기입 로우 어드레스를 비교하는 단계; 및

상기 메모리 컨트롤러의 트랜잭션 프로세서에서 상기 비교의 결과에 따라 상기 휘발성 메모리 장치의, 상기 워크 셀 로우 어드레에 상응하는 워크 셀 로우와 상기 워크 셀 로우 이외에 노멀 셀 로우의 기입 회복 시간을 달리하여 상기 휘발성 메모리 장치의 메모리 셀 로우의 기입 회복 시간을 제어하는 단계를 포함하는 메모리 시스템의 제어 방법.

청구항 18

제17항에 있어서, 상기 트랜잭션 프로세서는 상기 비교의 결과에 따라 상기 워크 셀 로우 어드레스가 상기 기입 로우 어드레스와 일치하는 경우, 상기 워크 셀 로우의 기입 회복 시간의 표준에서 정의된 메모리 셀 로우의 기입 회복 시간 보다 더 길도록 상기 휘발성 메모리 장치를 제어하는 것을 특징으로 하는 메모리 시스템의 제어 방법.

청구항 19

제17항에 있어서, 상기 트랜잭션 프로세서는 상기 비교의 결과에 따라 상기 워크 셀 로우 어드레스가 상기 기입 로우 어드레스와 일치하지 않는 경우, 상기 노멀 셀 로우의 기입 회복 시간이 표준에서 정의된 메모리 셀 로우의 기입 회복 시간과 동일하도록 상기 휘발성 메모리 장치를 제어하는 것을 특징으로 하는 메모리 시스템의 제어 방법.

청구항 20

제17항에 있어서, 상기 어드레스 정보는 상기 휘발성 메모리 장치의 어드레스 저장부로부터 상기 메모리 컨트롤러의 상기 어드레스 비교부에 전달되는 것을 특징으로 하는 메모리 시스템의 제어 방법.

발명의 설명

기술 분야

[0001] 본 발명은 휘발성 메모리 장치에 관한 것으로, 보다 상세하게는 휘발성 메모리 장치의 동작 방법, 휘발성 메모리 장치 및 메모리 시스템의 제어 방법에 관한 것이다.

배경 기술

[0002] 동기식 반도체 메모리 장치는 외부로부터 인가되는 외부 클럭에 동기되어 데이터를 입출력한다. 최근에 DRAM의 동작 속도가 빨라짐에 따라 기입 동작시 기입할 데이터가 메모리 셀에 충분히 기입되기 전에 프리차지 커맨드에 의하여 워드라인이 비활성화될 수 있다. 또한 DRAM의 제조 공정이 미세화됨에 따라 기입 패스 상의 저항 성분의 증가로 기입 동작에 어려움이 발생하고 있다.

발명의 내용

해결하려는 과제

- [0003] 이에 따라, 본 발명의 일 목적은 기입 특성을 향상시킬 수 있는 휘발성 메모리 장치의 동작 방법을 제공하는데 있다.
- [0004] 본 발명의 다른 목적은 기입 특성을 향상시킬 수 있는 휘발성 메모리 장치를 제공하는데 있다.
- [0005] 본 발명의 또 다른 목적은 기입 특성을 향상시킬 수 있는 메모리 시스템의 제어 방법을 제공하는데 있다.

과제의 해결 수단

- [0006] 상기 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 휘발성 메모리 장치의 동작 방법에서, 어드레스 정보를 저장한다. 제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬한다. 상기 어드레스 정보와 기입 로우 어드레스를 비교한다. 상기 제1 비교의 결과로서 상기 기입 로우 어드레스와 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스가 일치하지 않는 경우, 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다. 상기 제1 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스가 일치하는 경우, 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 미리 정해진 시간 내에서 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우 어드레스가 리프레쉬 되도록 제어한다.
- [0007] 일 실시예에서, 상기 어드레스 정보는 상기 휘발성 메모리의 패키징 전에 어드레스 저장부에 저장될 수 있다.
- [0008] 일 실시예에서, 상기 어드레스 정보는 상기 휘발성 메모리의 패키징 후에 어드레스 저장부에 저장될 수 있다.
- [0009] 일 실시예에서, 상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지고, 상기 리프레쉬 로우 어드레스는 N 비트 카운터의 카운팅 동작으로 생성될 수 있다.
- [0010] 일 실시예에서, 상기 워크 셀 로우가 리프레쉬되도록 제어하기 위하여, 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스를 제2 비교하고, 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하는 경우, 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬를 연기하면서 상기 워크 셀 로우를 리프레쉬하고, 상기 연기된 메모리 셀 로우를 리프레쉬할 수 있다.
- [0011] 더욱이, 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제1 리프레쉬 로우 어드레스와 일치하지 않는 경우에는, 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나를 리프레쉬하면서 동시에 상기 워크 셀 로우를 리프레쉬할 수 있다.
- [0012] 실시예에 있어서, 상기 워크 셀 로우가 리프레쉬되도록 제어하기 위하여 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스를 제2 비교한다. 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하는 않는 경우에는, 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나를 리프레쉬하면서 동시에 상기 워크 셀 로우를 리프레쉬할 수 있다.
- [0013] 상기 일 목적을 달성하기 위하여, 본 발명의 실시예들에 따른 휘발성 메모리 장치의 동작방법에서는 어드레스 정보를 저장한다. 제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬한다. 상기 어드레스 정보와 기입 로우 어드레스를 비교한다. 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스와 일치하지 않는 경우 모든 बैं크들에서 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다. 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스가 일치하는 경우, 상기 어드레스 정보에 포함되는 बैं크 정보에 상응하는 적어도 하나의 बैं크에서 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 미리 정해진 시간 내에서 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우 어드레스가 리프레쉬 되도록 제어하고, 다른 बैं크들에서는 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다.
- [0014] 일 실시예에서, 상기 बैं크 정보는 어드레스 저장부에 저장된 बैं크 어드레스를 포함할 수 있다.
- [0015] 상기 다른 목적을 달성하기 위하여 본 발명의 실시예들에 따른 휘발성 메모리 장치는 메모리 셀 어레이, 어드레

스 저장부, 제1 어드레스 비교부 및 리프레쉬 제어 회로를 포함한다. 상기 메모리 셀 어레이는 복수의 메모리 셀 로우들을 포함한다. 상기 어드레스 저장부는 어드레스 정보를 저장한다. 상기 제1 어드레스 비교부는 상기 어드레스 정보와 상기 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스를 제1 비교하여 일치여부를 나타내는 제1 매치 신호를 제공한다. 상기 리프레쉬 제어 회로는 상기 제1 매치 신호가 나타내는 상기 제1 비교의 결과에 따라 상기 메모리 셀 로우들을 리프레쉬 하거나 상기 어드레스 정보에 포함되는 위크 셀 로우 어드레스에 상승하는 위크 셀 로우의 리프레쉬를 제어한다.

- [0016] 일 실시예에서, 상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지며, 상기 제1 어드레스 비교부는 상기 기입 로우 어드레스의 각 비트와 상기 위크 셀 로우 어드레스의 각 비트를 비교하는 복수의 비교기들 및 상기 복수의 비교기들의 출력을 AND 연산하여 상기 제1 매치 신호를 출력하는 AND 게이트를 포함할 수 있다.
- [0017] 일 실시예에서, 상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지며, 상기 리프레쉬 제어 회로는 상기 메모리 셀 로우들에 대한 내부 리프레쉬 로우 어드레스들을 생성하는 리프레쉬 카운터; 상기 제1 매치 신호가 상기 기입 로우 어드레스와 상기 위크 셀 로우 어드레스가 일치함을 나타내는 경우에 상기 위크 셀 로우 어드레스와 리프레쉬 로우 어드레스를 제2 비교하여 일치여부를 나타내는 제2 매치 신호를 제공하는 제2 어드레스 비교부; 및 상기 제2 매치 신호의 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 상기 리프레쉬 로우 어드레스로 출력함과 동시에 상기 위크 셀 로우 어드레스를 출력하거나 상기 내부 리프레쉬 로우 어드레스를 연속적으로 지연시켜 상기 리프레쉬 로우 어드레스로 출력하는 리프레쉬 로우 어드레스 출력부를 포함할 수 있다.
- [0018] 상기 리프레쉬 로우 어드레스 출력부는 상기 제2 매치 신호의 논리 레벨에 따라 상기 위크 셀 로우 어드레스를 선택적으로 출력하는 제1 스위치; 상기 제2 매치 신호의 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 선택적으로 연결하는 제2 스위치; 상기 내부 리프레쉬 로우 어드레스를 인접한 메모리 셀 로우들의 리프레쉬 간격 만큼 지연시키는 지연소자; 상기 제2 매치 신호의 논리 레벨에 따라 상기 제2 스위치 또는 상기 지연 소자에 연결되는 제3 스위치; 및 상기 제1 매치 신호에 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 선택적으로 출력하는 제4 스위치를 포함할 수 있다.
- [0019] 상기 제1 및 제2 스위치들은 상기 제2 매치 신호가 상기 위크 셀 로우 어드레스와 상기 리프레쉬 로우 어드레스가 일치하지 않음을 나타내는 제1 논리 레벨을 갖는 경우 연결되고, 상기 제3 스위치는 상기 제2 매치 신호가 제1 논리 레벨을 갖는 경우 상기 제2 스위치에 연결될 수 있다.
- [0020] 상기 제1 및 제2 스위치들은 상기 제2 매치 신호가 상기 위크 셀 로우 어드레스와 상기 리프레쉬 로우 어드레스가 일치함을 나타내는 제2 논리 레벨을 갖는 경우 분리되고, 상기 제3 스위치는 상기 제2 매치 신호가 제2 논리 레벨을 갖는 경우 상기 지연소자에 연결될 수 있다.
- [0021] 상기 제2 어드레스 비교부는 상기 리프레쉬 로우 어드레스의 각 비트와 상기 위크 셀 로우 어드레스의 각 비트를 비교하는 복수의 비교기들; 및 상기 복수의 비교기들의 출력을 AND 연산하여 상기 제2 매치 신호를 출력하는 AND 게이트를 포함할 수 있다.
- [0022] 일 실시예에서, 상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지며 상기 리프레쉬 제어 회로는 상기 메모리 셀 로우들에 대한 내부 리프레쉬 로우 어드레스들을 생성하는 리프레쉬 카운터; 상기 제1 매치 신호가 상기 기입 로우 어드레스와 상기 위크 셀 로우 어드레스가 일치함을 나타내는 경우에 상기 위크 셀 로우 어드레스와 리프레쉬 로우 어드레스를 제2 비교하여 일치여부를 나타내는 제2 매치 신호를 제공하는 제2 어드레스 비교부; 및 상기 제2 매치 신호의 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 상기 리프레쉬 로우 어드레스로 출력함과 동시에 상기 위크 셀 로우 어드레스를 출력하거나 상기 내부 리프레쉬 로우 어드레스를 지연시켜 상기 리프레쉬 로우 어드레스로 출력하는 리프레쉬 로우 어드레스 출력부를 포함할 수 있다.
- [0023] 상기 리프레쉬 로우 어드레스 출력부는 상기 제2 매치 신호의 논리 레벨에 따라 상기 위크 셀 로우 어드레스를 선택적으로 출력하는 제1 스위치;
- [0024] 상기 리프레쉬 로우 어드레스를 지연시키는 지연소자; 상기 내부 리프레쉬 로우 어드레스를 수신하는 제1 입력 단자와 상기 지연기에 연결되는 제2 입력 단자를 구비하고 제어 단자에 입력되는 상기 제2 매치 신호의 논리 레벨에 따라 상기 제1 입력 단자와 상기 제2 입력 단자 중 하나의 입력을 출력하는 멀티플렉서; 및 상기 제1 매치 신호의 논리 레벨에 따라 상기 내부 리프레쉬 로우 어드레스를 선택적으로 출력하는 제2 스위치를 포함할 수 있다

다.

- [0025] 상기 제1 스위치는 상기 제2 매치 신호가 상기 워크 셀 로우 어드레스와 상기 리프레쉬 로우 어드레스가 일치하지 않음을 나타내는 제1 논리 레벨을 갖는 경우 연결되고, 상기 지연소자는 tRC에 상응하는 지연시간을 가지고 상기 멀티플렉서는 제2 매치 신호가 제1 논리 레벨을 갖는 경우 상기 제1 입력 단자에 인가되는 입력을 상기 리프레쉬 로우 어드레스로 출력할 수 있다.
- [0026] 상기 제1 스위치는 상기 제2 매치 신호가 상기 워크 셀 로우 어드레스와 상기 리프레쉬 로우 어드레스가 일치함을 나타내는 제2 논리 레벨을 갖는 경우 분리되고, 상기 지연소자는 tRC에 상응하는 지연시간을 가지고 상기 멀티플렉서는 제2 매치 신호가 제2 논리 레벨을 갖는 경우 상기 제2 입력 단자에 인가되는 입력을 상기 리프레쉬 로우 어드레스로 출력할 수 있다.
- [0027] 상기 다른 목적을 달성하기 위한 본 발명의 실시예들에 따른 휘발성 메모리 장치는 복수의 메모리 셀 로우들을 포함하는 메모리 셀 어레이; 복수의 워크 셀 로우들에 대한 복수의 어드레스 정보들을 각각 저장하는 복수의 어드레스 저장부들; 상기 복수의 어드레스 저장부들에 각각 연결되고 상기 어드레스 정보들 각각과 메모리 셀 어레이에 데이터를 기록하기 위한 기입 로우 어드레스를 각각 비교하여 일치여부를 나타내는 복수의 매치 신호들을 제공하는 복수의 어드레스 비교부들; 상기 복수의 매치 신호들을 OR 연산하여 제1 매치 신호를 제공하는 OR 연산부; 및 상기 제1 매치 신호가 나타내는 상기 비교의 결과에 따라 상기 메모리 셀 로우들을 리프레쉬 하거나 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스들에 상응하는 워크 셀 로우들의 리프레쉬를 제어하는 리프레쉬 제어 회로를 포함한다.
- [0028] 상기 또 다른 목적을 달성하기 위한 본 발명의 실시예들에 따른 메모리 컨트롤러와 휘발성 메모리 장치를 포함하는 메모리 시스템의 제어 방법에서는, 상기 메모리 시스템의 파워-업 시퀀스 동안에 상기 휘발성 메모리 장치로부터 상기 메모리 컨트롤러에 어드레스 정보를 전송한다. 상기 메모리 컨트롤러의 어드레스 비교부에서 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스와 상기 휘발성 메모리 장치의 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스를 비교한다. 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스와 일치하지 않는 경우, 상기 메모리 컨트롤러가 상기 휘발성 메모리 장치를 제어하여 상기 메모리 셀 로우들을 리프레쉬한다. 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스가 일치하는 경우, 상기 메모리 컨트롤러의 메모리 큐의 아이들 상태 여부에 기초하여 상기 메모리 컨트롤러가 상기 워크 셀 로우의 리프레쉬를 제어한다.
- [0029] 일 실시예에서, 상기 워크 셀 로우의 리프레쉬를 제어하기 위하여, 상기 커맨드 큐가 아이들 상태인지 여부를 제1 판단하고, 상기 제1 판단의 결과로서 상기 커맨드 큐가 아이들 상태인 경우, 상기 워크 셀 로우 어드레스에 상응하는 상기 워크 셀 로우의 활성화 및 프리차지를 결정하고, 상기 휘발성 메모리 장치에 상기 워크 셀 로우의 리프레쉬 스킵 정보를 전달할 수 있다.
- [0030] 또한, 상기 워크 셀 로우의 리프레쉬를 제어하기 위하여, 상기 제1 판단의 결과로서 상기 커맨드 큐가 아이들 상태가 아닌 경우, 상기 커맨드 큐에 저장된 커맨드에 따른 동작을 수행하고, 상기 수행된 동작에 리프레쉬 커맨드 따른 동작이 포함되었는지 여부를 제2 판단하고, 상기 제2 판단의 결과로서 상기 리프레쉬 커맨드가 포함되지 않는 경우, 상기 커맨드 큐가 아이들 상태인지 여부를 다시 판단하고, 상기 제2 판단의 결과로서 상기 리프레쉬 커맨드가 포함된 경우, 상기 워크 셀 로우가 리프레쉬 되도록 할 수 있다. 상기 워크 셀 로우의 리프레쉬 스킵 정보는 상기 메모리 컨트롤러로부터 상기 휘발성 메모리 장치의 리프레쉬 제어 회로에 전달될 수 있다.
- [0031] 일 실시예에서, 상기 어드레스 정보는 상기 휘발성 메모리 장치의 어드레스 저장부로부터 상기 메모리 컨트롤러의 상기 어드레스 비교부에 전달될 수 있다.
- [0032] 상기 또 다른 목적을 달성하기 위한 본 발명의 실시예들에 따른 메모리 컨트롤러와 휘발성 메모리 장치를 포함하는 메모리 시스템의 제어 방법에서는, 상기 메모리 시스템의 파워-업 시에 상기 휘발성 메모리 장치로부터 상기 메모리 컨트롤러에 어드레스 정보를 전송한다. 상기 메모리 컨트롤러의 어드레스 비교부에서 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스와 상기 휘발성 메모리 장치를 액세스하기 위한 기입 로우 어드레스를 비교한다. 상기 메모리 컨트롤러의 트랜잭션 프로세서에서 상기 비교의 결과에 따라 상기 휘발성 메모리 장치의 워크 셀 로우와 상기 워크 셀 로우 이외에 노멀 셀 로우의 기입 회복 시간을 달리하여 상기 휘발성 메모리 장치의 메모리 셀 로우의 기입 회복 시간을 제어한다.
- [0033] 일 실시예에서, 상기 트랜잭션 프로세서는 상기 비교의 결과에 따라 상기 워크 셀 로우 어드레스가 상기 기입 로우 어드레스와 일치하는 경우, 상기 워크 셀 로우의 기입 회복 시간의 표준에서 정의된 메모리 셀 로우의 기

입 회복 시간 보다 더 길도록 상기 휘발성 메모리 장치를 제어할 수 있다.

[0034] 일 실시예에서, 상기 트랜잭션 프로세서는 상기 비교의 결과에 따라 상기 워크 셀 로우 어드레스가 상기 기입 로우 어드레스와 일치하지 않는 경우, 상기 노멀 셀 로우의 기입 회복 시간이 표준에서 정의된 메모리 셀 로우의 기입 회복 시간과 동일하도록 상기 휘발성 메모리 장치를 제어할 수 있다.

[0035] 일 실시예에서, 상기 어드레스 정보는 상기 휘발성 메모리 장치의 어드레스 저장부로부터 상기 메모리 컨트롤러의 상기 어드레스 비교부에 전달될 수 있다.

발명의 효과

[0036] 본 발명에 실시예들에 따르면, 기입 특성이 노멀 셀들에 비하여 나쁜 워크 셀의 포즈 타임을 감소시키거나 기입 회복 시간을 증가시켜서 워크 셀의 기입 특성을 향상시킬 수 있다.

도면의 간단한 설명

- [0037] 도 1은 본 발명의 일 실시예에 따른 휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- 도 2는 본 발명의 일 실시예에 따른 도 1의 단계(S150)를 보다 상세히 나타내는 흐름도이다.
- 도 3은 본 발명의 일 실시예에 따른 도 1의 단계(S150)를 보다 상세히 나타내는 흐름도이다.
- 도 4는 메모리 셀에 데이터가 기입된 후 다시 리프레쉬 되기 까지의 시간(pause time)과 페이지 비트들의 수의 관계를 나타내는 그래프이다.
- 도 5는 도 1의 동작 방법을 수행하는 본 발명의 실시예들에 따른 휘발성 메모리 장치를 나타내는 블록도이다.
- 도 6은 본 발명의 일 실시예에 따른 도 5의 어드레스 저장부와 어드레스 비교부를 나타낸다.
- 도 7은 본 발명의 일 실시예에 따른 도 5의 리프레쉬 제어 회로의 구성을 나타내는 블록도이다.
- 도 8은 본 발명의 일 실시예에 따른 도 5의 리프레쉬 제어 회로의 구성을 나타내는 블록도이다.
- 도 9는 본 발명의 일 실시예에 따른 도 7의 어드레스 비교부의 구성을 나타내는 회로도이다.
- 도 10 내지 도 12는 각각 본 발명의 실시예에 따른 휘발성 메모리 장치의 동작을 설명하기 위한 도면들이다.
- 도 13은 본 발명의 다른 실시예에 따른 도 5의 어드레스 저장부와 어드레스 비교부의 예를 나타내는 도면이다.
- 도 14는 본 발명의 일 실시예에 따른 휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- 도 15는 본 발명의 다른 실시예에 따른 도 5의 어드레스 저장부와 어드레스 비교부의 예를 나타내는 도면이다.
- 도 16은 본 발명의 일 실시예에 따른 메모리 시스템의 제어 방법을 나타내는 흐름도이다.
- 도 17은 도 16의 단계(S540)를 보다 상세히 나타내는 흐름도이다.
- 도 18은 본 발명의 일 실시예에 따른 도 17의 제어 방법을 수행하기 위한 메모리 시스템을 나타내는 블록도이다.
- 도 19 및 도 20은 각각 본 발명의 실시예에 따른 도 18의 메모리 시스템의 동작을 설명하기 위한 도면들이다.
- 도 21은 본 발명의 다른 실시예에 따른 메모리 시스템의 제어 방법을 나타내는 도면이다.
- 도 22는 본 발명의 일 실시예에 따른 도 21의 제어 방법을 실행하기 위한 메모리 시스템을 나타내는 블록도이다.
- 도 23은 휘발성 메모리 장치에서 기입 회복 시간과 페이지 비트의 수의 관계를 나타내는 그래프이다.
- 도 24는 휘발성 메모리 장치에서 메모리 셀에 따라 기입 특성이 나빠지는 것을 설명하기 위한 도면이다.
- 도 25는 도 22의 메모리 시스템에서 기입 회복 시간이 이원화되는 것을 나타내는 도면이다.
- 도 26은 본 발명의 실시예들에 따른 휘발성 메모리 장치를 포함하는 메모리 모듈을 나타내는 도면이다.
- 도 27은 본 발명의 실시예들에 따른 휘발성 메모리 장치를 모바일 시스템에 응용한 예를 나타내는 블록도이다.

도 28은 본 발명의 실시예들에 따른 휘발성 메모리 장치를 컴퓨팅 시스템에 응용한 예를 나타내는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0038] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- [0039] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 구성요소에 대해 사용하였다.
- [0040] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- [0041] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0042] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0043] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0044] 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- [0045] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.
- [0046] 도 1은 본 발명의 일 실시예에 따른 휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.
- [0047] 도 1을 참조하면, 본 발명의 일 실시예에 따른 휘발성 메모리 장치의 동작 방법에서는 먼저 어드레스 정보를 저장한다(S110). 이러한 어드레스 정보는 상기 휘발성 메모리 장치의 패키징 전 또는 후에 휘발성 메모리 장치에 포함되는 어드레스 저장부에 저장될 수 있다. 또한 이러한 어드레스 정보는 위크 셀 로우에 관한 위크 셀 로우 어드레스를 포함할 수 있다. 다음에 리프레쉬 로우 어드레스를 생성한다(S120). 이러한 리프레쉬 로우 어드레스 생성에 의하여 휘발성 메모리 장치의 리프레쉬 동작이 개시된다. 예를 들어, 파워-업 시퀀스가 완료된 후, 또는 파워-다운 모드가 종료된 후, 상기 리프레쉬 동작이 개시될 수 있다. 실시예에 따라, 상기 리프레쉬 동작은, 실질적으로 주기적으로 인가되는 리프레쉬 커맨드(REF)에 응답하여 리프레쉬 로우 어드레스를 생성하고, 상기 리프레쉬 로우 어드레스에 상응하는 메모리 셀 로우를 리프레쉬하는 오토 리프레쉬 동작이거나, 셀프 리프레쉬 진입 커맨드(SRE)에 응답하여 셀프 리프레쉬 모드로 진입하고, 상기 셀프 리프레쉬 모드에서 빌트-인 타이머를 이용하여 메모리 셀 로우들을 주기적으로 리프레쉬하는 셀프 리프레쉬 동작일 수 있다. 또한, 실시예에 따라, 상기 리프레쉬 동작은, 리프레쉬 사이클들이 소정의 주기적인 리프레쉬 간격(tREFI)을 가지는 분산 리프레쉬

(Distributed Refresh)를 수행하거나, 복수의 리프레쉬 사이클들이 연속되는 버스트 리프레쉬(Burst Refresh)를 수행할 수 있다.

- [0048] 생성된 리프레쉬 로우 어드레스들 중 제k 리프레쉬 로우 어드레스에 따라 상기 휘발성 메모리 장치에 포함되는 복수의 메모리 셀 로우들 중 제 메모리 셀 로우를 리프레쉬한다(S130). 여기서 k는 자연수일 수 있다. 메모리 셀 로우들에 대한 리프레쉬가 수행되는 도중(즉, 제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬 한 후 제(k+1) 메모리 셀 로우를 리프레쉬 하기 전에 상기 제k 메모리 셀 로우에 대한 기입 명령에 따라 상기 제1 메모리 셀 로우에 데이터를 기입하는 경우) 다음에 상기 휘발성 메모리 장치에 포함되는 복수의 메모리 셀 로우들 중 하나의 메모리 셀 로우에 데이터를 기입하기 위한 기입 로우 어드레스와 상기 워크 셀 로우 어드레스를 제1 비교한다(S140).
- [0049] 상기 제1 비교의 결과 상기 기입 로우 어드레스와 상기 셀 로우 어드레스가 일치하지 않는 경우(S140에서 NO), 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다(S160). 상기 제1 비교의 결과 상기 기입 로우 어드레스와 상기 셀 로우 어드레스가 일치하는 경우(S140에서 YES), 미리 정해진 시간 내에서 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우 어드레스가 리프레쉬 되도록 제어한다(S150). 여기서, 상기 미리 정해진 시간은 워크 셀 로우 어드레스에 상응하는 워크 셀에 기입된 데이터가 손실되기 전까지의 시간이다. 이러한 시간은 스펙에 의하여 미리 정해질 수 있다. 단계(S140)와 단계(S150) 사이에서는 휘발성 메모리 장치에 대한 여러가지 다른 동작, 예를 들어 기입 동작 및 독출 동작 등이 수행될 수 있다.
- [0050] 여기서, 상기 휘발성 메모리 장치의 로우 어드레스는 N 비트(N은 2 이상의 자연수)를 가지고, 상기 리프레쉬 로우 어드레스는 N 비트 카운터의 카운팅 동작으로 생성될 수 있다. 또한 각 메모리 셀 로우는 하나의 워드 라인에 연결된 메모리 셀들의 로우를 나타내고, 워크 셀 로우는 기입 특성이 노멀 메모리 셀에 비하여 좋지 않은 워크 셀을 적어도 하나 이상 포함하는 메모리 셀 로우를 나타낸다.
- [0051] 도 2는 본 발명의 일 실시예에 따른 도 1의 단계(S150)를 보다 상세히 나타내는 흐름도이다.
- [0052] 도 2를 참조하면, 상기 휘발성 메모리 장치는 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 상기 미리 정해진 시간 내에 상기 워크 셀 로우를 리프레쉬하기 위하여 먼저 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스를 제2 비교한다(S151). 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하는 경우(S151에서 YES), 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬를 연기하면서 상기 워크 셀 로우를 리프레쉬 한 후(S152), 상기 연기된 메모리 셀 로우를 리프레쉬한다(S153).
- [0053] 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하지 않는 경우(S151에서 NO), 상기 워크 셀 로우 어드레스에 상응하는 상기 워크 셀 로우의 리프레쉬 여부를 결정한다(S154). 상기 워크 셀 로우를 리프레쉬하기로 결정된 경우(S154에서 YES), 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬 하면서 동시에 상기 워크 셀 로우를 리프레쉬한다(S155).
- [0054] 상기 워크 셀 로우를 리프레쉬하지 않기로 결정된 경우(S154에서 NO), 상기 미리 결정된 시간 내에서 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬를 연기하면서 상기 워크 셀 로우를 활성화하고 프리차지한다(S156). 상기 워크 셀 로우를 활성화하고 프리차지 한후 tRC의 시간의 경과한 후에 상기 연기된 메모리 셀 로우를 리프레쉬한다(S157).
- [0055] 도 3은 본 발명의 일 실시예에 따른 도 1의 단계(S150)를 보다 상세히 나타내는 흐름도이다.
- [0056] 도 3을 참조하면, 상기 휘발성 메모리 장치는 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 상기 워크 셀 로우의 리프레쉬를 제어하기 위하여 먼저 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스를 제2 비교한다(S171). 상기 제2 비교의 결과로서, 상기 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스와 일치하지 않는 경우(S171에서 NO), 상기 워크 셀 로우의 리프레쉬 여부를 결정한다(S172). 상기 워크 셀 로우를 리프레쉬하기로 결정된 경우(S172에서 YES), 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬 하면서 동시에 상기 워크 셀 로우를 리프레쉬한다(S173).
- [0057] 상기 워크 셀 로우를 리프레쉬하지 않기로 결정된 경우(S172에서 NO), 상기 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬를 연기하면서 상기 워크 셀 로우를

활성화하고 프리차지한다(S174). 상기 워크 셀 로우를 활성화하고 프리차지 한후 tRC의 시간의 경과한 후에 상기 연기된 메모리 셀 로우를 리프레쉬한다(S175).

[0058] 상기 제2 비교의 결과로서 상기 워크 셀 로우 어드레스가 상기 제k 리프레쉬 로우 어드레스와 일치하는 경우 (S171에서 YES)에도, 상기 미리 결정된 시간 내에서 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나의 리프레쉬를 연기하면서 상기 워크 셀 로우를 활성화하고 프리차지한다 (S174). 상기 워크 셀 로우를 활성화하고 프리차지 한후 tRC의 시간의 경과한 후에 상기 연기된 메모리 셀 로우를 리프레쉬한다(S175).

[0059] 즉, 본 발명의 일 실시예에 따른 휘발성 메모리 장치의 동작 방법에서는 워크 셀 로우 어드레스(WEAK_ADDR)와 기입 로우 어드레스(WRITE_ADDR)가 일치하는 경우, 즉 워크 셀에 기입 동작이 수행되는 경우에는 워크 셀에 기입된 데이터가 손실되기 전인 미리 정해진 시간 내에서 상기 워크 셀 로우를 리프레쉬할 수 있다.

[0060] 도 4는 메모리 셀에 데이터가 기입된 후 다시 리프레쉬 되기 까지의 시간(pause time)과 페일 비트들의 수의 관계를 나타내는 그래프이다.

[0061] 도 4를 참조하면, 메모리 셀에 데이터가 기입된 후 다시 리프레쉬 되기 까지의 시간(pause time)이 증가할 수록 페일 비트의 수가 증가함을 알 수 있다. 본 발명의 실시예에 따른 휘발성 메모리 장치의 동작 방법에서는 이러한 페일 비트의 수가 증가하는 것을 방지하기 위하여 워크 셀을 포함하는 워크 셀 로우가 리프레쉬 된 후 워크 셀 로우에 데이터가 기입되는 경우, 워크 셀 로우를 다음번 메모리 셀 로우가 리프레쉬 될 때 동시에 리프레쉬 하거나 워크 셀 로우를 데이터가 기입 된 후에 바로 활성화시키고 프리차지시켜서 워크 셀 로우의 데이터를 재 기입함으로써 포즈 타임을 최소화시킬 수 있다.

[0062] 도 5는 도 1의 동작 방법을 수행하는 본 발명의 실시예들에 따른 휘발성 메모리 장치를 나타내는 블록도이다.

[0063] 도 5를 참조하면, 휘발성 메모리 장치(200)는 제어 로직(210), 어드레스 레지스터(220), 뱅크 제어 로직(230), 로우 어드레스 멀티플렉서(240), 컬럼 어드레스 래치(250), 로우 디코더, 컬럼 디코더, 메모리 셀 어레이, 센스 앰프부, 입출력 게이팅 회로(290), 데이터 입출력 버퍼(295), 어드레스 저장부(225), 어드레스 비교부(address comparing unit(ACU); 300) 및 리프레쉬 제어 회로(refresh control circuit, 400)를 포함한다. 상기 메모리 셀 어레이는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)을 포함할 수 있다. 또한, 상기 로우 디코더는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 각각 연결된 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d)을 포함하고, 상기 컬럼 디코더는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 각각 연결된 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d)을 포함하며, 상기 센스 앰프부는 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 각각 연결된 제1 내지 제4 뱅크 센스 앰프들(285a, 285b, 285c, 285d)을 포함할 수 있다. 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d), 제1 내지 제4 뱅크 센스 앰프들(285a, 285b, 285c, 285d), 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d) 및 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d)은 제1 내지 제4 뱅크들을 각각 구성할 수 있다. 도 4에는 4개의 뱅크들을 포함하는 휘발성 메모리 장치(200)의 예가 도시되어 있으나, 실시예에 따라, 휘발성 메모리 장치(200)는 임의의 수의 뱅크들을 포함할 수 있다.

[0064] 또한, 실시예에 따라, 휘발성 메모리 장치(200)는 DDR SDRAM(Double Data Rate Synchronous Dynamic Random Access Memory), LPDDR(Low Power Double Data Rate) SDRAM, GDDR(Graphics Double Data Rate) SDRAM, RDRAM(Rambus Dynamic Random Access Memory) 등과 같은 동적 랜덤 액세스 메모리(Dynamic Random Access Memory; DRAM)이거나, 리프레쉬 동작이 필요한 임의의 휘발성 메모리 장치일 수 있다.

[0065] 어드레스 레지스터(220)는 메모리 컨트롤러(미도시)로부터 뱅크 어드레스(BANK_ADDR), 로우 어드레스(ROW_ADDR) 및 컬럼 어드레스(COL_ADDR)를 포함하는 어드레스(ADDR)를 수신할 수 있다. 어드레스 레지스터(220)는 수신된 뱅크 어드레스(BANK_ADDR)를 뱅크 제어 로직(230)에 제공하고, 수신된 로우 어드레스(ROW_ADDR)를 로우 어드레스 멀티플렉서(240)에 제공하며, 수신된 컬럼 어드레스(COL_ADDR)를 컬럼 어드레스 래치(250)에 제공할 수 있다.

[0066] 뱅크 제어 로직(230)은 뱅크 어드레스(BANK_ADDR)에 응답하여 뱅크 제어 신호들을 생성할 수 있다. 상기 뱅크 제어 신호들에 응답하여, 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크 로우 디코더가 활성화되고, 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크 컬럼 디코더가 활성화될 수 있다.

[0067] 로우 어드레스 멀티플렉서(240)는 어드레스 레지스터(220)로부터 로우 어드레스(ROW_ADDR)를 수신하고, 리프레

쉬 제어 회로(400)로부터 리프레쉬 로우 어드레스(REF_ADDR)를 수신할 수 있다. 로우 어드레스 멀티플렉서(240)는 로우 어드레스(ROW_ADDR) 또는 리프레쉬 로우 어드레스(REF_ADDR)를 선택적으로 출력할 수 있다. 로우 어드레스 멀티플렉서(240)로부터 출력된 로우 어드레스는 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d)에 각각 인가될 수 있다.

- [0068] 제1 내지 제4 뱅크 로우 디코더들(260a, 260b, 260c, 260d) 중 뱅크 제어 로직(230)에 의해 활성화된 뱅크 로우 디코더는 로우 어드레스 멀티플렉서(240)로부터 출력된 로우 어드레스를 디코딩하여 상기 로우 어드레스에 상응하는 워드 라인을 활성화할 수 있다. 예를 들어, 상기 활성화된 뱅크 로우 디코더는 로우 어드레스에 상응하는 워드 라인에 워드 라인 구동 전압을 인가할 수 있다.
- [0069] 컬럼 어드레스 래치(250)는 어드레스 레지스터(220)로부터 컬럼 어드레스(COL_ADDR)를 수신하고, 수신된 컬럼 어드레스(COL_ADDR)를 일시적으로 저장할 수 있다. 또한, 컬럼 어드레스 래치(250)는, 버스트 모드에서, 수신된 컬럼 어드레스(COL_ADDR)를 점진적으로 증가시킬 수 있다. 컬럼 어드레스 래치(250)는 일시적으로 저장된 또는 점진적으로 증가된 컬럼 어드레스(COL_ADDR)를 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d)에 각각 인가할 수 있다.
- [0070] 제1 내지 제4 뱅크 컬럼 디코더들(270a, 270b, 270c, 270d) 중 뱅크 제어 로직(230)에 의해 활성화된 뱅크 컬럼 디코더는 입출력 게이팅 회로(290)를 통하여 뱅크 어드레스(BANK_ADDR) 및 컬럼 어드레스(COL_ADDR)에 상응하는 센스 앰프를 활성화시킬 수 있다.
- [0071] 입출력 게이팅 회로(290)는 입출력 데이터를 게이팅하는 회로들과 함께, 입력 데이터 마스크 로직, 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)로부터 출력된 데이터를 저장하기 위한 독출 데이터 래치들, 및 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d)에 데이터를 기입하기 위한 기입 드라이버들을 포함할 수 있다.
- [0072] 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d) 중 하나의 뱅크 어레이에서 독출될 데이터(DQ)는 상기 하나의 뱅크 어레이에 상응하는 센스 앰프에 의해 감지되고, 상기 독출 데이터 래치들에 저장될 수 있다. 상기 독출 데이터 래치들에 저장된 데이터(DQ)는 데이터 입출력 버퍼(295)를 통하여 상기 메모리 컨트롤러에 제공될 수 있다. 제1 내지 제4 뱅크 어레이들(280a, 280b, 280c, 280d) 중 하나의 뱅크 어레이에 기입될 데이터(DQ)는 상기 메모리 컨트롤러로부터 데이터 입출력 버퍼(295)에 제공될 수 있다. 데이터 입출력 버퍼(295)에 제공된 데이터(DQ)는 상기 기입 드라이버들을 통하여 상기 하나의 뱅크 어레이에 기입될 수 있다.
- [0073] 제어 로직(210)은 휘발성 메모리 장치(200)의 동작을 제어할 수 있다. 예를 들어, 제어 로직(210)은 휘발성 메모리 장치(200)가 기입 동작 또는 독출 동작을 수행하도록 제어 신호들을 생성할 수 있다. 제어 로직(210)은 상기 메모리 컨트롤러로부터 수신되는 커맨드(CMD)를 디코딩하는 커맨드 디코더(211) 및 휘발성 메모리 장치(200)의 동작 모드를 설정하기 위한 모드 레지스터(212)를 포함할 수 있다. 예를 들어, 커맨드 디코더(211)는 기입 인에이블 신호(/WE), 로우 어드레스 스트로브 신호(/RAS), 컬럼 어드레스 스트로브 신호(/CAS), 칩 선택 신호(/CS) 등을 디코딩하여 커맨드(CMD)에 상응하는 상기 제어 신호들을 생성할 수 있다. 또한, 제어 로직(210)은 동기 방식으로 휘발성 메모리 장치(200)를 구동하기 위한 클록 신호(CLK) 및 클록 인에이블 신호(/CKE)를 더 수신할 수 있다. 또한, 제어 로직(210)은 리프레쉬 커맨드(REF)에 응답하여 리프레쉬 제어 회로(400)가 오토 리프레쉬 동작을 수행하도록 제어하거나, 셀프 리프레쉬 진입 커맨드(SRE)에 응답하여 리프레쉬 제어 회로(400)가 셀프 리프레쉬 동작을 수행하도록 제어할 수 있다.
- [0074] 어드레스 저장부(225)는 적어도 하나의 워크 셀 로우에 대한 어드레스 정보(ADDR_INFO)를 저장할 수 있다. 어드레스 저장부(225)에 저장된 어드레스 정보(ADDR_INFO)의 수는 메모리 셀 어레이에 포함된 워크 셀 로우의 수에 상응할 수 있다. 일 실시예에서, 어드레스 정보(ADDR_INFO)는 휘발성 메모리 장치의 패키징 전에 어드레스 저장부(225)에 저장될 수 있다. 다른 실시예에서, 어드레스 정보(ADDR_INFO)는 상기 휘발성 메모리 장치의 패키징 후에 어드레스 저장부(225)에 저장될 수 있다. 실시예에 따라, 어드레스 저장부(225)는 전기적 프로그래머블 퓨즈 메모리, 레이저-프로그래머블 퓨즈 메모리, 안티-퓨즈 메모리, 원-타임 프로그래머블 메모리, 플래시 메모리 등과 같은 다양한 종류의 불휘발성 메모리 장치들로 구현될 수 있다.
- [0075] 어드레스 비교부(300)는 어드레스 레지스터(220)로부터 수신된 로우 어드레스(ROW_ADDR)를 어드레스 저장부(225)로부터 독출된 어드레스 정보(ADDR_INFO)와 비교할 수 있다. 어드레스 비교부(300)는 상기 비교의 결과에 기초하여 제1 매치 신호(MATCH1)를 생성할 수 있다. 예를 들어, 메모리 셀 로우에 데이터를 기입하기 위한 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 워크 셀 로우 어드레스가 일치하지 않는

경우, 어드레스 비교부(330)는 제1 로직 레벨의 제1 매치 신호(MATCH1)를 스위치(227)와 리프레쉬 제어 회로(400)에 제공할 수 있다. 예를 들어, 메모리 셀 로우에 데이터를 기입하기 위한 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하는 경우, 어드레스 비교부(330)는 제2 로직 레벨의 제1 매치 신호(MATCH1)를 스위치(227)와 리프레쉬 제어 회로(400)에 제공할 수 있다.

[0076] 스위치(227)는 제1 매치 신호(MATCH1)의 논리 레벨에 따라 어드레스 저장부(225)로부터 독출된 어드레스 정보(ADDR_INFO)를 선택적으로 리프레쉬 제어 회로(400)에 제공할 수 있다. 예를 들어, 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하지 않아 제1 매치 신호(MATCH1)가 제1 로직 레벨을 갖는 경우, 스위치(227)는 어드레스 정보(ADDR_INFO)를 리프레쉬 제어 회로(400)에 제공하지 않을 수 있다. 예를 들어, 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하여 제1 매치 신호(MATCH1)가 제2 로직 레벨을 갖는 경우, 스위치(227)는 어드레스 정보(ADDR_INFO)를 리프레쉬 제어 회로(400)에 제공할 수 있다.

[0077] 리프레쉬 제어 회로(400)는 제1 매치 신호(MATCH1)가 나타내는 상기 제1 비교의 결과에 따라 상기 메모리 셀 로우들을 순차적으로 리프레쉬 하거나 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스에 상승하는 위크 셀 로우의 리프레쉬를 제어할 수 있다. 예를 들어, 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하지 않아 제1 매치 신호(MATCH1)가 제1 로직 레벨을 갖는 경우, 어드레스 제어 회로(400)는 메모리 셀 로우들을 순차적으로 리프레쉬할 수 있다. 예를 들어, 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하여 제1 매치 신호(MATCH1)가 제2 로직 레벨을 갖는 경우, 리프레쉬 제어 회로(400)는 위크 셀 로우의 포즈 타임(pause time)이 단축되도록 위크 셀 로우의 리프레쉬를 제어할 수 있다.

[0078] 도 6은 본 발명의 일 실시예에 따른 도 5의 어드레스 저장부와 어드레스 비교부를 나타낸다.

[0079] 도 6을 참조하면, 어드레스 저장부(225a)는 위크 셀 로우 어드레스(WEAK_ADDR_1)를 저장하는 제1 저장 영역(227a)을 포함할 수 있다. 실시예에 따라, 어드레스 저장부(225)는 전기적 프로그래머블 퓨즈 메모리, 레이저-프로그래머블 퓨즈 메모리, 안티-퓨즈 메모리, 원-타임 프로그래머블 메모리, 플래시 메모리 등과 같은 다양한 종류의 불휘발성 메모리 장치들로 구현될 수 있다.

[0080] 어드레스 비교부(300a)는 어드레스 레지스터(220)부터 로우 어드레스(ROW_ADDR)를 수신하고, 어드레스 저장부(225a)로부터 위크 셀 로우 어드레스(WEAK_ADDR_1)를 수신할 수 있다. 어드레스 비교부(300a)는 로우 어드레스(ROW_ADDR)와 위크 셀 로우 어드레스(WEAK_ADDR_1)를 비교하여 제1 매치 신호(MATCH1)를 생성할 수 있다.

[0081] 어드레스 비교부(300a)는 복수의 비교기들(311a, 312a, 31Na) 및 앤드 게이트(320)를 포함할 수 있다. 제1 비교기(311a)는 로우 어드레스(ROW_ADDR)의 제1 비트(RA1)와 위크 셀 로우 어드레스(WEAK_ADDR_1)의 제1 비트(WA1)를 비교하고, 제2 비교기(312a)는 리프레쉬 로우 어드레스(ROW_ADDR)의 제2 비트(RA2)와 위크 셀 로우 어드레스(WEAK_ADDR_1)의 제2 비트(WA2)를 비교하고, 제N 비교기(31Na)는 로우 어드레스(ROW_ADDR)의 제N 비트(RAN)와 위크 셀 로우 어드레스(WEAK_ADDR_1)의 제N 비트(WAN)를 비교하고, AND 게이트(320a)는 제1 내지 제N 비교기들(311a, 312a, 31Na)의 출력 신호들에 AND 연산을 수행하여 제1 매치 신호(MATCH1)를 생성할 수 있다. 따라서 제1 매치 신호(MATCH1)는 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하지 않는 경우 제1 로직 레벨을 갖을 수 있고, 기입 로우 어드레스(ROW_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하는 경우 제2 로직 레벨을 갖을 수 있다.

[0082] 도 7은 본 발명의 일 실시예에 따른 도 5의 리프레쉬 제어 회로의 구성을 나타내는 블록도이다.

[0083] 도 7을 참조하면, 리프레쉬 제어 회로(400a)는 리프레쉬 카운터(410a), 어드레스 비교부(420a) 및 리프레쉬 로우 어드레스 출력부(430a)를 포함하여 구성될 수 있다.

[0084] 리프레쉬 카운터(410a)는 상기 복수의 메모리 셀 로우들을 순차적으로 리프레쉬 하기 위한 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 생성할 수 있다. 리프레쉬 카운터(410a)는 N 비트 카운터로 구성되어 N 비트의 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 생성할 수 있다.

[0085] 어드레스 비교부(420a)는 제1 매치 신호(MATCH1)가 제2 로직 레벨을 갖는 경우 활성화되어, 어드레스 저장부(225a)로부터 독출되는 어드레스 정보(ADDR_INFO)와 리프레쉬 로우 어드레스 출력부(430a)로부터 로우 어드레스 멀티플렉서(240)에 제공되는 리프레쉬 로우 어드레스(REF_ADDR)를 비교하고, 상기 비교 결과에 따른 제2 매치 신호(MATCH2)를 생성한다. 예를 들어, 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하지 않는 경우, 어드레스 비교부(420a)는 제1 로직

레벨의 제2 매치 신호(MATCH2)를 제공할 수 있다. 예를 들어, 어드레스 정보(ADDR_INFO)에 포함되는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하는 경우, 어드레스 비교부(420a)는 제2 로직 레벨의 제2 매치 신호(MATCH2)를 제공할 수 있다.

[0086] 리프레쉬 로우 어드레스 출력부(430a)는 제1 내지 제4 스위치들(435, 436, 438, 439) 및 지연 소자(437)를 포함하여 구성될 수 있다. 제4 스위치(439)는 제1 매치 신호(MATCH1)가 제1 로직 레벨을 갖는 경우 연결되고, 제1 매치 신호(MATCH)가 제2 로직 레벨을 갖는 경우 분리될 수 있다. 즉 제4 스위치(439)는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하지 않는 경우, 제1 로직 레벨의 제1 매치 신호(MATCH)에 응답하여 연결되고, 상기 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다. 제1 및 제2 스위치들(435, 436)은 제2 매치 신호(MATCH2)가 제1 로직 레벨을 갖는 경우에 연결되고, 제2 매치 신호(MATCH2)가 제2 로직 레벨을 갖는 경우에 분리될 수 있다. 지연 소자(437)는 인접한 메모리 셀 로우들의 리프레쉬 간격만큼의 지연 시간을 가지고 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 지연시킬 수 있다. 제3 스위치(438)는 제2 매치 신호(MATCH2)가 제1 로직 레벨을 갖는 경우 제2 스위치(436)에 연결되고, 제2 매치 신호(MATCH2)가 제2 로직 레벨을 갖는 경우 지연 소자(437)에 연결될 수 있다.

[0087] 즉, 리프레쉬 로우 어드레스 출력부(430a)는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하지 않는 경우에 제1 매치 신호(MATCH1)가 제1 로직 레벨이므로 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다. 또한 리프레쉬 로우 어드레스 출력부(430a)는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하고, 워크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하지 않는 경우에 제1 매치 신호(MATCH1)가 제2 로직 레벨이고, 제2 매치 신호(MATCH2)가 제1 로직 레벨이므로, 상기 워크 셀 로우 어드레스(WEAK_ADDR_1)를 어드레스 멀티플렉서(240)에 제공함과 동시에 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다. 이 경우에 워크 셀 로우 어드레스(WEAK_ADDR_1)에 해당하는 제k 메모리 셀 로우의 워드라인과 리프레쉬 로우 어드레스(REF_ADDR)에 해당하는 제(k+1) 메모리 셀 로우의 워드라인이뱅크 로우 디코더에 의하여 동시에 활성화되어 제k 메모리 셀 로우와 제(k+1) 메모리 셀 로우가 동시에 리프레쉬될 수 있다. 또한 리프레쉬 로우 어드레스 출력부(430a)는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하고, 워크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하는 경우에 제1 매치 신호(MATCH1)가 제2 로직 레벨이고, 제2 매치 신호(MATCH2)가 제2 로직 레벨이므로, 지연된 내부 리프레쉬 로우 어드레스를 연속적으로 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다.

[0088] 도 8은 본 발명의 일 실시예에 따른 도 5의 리프레쉬 제어 회로의 구성을 나타내는 블록도이다.

[0089] 도 8을 참조하면, 리프레쉬 제어 회로(400b)는 리프레쉬 카운터(410b), 어드레스 비교부(420b) 및 리프레쉬 로우 어드레스 출력부(430b)를 포함하여 구성될 수 있다.

[0090] 리프레쉬 카운터(410b)는 상기 복수의 메모리 셀 로우들을 순차적으로 리프레쉬 하기 위한 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 생성할 수 있다. 리프레쉬 카운터(410b)는 N 비트 카운터로 구성되어 N 비트의 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 생성할 수 있다.

[0091] 어드레스 비교부(420b)는 제1 매치 신호(MATCH1)가 제2 로직 레벨을 갖는 경우 활성화되어, 어드레스 저장부(225a)로부터 독출되는 어드레스 정보(ADDR_INFO)와 리프레쉬 로우 어드레스 출력부(430b)로부터 로우 어드레스 멀티플렉서(240)에 제공되는 리프레쉬 로우 어드레스(REF_ADDR)를 비교하, 상기 비교 결과에 따른 제2 매치 신호(MATCH2)를 생성한다. 예를 들어, 어드레스 정보(ADDR_INFO)에 포함되는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하지 않는 경우, 어드레스 비교부(420b)는 제1 로직 레벨의 제2 매치 신호(MATCH2)를 제공할 수 있다. 예를 들어, 어드레스 정보(ADDR_INFO)에 포함되는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하는 경우, 어드레스 비교부(420b)는 제2 로직 레벨의 제2 매치 신호(MATCH2)를 제공할 수 있다.

[0092] 리프레쉬 로우 어드레스 출력부(430b)는 제1 및 제2 스위치들(441, 447), 지연 소자(443) 및 멀티플렉서(445)를 포함하여 구성될 수 있다. 제2 스위치(447)는 제1 매치 신호(MATCH1)가 제1 로직 레벨을 갖는 경우 연결되고, 제1 매치 신호(MATCH)가 제2 로직 레벨을 갖는 경우 분리될 수 있다. 즉 제2 스위치(447)는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하지 않는 경우, 제1 로직 레벨의 제1 매치 신호(MATCH)에 응답하여 연결되고, 상기 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 리프레쉬 로우 어드레스

(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다. 제1 스위치(441)는 제2 매치 신호(MATCH2)가 제1 로직 레벨을 갖는 경우에 연결되고, 제2 매치 신호(MATCH2)가 제2 로직 레벨을 갖는 경우에 분리될 수 있다. 지연 소자(443)는 tRC(active to active)만큼의 지연 시간을 가지고 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 지연시킬 수 있다. 멀티플렉서(445)는 제2 매치 신호(MATCH2)가 제1 로직 레벨을 갖는 경우에 제1 입력 단자에 인가되는 입력을 선택할 수 있고, 제2 매치 신호(MATCH2)가 제2 로직 레벨을 갖는 경우에 제2 입력 단자에 인가되는 입력을 선택할 수 있다.

[0093] 즉, 리프레쉬 로우 어드레스 출력부(430b)는 위크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하지 않는 경우에 제1 매치 신호(MATCH1)가 제1 로직 레벨이므로 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다. 또한 리프레쉬 로우 어드레스 출력부(430b)는 위크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하고, 위크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하지 않는 경우에 제1 매치 신호(MATCH1)가 제2 로직 레벨이고, 제2 매치 신호(MATCH2)가 제1 로직 레벨이므로, 상기 위크 셀 로우 어드레스(WEAK_ADDR_1)를 어드레스 멀티플렉서(240)에 제공함과 동시에 내부 리프레쉬 로우 어드레스(CNT_ADDR)를 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다. 또한 리프레쉬 로우 어드레스 출력부(430b)는 위크 셀 로우 어드레스(WEAK_ADDR_1)와 기입 로우 어드레스(ROW_ADDR)가 일치하고, 위크 셀 로우 어드레스(WEAK_ADDR_1)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하는 경우에 제1 매치 신호(MATCH1)가 제2 로직 레벨이고, 제2 매치 신호(MATCH2)가 제2 로직 레벨이므로, 지연된 내부 리프레쉬 로우 어드레스를 리프레쉬 로우 어드레스(REF_ADDR)로서 어드레스 멀티플렉서(240)에 제공할 수 있다.

[0094] 도 9는 본 발명의 일 실시예에 따른 도 7의 어드레스 비교부의 구성을 나타내는 회로도이다.

[0095] 도 9를 참조하면, 어드레스 비교부(420a)는 복수의 비교기들(4211, 4212, 421N) 및 앤드 게이트(422)를 포함할 수 있다. 제1 비교기(4211)는 리프레쉬 로우 어드레스(REF_ADDR)의 제1 비트(RFA1)와 위크 셀 로우 어드레스(WEAK_ADDR_1)의 제1 비트(WA1)를 비교하고, 제2 비교기(4212)는 리프레쉬 로우 어드레스(ROW_ADDR)의 제2 비트(RFA2)와 위크 셀 로우 어드레스(WEAK_ADDR_1)의 제2 비트(WA2)를 비교하고, 제N 비교기(421N)는 로우 어드레스(ROW_ADDR)의 제N 비트(RFAN)와 위크 셀 로우 어드레스(WEAK_ADDR_1)의 제N 비트(WAN)를 비교하고, AND 게이트(422)는 제1 내지 제N 비교기들(4211, 4212, 421N)의 출력 신호들에 AND 연산을 수행하여 제2 매치 신호(MATCH2)를 생성할 수 있다. 따라서 제2 매치 신호(MATCH2)는 리프레쉬 로우 어드레스(REF_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하지 않는 경우 제1 로직 레벨을 갖을 수 있고, 리프레쉬 로우 어드레스(REF_ADDR)와 어드레스 정보(ADDR_INFO)에 포함되는 위크 셀 로우 어드레스가 일치하는 경우 제2 로직 레벨을 갖을 수 있다.

[0096] 도 9에서는 도 7의 어드레스 비교부(420a)에 대하여 설명하였지만 도 8의 어드레스 비교부(420b)도 도 7의 어드레스 비교부(420a)와 실질적으로 동일한 구성을 갖을 수 있다.

[0097] 도 10 내지 도 12는 각각 본 발명의 실시예에 따른 휘발성 메모리 장치의 동작을 설명하기 위한 도면들이다.

[0098] 도 10에서는 위크 셀 로우 어드레스(WEAK_ADDR)와 리프레쉬 로우 어드레스(REF_ADDR)가 서로 다른 경우를 설명한다.

[0099] 도 10을 참조하면, 먼저 제k 리프레쉬 로우 어드레스에 따라 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된다. 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된 후에 위크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 위크 셀 로우에 기입 명령(WR)이 수신되어 위크 셀 로우에 데이터가 기입된다. 여기서는 위크 셀 로우 어드레스(WEAK_ADDR)와 리프레쉬 로우 어드레스(REF_ADDR)가 다르므로 상기 정해진 시간 내에서 제k 리프레쉬 로우 어드레스 이후의 리프레쉬 로우 어드레스들 중 하나인 제(k+i) 메모리 셀 로우(WL_K+i)에 대하여 리프레쉬가 수행될 때 동시에 위크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 위크 셀 로우를 리프레쉬(REF)한다. 다음에 제(k+i) 리프레쉬 로우 어드레스에 연속하는 제(k+i+1) 리프레쉬 로우 어드레스에 상응하는 제(k+i+1) 메모리 셀 로우(WL_K+i+1)에 대하여 리프레쉬가 수행된다.

[0100] 도 11 및 12에서는 위크 셀 로우 어드레스(WEAK_ADDR)와 리프레쉬 로우 어드레스(REF_ADDR)가 서로 일치하는 경우를 설명한다.

[0101] 도 11을 참조하면, 먼저 제k 리프레쉬 로우 어드레스에 따라 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된다. 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된 후에 위크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 위크 셀 로우에 기입 명령(WR)이 수신되어 위크 셀 로우에 데이터가 기입된다. 여기서는 위크 셀 로우 어드레스(WEAK_ADDR)와 리프레쉬 로우 어드레스(REF_ADDR)가 일치하므로 위크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 위크 셀 로우에 대하여 리프레쉬가 수행된다.

드레스(WEAK_ADDR)와 리프레쉬가 수행된 제k 리프레쉬 로우 어드레스(REF_ADDR)가 서로 일치하므로, 상기 정해진 시간 내에서 제k 리프레쉬 로우 어드레스 이후의 리프레쉬 로우 어드레스들 중 하나인 제(k+i) 리프레쉬 로우 어드레스에 상응하는 제(k+i) 메모리 셀 로우(WL_K+i)에 대하여 리프레쉬가 수행되어야 하는 타이밍에 워크 셀 로우 어드레스(WEAK_ADDR)에 상응하는 제k 메모리 셀 로우에 대하여 먼저 리프레쉬(REF)를 수행한다. 워크 셀 로우 어드레스(WEAK_ADDR)에 상응하는 제k 메모리 셀 로우에 대하여 먼저 리프레쉬(REF)가 수행되고 인접한 메모리 셀 로우들의 리프레쉬 인터벌에 해당하는 시간이 지난 후에 연기된 제(k+i) 리프레쉬 로우 어드레스에 상응하는 제(k+i) 메모리 셀 로우(WL_K+i)를 리프레쉬한다.

[0102] 도 12를 참조하면, 먼저 제k 리프레쉬 로우 어드레스에 따라 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된다. 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된 후에 워크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 워크 셀 로우에 기입 명령(WR)이 수신되어 워크 셀 로우에 데이터가 기입된다. 여기서는 워크 셀 로우 어드레스(WEAK_ADDR)와 제k 리프레쉬 로우 어드레스(REF_ADDR)가 서로 일치하므로, 상기 정해진 시간 내에서 제k 리프레쉬 로우 어드레스 이후의 리프레쉬 로우 어드레스들 중 하나인 제(k+i) 리프레쉬 로우 어드레스에 상응하는 제(k+i) 메모리 셀 로우(WL_K+i)에 대하여 리프레쉬가 수행되어야 하는 타이밍에 워크 셀 로우 어드레스(WEAK_ADDR)에 상응하는 제k 메모리 셀 로우를 먼저 활성화하고 프리차지한다(ACT/PRE). 제k 메모리 셀 로우를 먼저 활성화하고 프리차지한 후에 tRC의 시간이 지난 후에 연기된 제(k+i) 리프레쉬 로우 어드레스에 상응하는 제(k+i) 메모리 셀 로우(WL_K+i)를 리프레쉬한다. 다음에 제(k+i) 리프레쉬 로우 어드레스에 연속하는 제(k+i+1) 리프레쉬 로우 어드레스에 상응하는 제(k+i+1) 메모리 셀 로우(WL_K+i+1)에 대하여 리프레쉬가 수행된다.

[0103] 이와 같이 본 발명의 실시예에 따른 휘발성 메모리 장치에서는 페일 비트의 수가 증가하는 것을 방지하기 위하여 워크 셀을 포함하는 워크 셀 로우가 리프레쉬 된 후 워크 셀 로우에 데이터가 기입되는 경우, 워크 셀 로우를 워크 셀에 기입된 데이터가 손실되기 전에 미리 정해진 시간 내에서 상기 제k 메모리 셀 로우 이후에 리프레쉬되는 메모리 셀 로우들 중 하나를 리프레쉬할 때 동시에 리프레쉬하거나 상기 제k 메모리 셀 로우 이후의 메모리 셀 로우들 중 하나를 리프레쉬할 타이밍에 활성화하고 프리차지하여워크 셀 로우의 데이터를 재기입함으로써 포즈 타임을 최소화시킬 수 있다.

[0104] 도 13은 본 발명의 다른 실시예에 따른 도 5의 어드레스 저장부와 어드레스 비교부의 예를 나타내는 도면이다.

[0105] 도 13을 참조하면, 어드레스 저장부(225b)는 워크 셀 로우 어드레스(WEAK_ADDR_1)를 저장하는 제1 저장 영역(227b) 및 뱅크 정보로서 뱅크 어드레스(BANK_ADDR)를 저장하는 제2 저장 영역(229b)을 포함할 수 있다.

[0106] 어드레스 비교부(300b)는 어드레스 레지스터(220)부터 로우 어드레스(ROW_ADDR)를 수신하고, 어드레스 저장부(225b)로부터 워크 셀 로우 어드레스(WEAK_ADDR_1) 및 뱅크 어드레스(BANK_ADDR)를 수신할 수 있다. 어드레스 비교부(300b)는 로우 어드레스(ROW_ADDR)와 워크 셀 로우 어드레스(WEAK_ADDR_1)를 비교한 결과에 기초하여 제1 매치 신호(MATCH1)를 뱅크들(265a, 365d) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크에 제공할 수 있다.

[0107] 어드레스 비교부(300b)는 복수의 비교기들(311b, 312b, 31Nb), 앤드 게이트(320b) 및 디멀티플렉서(330b)를 포함할 수 있다. 복수의 비교기들(311b, 312b, 31Nb)들 및 앤드 게이트(320b)는 기입 로우 어드레스(ROW_ADDR)와 워크 셀 로우 어드레스(WEAK_ADDR_1)가 일치하는 경우에 제2 로직 레벨을 갖는 제1 매치 신호(MATCH1)를 디멀티플렉서(330b)에 제공할 수 있다. 디멀티플렉서(330b)는 뱅크 어드레스(BANK_ADDR)에 응답하여 제1 매치 신호(MATCH1)를 복수의 제1 뱅크 매치 신호들(MATCH1_A~MATCH1_D) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크 매치 신호로서 출력할 수 있다. 이에 따라, 복수의 뱅크들(265a~265d) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크에 제1 매치 신호(MATCH1)가 인가될 수 있다.

[0108] 이에 따라, 뱅크 매치 신호들(MATCH1_A~MATCH1_D) 중 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크에 대한 뱅크 매치 신호만이 활성화될 수 있으므로 어드레스 제어 회로(400)는 뱅크 어드레스(BANK_ADDR)에 상응하는 뱅크에서만 워크 셀 로우 어드레스와 상기 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 상기 워크 셀 로우의 리프레쉬를 제어하고(상기 워크 셀 로우를 선택적으로 리프레쉬하고) 다른 뱅크들에서는 제1 리프레쉬 로우 어드레스에 연속하는 제2 리프레쉬 로우 어드레스에 상응하는 제2 메모리 셀 로우를 리프레쉬할 수 있다.

[0109] 도 14는 본 발명의 일 실시예에 따른 휘발성 메모리 장치의 동작 방법을 나타내는 흐름도이다.

[0110] 도 14의 흐름도는 도 13의 어드레스 저장부(225b)와 어드레스 비교부(300b)가 도 5의 휘발성 메모리 장치에 포함되는 경우에 휘발성 메모리 장치(200)의 동작 방법에 적용될 수 있다.

[0111] 도 13 및 도 14를 참조하면, 먼저 어드레스 저장부(225b)에 어드레스 정보(ADDR_INFO)를 저장한다(S410). 여기

서 어드레스 정보(ADDR_INFO)는 적어도 하나의 워크 셀 로우를 포함하는 워크 셀 로우 어드레스(WEAK_ADDR_1)와 बैं크 어드레스(BANK_ADDR)를 포함할 수 있다. 이러한 어드레스 정보(ADDR_INFO)는 휘발성 메모리 장치(200)의 패키징 전 또는 후에 어드레스 저장부(225b)에 저장될 수 있다. 다음에 리프레쉬 로우 어드레스를 생성한다(S420). 이러한 리프레쉬 로우 어드레스 생성에 의하여 리프레쉬 동작이 개시된다.

[0112] 생성된 리프레쉬 로우 어드레스들 중 제k 리프레쉬 로우 어드레스에 따라 상기 휘발성 메모리 장치에 포함되는 복수의 메모리 셀 로우들 중 제k 메모리 셀 로우를 리프레쉬한다(S430). 메모리 셀 로우들에 대한 리프레쉬가 수행되는 도중(즉, 제k 리프레쉬 로우 어드레스에 상응하는 제k 메모리 셀 로우를 리프레쉬 한 후 제k 메모리 셀 로우를 리프레쉬 하기 전에 상기 제k 메모리 셀 로우에 대한 기입 명령에 따라 상기 제k 메모리 셀 로우에 데이터를 기입하는 경우) 다음에 상기 휘발성 메모리 장치에 포함되는 복수의 메모리 셀 로우들 중 하나의 메모리 셀 로우에 데이터를 기입하기 위한 기입 로우 어드레스와 상기 워크 셀 로우 어드레스를 비교한다(S440). 상기 비교의 결과 상기 기입 로우 어드레스와 상기 셀 로우 어드레스가 일치하지 않는 경우(S440에서 NO), 모든 बैं크들(380a~380d)에서 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다(S450). 상기 비교의 결과 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스가 일치하는 경우(S440에서 YES), बैं크 정보에 상응하는 적어도 하나의 बैं크에서는 워크 셀 로우 어드레스와 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우의 리프레쉬를 제어하고, 나머지 बैं크들에서는 상기 제k 리프레쉬 로우 어드레스에 연속하는 제(k+1) 리프레쉬 로우 어드레스에 상응하는 제(k+1) 메모리 셀 로우를 리프레쉬한다(S460).

[0113] 상술한 바와 같이, 도 13 및 도 14를 참조하면, बैं크 어드레스(BANK_ADDR)를 이용하여 बैं크 어드레스(BANK_ADDR)에 상응하는 बैं크에서만 워크 셀 로우 어드레스와 제k 리프레쉬 로우 어드레스의 일치여부에 기초하여 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우의 리프레쉬를 제어하여(워크 셀 로우를 선택적으로 리프레쉬하여) 포즈 타임(pause time)을 감소시킬 수 있다.

[0114] 도 15는 본 발명의 다른 실시예에 따른 도 5의 어드레스 저장부와 어드레스 비교부의 예를 나타내는 도면이다.

[0115] 도 15를 참조하면, 휘발성 메모리 장치(200)는 복수의 어드레스 저장부들(511~51M), 복수의 비교부들(521~52M) 및 OR 연산부(530)를 포함하여 구성될 수 있다.

[0116] 복수의 어드레스 저장부들(511~51M)은 복수의 워크 셀 로우들에 대한 복수의 어드레스 정보들(ADDR_INFO_1~ADDR_INFO_M)을 각각 저장할 수 있다. 실시예에 따라, 복수의 어드레스 저장부들(511~51M)은 하나의 저장 장치로 구현되거나, 복수의 저장 장치들로 구현될 수 있다. 예를 들어, 각 저장 장치는 전기적 프로그래머블 퓨즈 메모리, 레이저-프로그래머블 퓨즈 메모리, 안티-퓨즈 메모리, 원-타임 프로그래머블 메모리, 플래시 메모리 등과 같은 다양한 종류의 불휘발성 메모리 장치들 중 하나일 수 있다.

[0117] 복수의 비교부들(521~52M)은 복수의 어드레스 저장부들(511~51M)에 각각 연결되고, 어드레스 레지스터(220)로부터 수신된 리프레쉬 로우 어드레스(REF_ADDR)를 복수의 어드레스 저장부들(511~51M)로부터 독출된 복수의 어드레스 정보들(ADDR_INFO_1~ADDR_INFO_M)과 각각 비교할 수 있다. 복수의 비교부들(521~52M)은 상기 비교의 결과에 기초하여 복수의 매치 신호들(MATCH11~MATCH1M)을 각각 생성할 수 있다.

[0118] OR 연산부(530)는 복수의 비교부들(521~52M)로부터 수신된 복수의 매치 신호들(MATCH11~MATCH1M)에 OR 연산을 수행하여 제1 매치 신호(MATCH1)를 생성할 수 있다.

[0119] 도 16은 본 발명의 일 실시예에 따른 메모리 시스템의 제어 방법을 나타내는 흐름도이다.

[0120] 도 16을 참조하면, 본 발명의 일 실시예에 따른 메모리 시스템의 제어 방법에서는 메모리 시스템의 파워-업 시퀀스 동안에 어드레스 정보를 휘발성 메모리 장치로부터 메모리 컨트롤러에 전송한다(S510). 여기서 상기 어드레스 정보는 상기 휘발성 메모리 장치의 어드레스 저장부로부터 상기 메모리 컨트롤러의 어드레스 비교부에 전달될 수 있다. 상기 메모리 컨트롤러의 어드레스 비교부에서 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스와 상기 휘발성 메모리 장치의 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스를 비교한다(S520). 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스와 일치하지 않는 경우(S520에서 NO), 상기 메모리 컨트롤러가 상기 휘발성 메모리 장치를 제어하여 상기 메모리 셀 로우들이 리프레쉬 되도록한다(S530). 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스와 일치하는 경우(S520에서 YES), 상기 메모리 컨트롤러에 포함되는 커맨드 큐의 아이들 상태 여부에 기초하여 상기 워크 셀 로우의 어드레스를 제어한다(S540).

[0121] 즉 본 발명의 실시예에 따른 도 16의 메모리 시스템의 제어 방법에서는 도 1의 휘발성 메모리 장치의 동작 방법

과 유사하게 메모리 컨트롤러의 어드레스 비교부에서 기입 로우 어드레스와 워크 셀 로우 어드레스를 비교하지만, 기입 로우 어드레스와 워크 셀 로우 어드레스가 일치하는 경우 메모리 컨트롤러에 포함되는 커맨드 큐의 아이들 상태 여부에 기초하여 상기 워크 셀 로우의 어드레스를 제어한다는 점에서 차이가 있다.

- [0122] 도 17은 도 16의 단계(S540)를 보다 상세히 나타내는 흐름도이다.
- [0123] 도 17을 참조하면, 기입 로우 어드레스와 워크 셀 로우 어드레스가 일치하는 경우 메모리 컨트롤러에 포함되는 커맨드 큐의 아이들 상태 여부에 기초하여 상기 워크 셀 로우의 어드레스를 제어하기 위하여, 먼저 상기 메모리 컨트롤러의 커맨드 큐가 아이들 상태인지 여부를 제1 판단한다(S541). 여기서 커맨드 큐가 아이들 상태라는 것은 메모리 컨트롤러가 휘발성 메모리 장치에 아무런 동작도 수행하고 있지 않음을 의미한다.
- [0124] 상기 제1 판단의 결과로서 상기 커맨드 큐가 아이들 상태에 있으면(S541에서 YES), 워크 셀 로우 어드레스에 상응하는 워크 셀 로우를 활성화하고 프리차지할 것을 결정한다(S542). 단계(S542)에서의 결정에 따라 메모리 컨트롤러는 상기 휘발성 메모리 장치에 상기 워크 셀 로우에 대하여 리프레시를 수행하지 말라는 리프레시 스킵 정보를 전달한다(S543).
- [0125] 상기 제1 판단의 결과로서 상기 커맨드 큐가 아이들 상태가 아니라 비지 상태이면(S541에서 NO), 상기 커맨드 큐에 저장된 커맨드에 따른 동작을 수행한다(S544). 다음에 상기 수행된 커맨드에 리프레시 커맨드가 포함되어 있는지 여부를 제2 판단한다(S545). 상기 제2 판단의 결과로서 상기 수행된 커맨드에 리프레시 커맨드가 포함되어 있지 않아 리프레시가 수행되지 않았으면(S545에서 NO), 단계(S541)로 복귀한다. 상기 제2 판단의 결과로서 상기 수행된 커맨드에 리프레시 커맨드가 포함되어 있어 리프레시가 수행되었으면(S545에서 YES), 상기 메모리 컨트롤러는 휘발성 메모리 장치의 어드레스 제어 회로가 상기 워크 셀 로우 어드레스에 상응하는 워크 셀 로우에 대하여 리프레시를 수행하도록 상기 휘발성 메모리 장치를 제어한다(S546).
- [0126] 도 18은 본 발명의 일 실시예에 따른 도 17의 제어 방법을 수행하기 위한 메모리 시스템을 나타내는 블록도이다.
- [0127] 도 18을 참조하면, 메모리 시스템(600)은 메모리 컨트롤러(610) 및 휘발성 메모리 장치(650)를 포함하여 구성될 수 있다. 메모리 컨트롤러(610)는 휘발성 메모리 장치(650)에 커맨드(CMD) 및 어드레스(ADDR)를 전송하고 메모리 컨트롤러(610)와 휘발성 메모리 장치(610)는 데이터(DQ)를 교환한다.
- [0128] 메모리 컨트롤러(610)는 제어 로직(620), 커맨드 큐(630) 및 제2 어드레스 비교부(address comparing unit (ACU2); 640)를 포함하여 구성될 수 있다. 휘발성 메모리 장치(650)는 어드레스 저장부(address storing unit (ASU); 660), 제1 어드레스 비교부(670) 및 리프레시 제어 회로(refresh control circuit(RCC); 680)를 포함하여 구성될 수 있다. 제1 어드레스 비교부(670)는 어드레스 정보(ADDR_INFO)와 메모리 컨트롤러(610)로부터 제공되는 기입 로우 어드레스(ROW_ADDR)를 비교하고, 그 비교에 기초하여 제1 매치 신호(MATCH1)를 리프레시 제어 회로(680)에 제공할 수 있다.
- [0129] 메모리 시스템(600)의 파워-업 시퀀스 동안에 휘발성 메모리 장치(650)의 어드레스 저장부(660)로부터 제2 어드레스 비교부(640)에 워크 셀 로우 어드레스를 포함하는 어드레스 정보(ADDR_INFO)가 전송된다. 메모리 컨트롤러(610)의 제2 어드레스 비교부(640)는 어드레스 정보(ADDR_INFO)와 휘발성 메모리 장치(650)의 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스(ROW_ADDR)를 비교하고, 그 비교 결과에 기초한 제3 매치 신호(MATCH3)를 제어 로직(620)에 전달한다.
- [0130] 예를 들어, 워크 셀 로우 어드레스와 기입 로우 어드레스(ROW_ADDR)가 일치하지 않는 경우, 상기 제3 매치 신호(MATCH3)는 제1 로직 레벨을 갖을 수 있다. 상기 제3 매치 신호(MATCH3)가 제1 로직 레벨을 갖는 경우, 제어 로직(620)은 상기 휘발성 메모리 장치(650)의 리프레시 제어 회로(680)를 제어하여 리프레시 제어 회로(680)에서 생성되는 리프레시 로우 어드레스에 따라 메모리 셀 로우들이 리프레시되도록 한다.
- [0131] 예를 들어, 워크 셀 로우 어드레스와 기입 로우 어드레스(ROW_ADDR)가 일치하는 경우, 상기 제3 매치 신호(MATCH3)는 제2 로직 레벨을 갖을 수 있다. 상기 제3 매치 신호(MATCH3)가 제2 로직 레벨을 갖는 경우, 상기 제어 로직(620)은 커맨드 큐(630)의 아이들 상태 여부를 모니터링하고 커맨드 큐의 아이들 상태 여부에 따라 상기 리프레시 제어 회로(680)가 상기 워크 셀 로우의 리프레시를 제어하도록 한다.
- [0132] 예를 들어, 커맨드 큐(630)가 아이들(idle) 상태이면, 제어 로직(620)은 워크 셀 로우 어드레스에 상응하는 워크 셀 로우가 활성화되고 프리차지되도록 상기 워크 셀 로우에 대한 리프레시 스킵 정보(weak address row refresh skip information(WARSI))를 휘발성 메모리 장치(650)의 리프레시 제어 회로(680)에 전송할 수 있다.

예들 들어, 커맨드 큐(630)가 아이들 상태가 아니면, 제어 로직은 커맨드 큐(630)에 저장된 커맨드에 따른 동작이 수행되도록 휘발성 메모리 장치(650)를 제어한 후에 수행된 커맨드에 리프레쉬 커맨드가 포함되어 있으면 상기 워크 셀 로우가 리프레쉬 되도록 상기 리프레쉬 제어 회로(680)를 제어할 수 있다.

- [0133] 도 18에서는 본 발명의 설명에 필요한 구성요소들만을 도시하였으나 도 18의 메모리 시스템은 커맨드와 어드레스를 전송하고 데이터를 교환하기 위한 다른 구성요소들을 더 포함할 수 있다.
- [0134] 도 19 및 도 20은 각각 본 발명의 실시예에 따른 도 18의 메모리 시스템의 동작을 설명하기 위한 도면들이다.
- [0135] 도 19 및 도 20에서는 워크 셀 로우 어드레스와 기입 로우 어드레스가 일치하는 경우를 설명한다.
- [0136] 도 19에서는 도 18의 커맨드 큐(630)가 아이들 상태인 경우 메모리 시스템(600)의 동작을 나타낸다.
- [0137] 도 19를 참조하면, 먼저 휘발성 메모리 장치(650)에서 제k 리프레쉬 로우 어드레스에 따라 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된다. 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된 후에 워크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 워크 셀 로우에 기입 명령(WR)이 수신된다. 이 때, 커맨드 큐(630)가 아이들 상태에 있으므로 제어 로직(620)은 미리 정해진 시간 내에서 워크 셀 로우에 대한 추가적인 활성화/프리차지(ACT/PRE)를 실행하도록 휘발성 메모리 장치(650)를 제어하고, 상기 워크 셀 로우에 대한 리프레쉬 스킵 정보(WARCI)를 휘발성 메모리 장치(650)의 리프레쉬 제어 회로(680)에 전송하며 제k 리프레쉬 로우 어드레스에 연속하는 리프레쉬 로우 어드레스들 중 하나인 리프레쉬 로우 어드레스에 상응하는 제(k+i) 메모리 셀 로우(WL_K+i)를 리프레쉬 하도록 한다.
- [0138] 도 20에서는 도 18의 커맨드 큐(630)가 아이들 상태가 아닌 경우 메모리 시스템(600)의 동작을 나타낸다.
- [0139] 도 20을 참조하면, 커맨드 큐(630)가 아이들 상태가 아니고, 리프레쉬 커맨드가 수행되어야 하므로 휘발성 메모리 장치(650)는 리프레쉬 커맨드에 따라 먼저 제k 리프레쉬 로우 어드레스에 따라 제k 메모리 셀 로우(WL_K)를 리프레쉬한다. 제k 메모리 셀 로우(WL_K)에 대하여 리프레쉬가 수행된 후에 워크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 워크 셀 로우에 기입 명령(WR)이 수신된다. 여기서는 워크 셀 로우 어드레스(WEAK_ADDR)와 리프레쉬 로우 어드레스(REF_ADDR)가 다르므로 상기 정해진 시간 내에서 제k 리프레쉬 로우 어드레스 이후의 리프레쉬 로우 어드레스들 중 하나인 제(k+i) 메모리 셀 로우(WL_K+i)에 대하여 리프레쉬가 수행될 때 동시에 워크 셀 로우 어드레스(WEAK_ADDR)에 해당하는 워크 셀 로우를 리프레쉬(REF)한다. 다음에 제(k+i) 리프레쉬 로우 어드레스에 연속하는 제(k+i+1) 리프레쉬 로우 어드레스에 상응하는 제(k+i+1) 메모리 셀 로우(WL_K+i+1)에 대하여 리프레쉬가 수행된다.
- [0140] 따라서 도 16 내지 도 20을 참조하여 설명한 바와 같이, 기입 로우 어드레스와 워크 셀 로우 어드레스가 일치하는 경우 메모리 컨트롤러에 포함되는 커맨드 큐의 아이들 상태 여부에 기초하여 상기 워크 셀 로우의 어드레스를 제어하여 워크 셀 로우의 포즈 타임을 감소시켜 휘발성 메모리 장치의 기입 특성을 향상시킬 수 있다.
- [0141] 도 21은 본 발명의 다른 실시예에 따른 메모리 시스템의 제어 방법을 나타내는 도면이다.
- [0142] 도 21을 참조하면, 본 발명의 다른 실시예에 따른 메모리 시스템의 제어 방법에서는 메모리 시스템의 파워-업 시퀀스 동안에 어드레스 정보를 휘발성 메모리 장치로부터 메모리 컨트롤러에 전송한다(S610). 여기서 상기 어드레스 정보는 상기 휘발성 메모리 장치의 어드레스 저장부로부터 상기 메모리 컨트롤러의 어드레스 비교부에 전달될 수 있다. 상기 메모리 컨트롤러의 어드레스 비교부에서 상기 어드레스 정보에 포함되는 워크 셀 로우 어드레스와 상기 휘발성 메모리 장치의 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스를 비교한다(S620). 상기 메모리 컨트롤러의 트랙잭션 프로세서는 상기 비교의 결과에 따라 상기 휘발성 메모리 장치의 워크 셀 로우 어드레스에 상응하는 워크 셀 로우와 상기 워크 셀 로우 이외의 노멀 셀 로우들의 기입 회복 시간을 달리하여 상기 휘발성 메모리 장치를 제어한다(S630, S640).
- [0143] 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스와 일치하지 않는 경우(S620에서 NO), 상기 트랙잭션 프로세서는 상기 노멀 셀 로우의 기입 회복 시간에 표준에서 정의된 메모리 셀 로우의 기입 회복 시간과 동일하도록 상기 휘발성 메모리 장치를 제어한다(S630). 상기 비교의 결과로서 상기 기입 로우 어드레스와 상기 워크 셀 로우 어드레스와 일치하는 경우(S620에서 YES), 상기 트랙잭션 프로세서는 상기 워크 셀 로우의 기입 회복 시간에 표준에서 정의된 메모리 셀 로우의 기입 회복 시간보다 더 길도록 상기 휘발성 메모리 장치를 제어한다(S640). 실시예에 있어서, 상기 워크 셀 로우의 기입 회복 시간은 상기 노멀 셀 로우의 기입 회복 시간의 2 배일 수 있다.
- [0144] 도 22는 본 발명의 일 실시예에 따른 도 21의 제어 방법을 실행하기 위한 메모리 시스템을 나타내는

블록도이다.

- [0145] 도 22를 참조하면, 메모리 시스템(700)은 메모리 컨트롤러(710) 및 휘발성 메모리 장치(750)를 포함할 수 있다. 메모리 컨트롤러(710)는 어드레스 비교부(720), 멀티플렉서(730) 및 트랜잭션 프로세서(740)를 포함할 수 있다. 휘발성 메모리 장치(750)는 어드레스 정보 즉, 워크 셀 로우 어드레스(WEAK_ADDR)를 저장하는 어드레스 저장부(760)를 포함할 수 있다. 워크 셀 로우 어드레스(WEAK_ADDR)는 상기 메모리 시스템(700)의 패키징 전 또는 후에 상기 어드레스 저장부(760)에 저장될 수 있다.
- [0146] 상기 메모리 시스템(710)의 파워-업 시퀀스 동안에 어드레스 저장부(760)에 저장된 워크 셀 로우 어드레스(WEAK_ADDR)가 메모리 컨트롤러(710)에 어드레스 비교부(720)에 전송된다. 어드레스 비교부(720)는 상기 워크 셀 로우 어드레스(WEAK_ADDR)와 휘발성 메모리 장치(750)의 메모리 셀 로우들을 액세스하기 위한 기입 로우 어드레스(ROW_ADDR)를 비교하고, 상기 비교의 결과에 기초하여 매치 신호(MATCH)를 멀티플렉서(730)에 출력한다.
- [0147] 예를 들어, 상기 워크 셀 로우 어드레스(WEAK_ADDR)가 기입 로우 어드레스(ROW_ADDR)와 일치하지 않는 경우, 매치 신호(MATCH)는 제1 로직 레벨을 갖을 수 있다. 멀티플렉서(730)는 제1 로직 레벨을 갖는 매치 신호(MATCH)에 응답하여 제1 기입 회복 시간(t_{WR1})과 제2 기입 회복 시간(t_{WR2}) 중 제1 기입 회복 시간(t_{WR1})을 선택하여 트랜잭션 프로세서(740)에 출력한다. 트랜잭션 프로세서(740)는 제1 기입 회복 시간(t_{WR1})을 수신하고, 휘발성 메모리 장치(750)의 워크 셀 로우 이외에 노멀 셀 로우들이 상기 제1 기입 회복 시간(t_{WR1})을 갖도록 상기 휘발성 메모리 장치(750)를 제어한다.
- [0148] 예를 들어, 상기 워크 셀 로우 어드레스(WEAK_ADDR)가 기입 로우 어드레스(ROW_ADDR)와 일치하는 경우, 매치 신호(MATCH)는 제2 로직 레벨을 갖을 수 있다. 멀티플렉서(730)는 제2 로직 레벨을 갖는 매치 신호(MATCH)에 응답하여 제1 기입 회복 시간(t_{WR1})과 제2 기입 회복 시간(t_{WR2}) 중 제2 기입 회복 시간(t_{WR2})을 선택하여 트랜잭션 프로세서(740)에 출력한다. 트랜잭션 프로세서(740)는 제2 기입 회복 시간(t_{WR2})을 수신하고, 휘발성 메모리 장치(750)의 워크 셀 로우가 상기 제2 기입 회복 시간(t_{WR2})을 갖도록 상기 휘발성 메모리 장치(750)를 제어한다.
- [0149] 여기서, 제1 기입 회복 시간(t_{WR1})은 휘발성 메모리 장치(750)의 표준에서 정의된 메모리 셀 로우의 기입 회복 시간으로 DDR3 SDRAM에서는 15nsec이다. 여기서 제2 기입 회복 시간(t_{WR2})은 제1 기입 회복 시간(t_{WR1})의 두 배일 수 있다.
- [0150] 도 23은 휘발성 메모리 장치에서 기입 회복 시간과 페이지 비트의 수의 관계를 나타내는 그래프이다.
- [0151] 도 23을 참조하면, 기입 회복 시간(t_{WR})이 증가할수록 페이지 비트의 수가 감소함을 알 수 있다. 도 23에서 참조 번호(781)는 회복 가능한 페이지 비트의 수를 나타낸다.
- [0152] 도 24는 휘발성 메모리 장치에서 메모리 셀에 따라 기입 특성이 나빠지는 것을 설명하기 위한 도면이다.
- [0153] 도 24는 DDR3 SDRAM에서 클럭 기입 레이턴시(CWL)이 5 클럭이고, 버스트 길이가 8인 경우를 설명한다.
- [0154] 도 24를 참조하면, 액티브 커맨드(ACT)에 의하여 워드라인(WL)이 활성화되고, 클럭(T_0)에서 기입 커맨드(WR)가 입력되고, 클럭들($T_1 \sim T_4$)이 경과한 후에 클럭($T_5 \sim T_8$)에서 데이터들($D_0 \sim D_7$)이 기입되고, 클럭들($T_9 \sim T_m - 1$)이 경과한 후, 클럭(T_m)에서 프리차지 커맨드(PRE)가 입력되어 워드라인(WL)이 비활성화됨을 알 수 있다. 도 24에서 마지막 데이터(D_7)가 기입된 후 프리차지 커맨드(PRE)가 입력될 때까지의 시간($T_9 \sim T_m$)이 기입 회복 시간(t_{WR})에 해당한다. 도 24에서 알 수 있듯이 다른 데이터들에 비하여 마지막 데이터(D_7)는 기입된 후 곧바로 워드라인(WL)이 비활성화되므로 데이터(D_7)가 셀에 기입될 수 있는 시간이 충분하지 않아 마지막 데이터(D_7)가 기입된 셀은 기입 특성이 다른 셀들에 비하여 좋지 않을 수 있다. 이렇게 기입 특성이 좋지 않은 셀을 워크 셀이라고 하고, 워크 셀을 적어도 하나 이상 포함하는 메모리 셀 로우를 워크 셀 로우라 한다.
- [0155] 도 25는 도 22의 메모리 시스템에서 기입 회복 시간이 이원화되는 것을 나타내는 도면이다.
- [0156] 도 25를 참조하면, 노멀 셀 로우들은 액티브 커맨드(ACT)가 입력되어 워드라인이 활성화된 후 기입 명령(WR)이 입력되어 기입 동작이 수행된 후로부터 제1 기입 회복 시간(t_{WR1}) 후에 프리차지 커맨드(PRE)가 입력되어 워드라인이 비활성화되고, 워크 셀 로우들은 노멀 셀 로우들은 액티브 커맨드(ACT)가 입력되어 워드라인이 활성화된 후 기입 명령(WR)이 입력되어 기입 동작이 수행된 후로부터 제2 기입 회복 시간(t_{WR2}) 후에 프리차지 커맨드(PRE)가 입력되어 워드라인이 비활성화됨으로써 기입 특성이 좋지 않은 워크 셀을 적어도 하나 이상 포함하는 워크 셀 로우들의 기입 회복 시간과 노멀 셀 로우들의 기입 회복 시간을 달리함을 알 수 있다.
- [0157] 도 21 내지 도 25를 참조한 실시예에서는 기입 로우 어드레스와 워크 셀 로우 어드레스를 비교한 결과에 기초하

여 노멀 셀 로우와 워크 셀 로우의 기입 회복 시간을 달리하여 워크 셀 로우의 기입 특성을 개선시킬 수 있다.

- [0158] 도 26은 본 발명의 실시예들에 따른 휘발성 메모리 장치를 포함하는 메모리 모듈을 나타내는 도면이다.
- [0159] 도 26을 참조하면, 메모리 모듈(800)은 복수의 휘발성 메모리 장치들(300)을 포함할 수 있다. 실시예에 따라, 메모리 모듈(800)은 UDIMM(Unbuffered Dual In-line Memory Module), RDIMM(Registered Dual In-line Memory Module), FBDIMM(Fully Buffered Dual In-line Memory Module), LRDIMM(Load Reduced Dual In-line Memory Module) 또는 다른 메모리 모듈일 수 있다.
- [0160] 메모리 모듈(800)은 메모리 컨트롤러로부터 복수의 신호선들을 통하여 커맨드, 어드레스, 및 데이터를 수신하고, 상기 커맨드, 어드레스, 및 데이터를 버퍼링하여 휘발성 메모리 장치들(300)에 제공하는 버퍼(810)를 더 포함할 수 있다.
- [0161] 버퍼(810)와 휘발성 메모리 장치들(300) 사이의 데이터 전송선들은 포인트-투-포인트 방식으로 연결될 수 있다. 또한, 버퍼(810)와 휘발성 메모리 장치들(300) 사이의 커맨드/어드레스 전송선들은 멀티-드롭 방식, 페이지-체인 방식, 또는 플라이-바이 페이지-체인 방식으로 연결될 수 있다. 버퍼(810)가 상기 커맨드, 어드레스, 및 데이터를 모두 버퍼링하므로, 메모리 컨트롤러는 버퍼(810)의 로드만을 구동함으로써 메모리 모듈(800)과 인터페이스 할 수 있다. 이에 따라, 메모리 모듈(800)은 보다 많은 수의 메모리 장치들 및 메모리 랭크들을 포함할 수 있고, 메모리 시스템은 보다 많은 수의 메모리 모듈들을 포함할 수 있다.
- [0162] 휘발성 메모리 장치들(300)은 워크 셀 로우 어드레스를 리프레쉬 로우 어드레스와 비교하여 그 비교결과에 따라 워크 셀 로우의 리프레쉬를 제어함으로써 워크 셀 로우의 포즈 타임 증가로 인한 기입 특성이 나빠지는 것을 방지할 수 있다.
- [0163] 도 27은 본 발명의 실시예들에 따른 휘발성 메모리 장치를 모바일 시스템에 응용한 예를 나타내는 블록도이다.
- [0164] 도 27을 참조하면, 모바일 시스템(900)은 어플리케이션 프로세서(910), 통신(Connectivity)부(920), 사용자 인터페이스(930), 비휘발성 메모리 장치(940), 휘발성 메모리 장치(950), 50) 및 파워 서플라이(960)를 포함한다. 실시예에 따라, 모바일 시스템(900)은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(Personal Digital Assistant; PDA), 휴대형 멀티미디어 플레이어(Portable Multimedia Player; PMP), 디지털 카메라(Digital Camera), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템 등과 같은 임의의 모바일 시스템일 수 있다.
- [0165] 어플리케이션 프로세서(910)는 인터넷 브라우저, 게임, 동영상 등을 제공하는 어플리케이션들을 실행할 수 있다. 실시예에 따라, 어플리케이션 프로세서(910)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 어플리케이션 프로세서(910)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 실시예에 따라, 어플리케이션 프로세서(910)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0166] 통신부(920)는 외부 장치와 무선 통신 또는 유선 통신을 수행할 수 있다. 예를 들어, 통신부(920)는 이더넷(Ethernet) 통신, 근거리 자기장 통신(Near Field Communication; NFC), 무선 식별(Radio Frequency Identification; RFID) 통신, 이동 통신(Mobile Telecommunication), 메모리 카드 통신, 범용 직렬 버스(Universal Serial Bus; USB) 통신 등을 수행할 수 있다. 예를 들어, 통신부(1420)는 베이스밴드 칩 셋(Baseband Chipset)을 포함할 수 있고, GSM, GPRS, WCDMA, HSxPA 등의 통신을 지원할 수 있다.
- [0167] 휘발성 메모리 장치(950)는 어플리케이션 프로세서(910)에 의해 처리되는 데이터를 저장하거나, 동작 메모리(Working Memory)로서 작동할 수 있다. 예를 들어, 휘발성 메모리 장치(950)는 DDR SDRAM, LPDDR SDRAM, GDDR SDRAM, RDRAM 등과 같은 동적 랜덤 액세스 메모리이거나, 리프레쉬 동작이 필요한 임의의 휘발성 메모리 장치일 수 있다. 휘발성 메모리 장치(950)는 워크 셀 로우 어드레스를 리프레쉬 로우 어드레스와 비교하여 그 비교결과에 따라 워크 셀 로우 어드레스의 리프레쉬를 제어함으로써 워크 셀 로우의 포즈 타임 증가로 인한 기입 특성이 나빠지는 것을 방지할 수 있다.
- [0168] 비휘발성 메모리 장치(950)는 모바일 시스템(1400)을 부팅하기 위한 부트 이미지를 저장할 수 있다. 예를 들어, 비휘발성 메모리 장치(950)는 EEPROM(Electrically Erasable Programmable Read-Only Memory), 플래시 메모리(Flash Memory), PRAM(Phase Change Random Access Memory), RRAM(Resistance Random Access Memory), NFGM(Nano Floating Gate Memory), PoRAM(Polymer Random Access Memory), MRAM(Magnetic Random Access

Memory), FRAM(Ferroelectric Random Access Memory) 또는 이와 유사한 메모리로 구현될 수 있다.

- [0169] 사용자 인터페이스(930)는 키패드, 터치 스크린과 같은 하나 이상의 입력 장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다. 파워 서플라이(960)는 모바일 시스템(900)의 동작 전압을 공급할 수 있다. 또한, 실시예에 따라, 모바일 시스템(900)은 카메라 이미지 프로세서(Camera Image Processor; CIS)를 더 포함할 수 있고, 메모리 카드(Memory Card), 솔리드 스테이트 드라이브(Solid State Drive; SSD), 하드 디스크 드라이브(Hard Disk Drive; HDD), 씨디롬(CD-ROM) 등과 같은 저장 장치를 더 포함할 수 있다.
- [0170] 모바일 시스템(900) 또는 모바일 시스템(900)의 구성요소들은 다양한 형태들의 패키지를 이용하여 실장될 수 있는데, 예를 들어, PoP(Package on Package), BGAs(Ball grid arrays), CSPs(Chip scale packages), PLCC(Plastic Leaded Chip Carrier), PDIP(Plastic Dual In-Line Package), Die in Wafer Pack, Die in Wafer Form, COB(Chip On Board), CERDIP(Ceramic Dual In-Line Package), MQFP(Plastic Metric Quad Flat Pack), TQFP(Thin Quad Flat-Pack), SOIC(Small Outline Integrated Circuit), SSOP(Shrink Small Outline Package), TSOP(Thin Small Outline Package), TQFP(Thin Quad Flat-Pack), SIP(System In Package), MCP(Multi Chip Package), WFP(Wafer-level Fabricated Package), WSP(Wafer-Level Processed Stack Package) 등과 같은 패키지들을 이용하여 실장될 수 있다.
- [0171] 도 28은 본 발명의 실시예들에 따른 휘발성 메모리 장치를 컴퓨팅 시스템에 응용한 예를 나타내는 블록도이다.
- [0172] 도 28을 참조하면, 컴퓨팅 시스템(1100)은 프로세서(1110), 입출력 허브(1120), 입출력 컨트롤러 허브(1130), 적어도 하나의 메모리 모듈(1140) 및 그래픽 카드(1150)를 포함한다. 실시예에 따라, 컴퓨팅 시스템(1100)은 개인용 컴퓨터(Personal Computer; PC), 서버 컴퓨터(Server Computer), 워크스테이션(Workstation), 노트북(Laptop), 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 디지털 TV(Digital Television), 셋-탑 박스(Set-Top Box), 음악 재생기(Music Player), 휴대용 게임 콘솔(portable game console), 네비게이션(Navigation) 시스템 등과 같은 임의의 컴퓨팅 시스템일 수 있다.
- [0173] 프로세서(1110)는 특정 계산들 또는 태스크들과 같은 다양한 컴퓨팅 기능들을 실행할 수 있다. 예를 들어, 프로세서(1110)는 마이크로프로세서 또는 중앙 처리 장치(Central Processing Unit; CPU)일 수 있다. 실시예에 따라, 프로세서(1110)는 하나의 프로세서 코어(Single Core)를 포함하거나, 복수의 프로세서 코어들(Multi-Core)을 포함할 수 있다. 예를 들어, 프로세서(1510)는 듀얼 코어(Dual-Core), 쿼드 코어(Quad-Core), 헥사 코어(Hexa-Core) 등의 멀티 코어(Multi-Core)를 포함할 수 있다. 또한, 도 40에는 하나의 프로세서(1110)를 포함하는 컴퓨팅 시스템(1100)이 도시되어 있으나, 실시예에 따라, 컴퓨팅 시스템(1100)은 복수의 프로세서들을 포함할 수 있다. 또한, 실시예에 따라, 프로세서(1110)는 내부 또는 외부에 위치한 캐시 메모리(Cache Memory)를 더 포함할 수 있다.
- [0174] 프로세서(1110)는 메모리 모듈(1140)의 동작을 제어하는 메모리 컨트롤러(1111)를 포함할 수 있다. 프로세서(1110)에 포함된 메모리 컨트롤러(1111)는 집적 메모리 컨트롤러(Integrated Memory Controller; IMC)라 불릴 수 있다. 메모리 컨트롤러(1111)와 메모리 모듈(1140) 사이의 메모리 인터페이스는 복수의 신호선들을 포함하는 하나의 채널로 구현되거나, 복수의 채널들로 구현될 수 있다. 또한, 각 채널에는 하나 이상의 메모리 모듈(1140)이 연결될 수 있다. 실시예에 따라, 메모리 컨트롤러(1111)는 입출력 허브(1120) 내에 위치할 수 있다. 메모리 컨트롤러(1111)를 포함하는 입출력 허브(1120)는 메모리 컨트롤러 허브(Memory Controller Hub; MCH)라 불릴 수 있다.
- [0175] 메모리 모듈(1140)은 메모리 컨트롤러(1111)로부터 제공된 데이터를 저장하는 복수의 휘발성 메모리 장치들을 포함할 수 있다. 상기 휘발성 메모리 장치들은 메모리 컨트롤러(1111)로부터 제공된 리프레쉬 커맨드(REF)에 응답하여 오토 리프레쉬 동작을 수행하거나, 셀프 리프레쉬 진입 커맨드에 응답하여 셀프 리프레쉬 동작을 수행할 수 있다. 상기 휘발성 메모리 장치들은, 상기 리프레쉬 동작의 수행도중 메모리 컨트롤러로부터 기입 커맨드가 입력되는 경우, 리프레쉬 로우 어드레스와 워크 셀 로우 어드레스를 비교하고 상기 비교 결과에 따라 상기 워크 셀 로우 어드레스의 리프레쉬를 제어함으로써 워크 셀 로우의 포즈 타임 증가로 인한 기입 특성이 나빠지는 것을 방지할 수 있다.
- [0176] 입출력 허브(1120)는 그래픽 카드(1150)와 같은 장치들과 프로세서(1110) 사이의 데이터 전송을 관리할 수 있다. 입출력 허브(1120)는 다양한 방식의 인터페이스를 통하여 프로세서(1110)에 연결될 수 있다. 예를 들어, 입출력 허브(1120)와 프로세서(1110)는, 프론트 사이드 버스(Front Side Bus; FSB), 시스템 버스(System Bus),

하이퍼트랜스포트(HyperTransport), 라이트닝 데이터 트랜스포트(Lightning Data Transport; LDT), 퀵패스 인터커넥트(QuickPath Interconnect; QPI), 공통 시스템 인터페이스(Common System Interface; CSI) 등의 다양한 표준의 인터페이스로 연결될 수 있다. 도 40에는 하나의 입출력 허브(1120)를 포함하는 컴퓨팅 시스템(1100)이 도시되어 있으나, 실시예에 따라, 컴퓨팅 시스템(1100)은 복수의 입출력 허브들을 포함할 수 있다.

[0177] 입출력 허브(1120)는 장치들과의 다양한 인터페이스들을 제공할 수 있다. 예를 들어, 입출력 허브(1120)는 가속 그래픽 포트(Accelerated Graphics Port; AGP) 인터페이스, 주변 구성요소 인터페이스-익스프레스(Peripheral Component Interface-Express; PCIe), 통신 스트리밍 구조(Communications Streaming Architecture; CSA) 인터페이스 등을 제공할 수 있다.

[0178] 그래픽 카드(1150)는 AGP 또는 PCIe를 통하여 입출력 허브(1120)와 연결될 수 있다. 그래픽 카드(1150)는 영상을 표시하기 위한 디스플레이 장치(미도시)를 제어할 수 있다. 그래픽 카드(1150)는 이미지 데이터를 처리를 위한 내부 프로세서 및 내부 반도체 메모리 장치를 포함할 수 있다. 실시예에 따라, 입출력 허브(1120)는, 입출력 허브(1120)의 외부에 위치한 그래픽 카드(1150)와 함께, 또는 그래픽 카드(1150) 대신에 입출력 허브(1120)의 내부에 그래픽 장치를 포함할 수 있다. 입출력 허브(1120)에 포함된 그래픽 장치는 집적 그래픽(Integrated Graphics)이라 불릴 수 있다. 또한, 메모리 컨트롤러 및 그래픽 장치를 포함하는 입출력 허브(1120)는 그래픽 및 메모리 컨트롤러 허브(Graphics and Memory Controller Hub; GMCH)라 불릴 수 있다.

[0179] 입출력 컨트롤러 허브(1130)는 다양한 시스템 인터페이스들이 효율적으로 동작하도록 데이터 버퍼링 및 인터페이스 중재를 수행할 수 있다. 입출력 컨트롤러 허브(1130)는 내부 버스를 통하여 입출력 허브(1120)와 연결될 수 있다. 예를 들어, 입출력 허브(1120)와 입출력 컨트롤러 허브(1130)는 다이렉트 미디어 인터페이스(Direct Media Interface; DMI), 허브 인터페이스, 엔터프라이즈 사우스브릿지 인터페이스(Enterprise Southbridge Interface; ESI), PCIe 등을 통하여 연결될 수 있다.

[0180] 입출력 컨트롤러 허브(1130)는 주변 장치들과의 다양한 인터페이스들을 제공할 수 있다. 예를 들어, 입출력 컨트롤러 허브(1130)는 범용 직렬 버스(Universal Serial Bus; USB) 포트, 직렬 ATA(Serial Advanced Technology Attachment; SATA) 포트, 범용 입출력(General Purpose Input/Output; GPIO), 로우 핀 카운트(Low Pin Count; LPC) 버스, 직렬 주변 인터페이스(Serial Peripheral Interface; SPI), PCI, PCIe 등을 제공할 수 있다.

[0181] 실시예에 따라, 프로세서(1110), 입출력 허브(1120) 및 입출력 컨트롤러 허브(1130)는 각각 분리된 칩셋들 또는 집적 회로들로 구현되거나, 프로세서(1110), 입출력 허브(1120) 또는 입출력 컨트롤러 허브(1130) 중 2 이상의 구성요소들이 하나의 칩셋으로 구현될 수 있다.

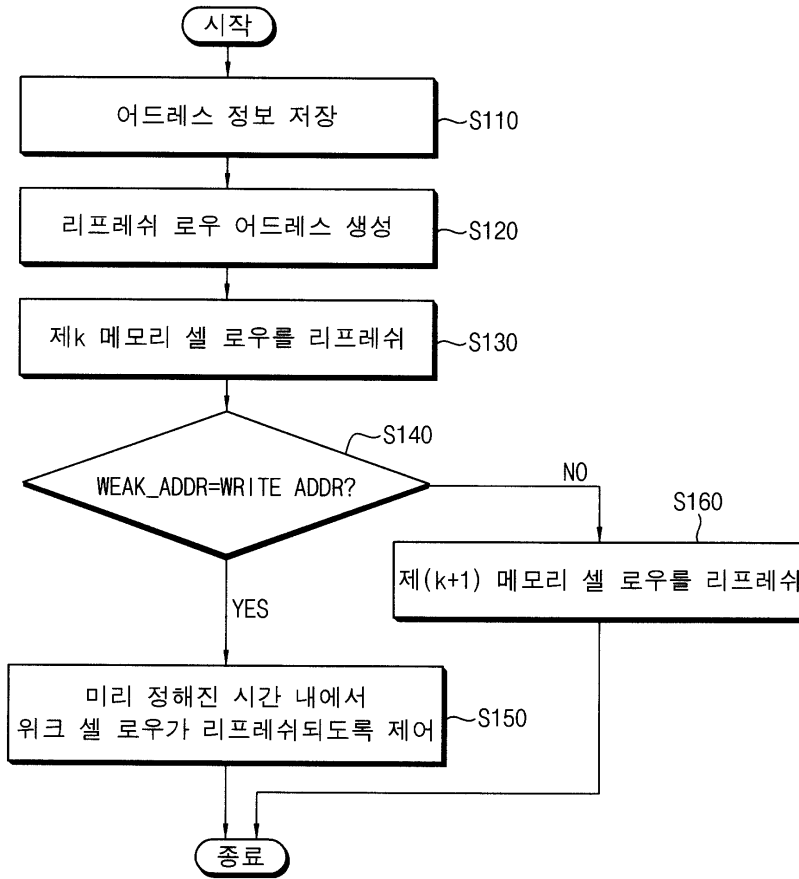
산업상 이용가능성

[0182] 본 발명은 기입 특성의 개선이 필요한 임의의 휘발성 메모리 장치 및 이를 포함하는 시스템에 적용될 수 있다. 예를 들어, 본 발명은 휴대폰(Mobile Phone), 스마트 폰(Smart Phone), 개인 정보 단말기(personal digital assistant; PDA), 휴대형 멀티미디어 플레이어(portable multimedia player; PMP), 디지털 카메라(Digital Camera), 캠코더(Camcoder), 개인용 컴퓨터(Personal Computer; PC), 서버 컴퓨터(Server Computer), 워크스테이션(Workstation), 노트북(Laptop), 디지털 TV(Digital Television), 셋-탑 박스(Set-Top Box), 음악 재생기(Music Player), 휴대용 게임 콘솔(Portable Game Console), 네비게이션(Navigation) 시스템, 스마트 카드(Smart Card), 프린터(Printer) 등에 유용하게 이용될 수 있다.

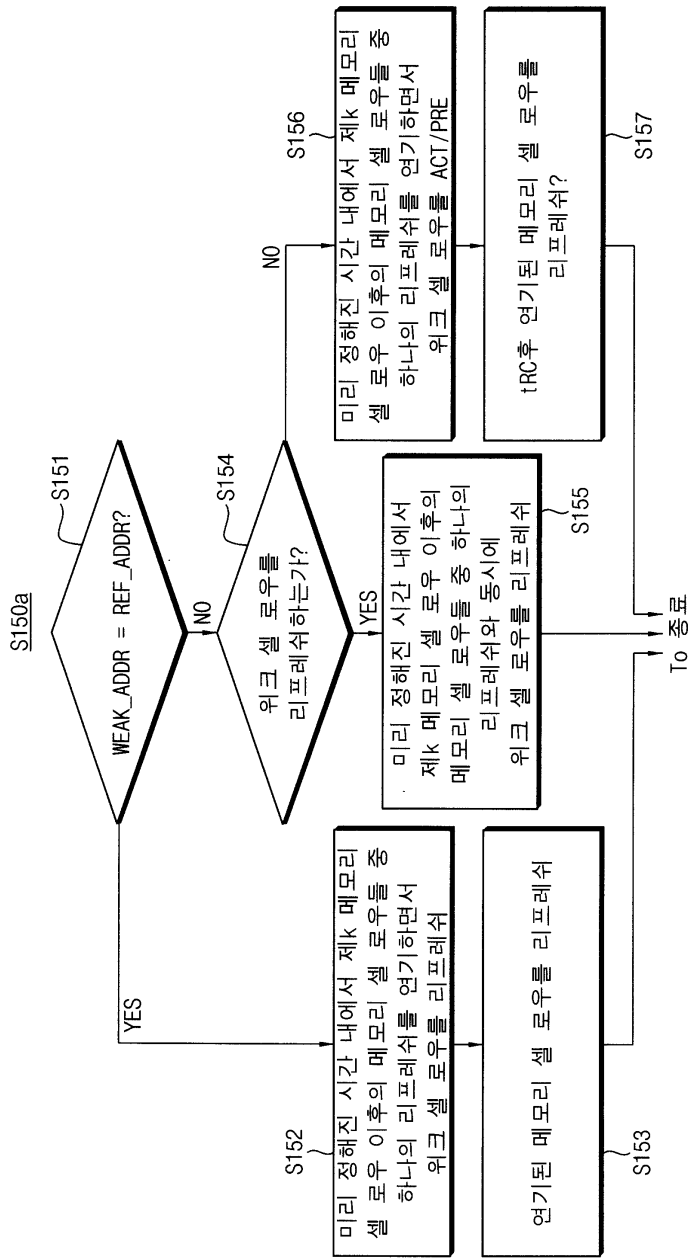
[0183] 상기에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술분야에서 통상의 지식을 가진 자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다. 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

도면1

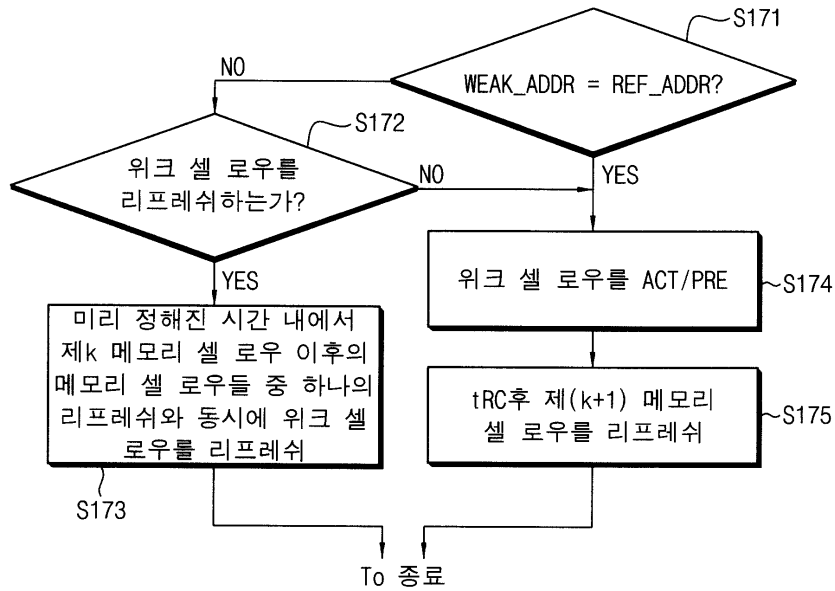


도면2

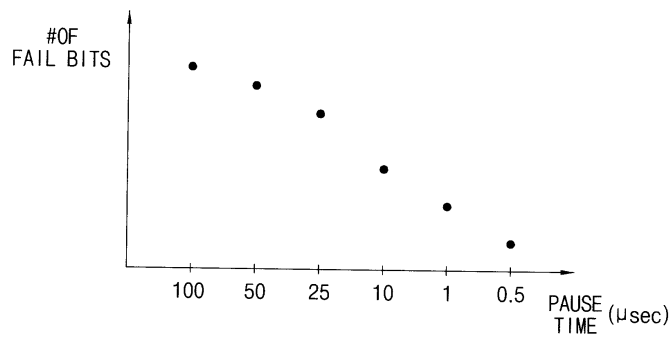


도면3

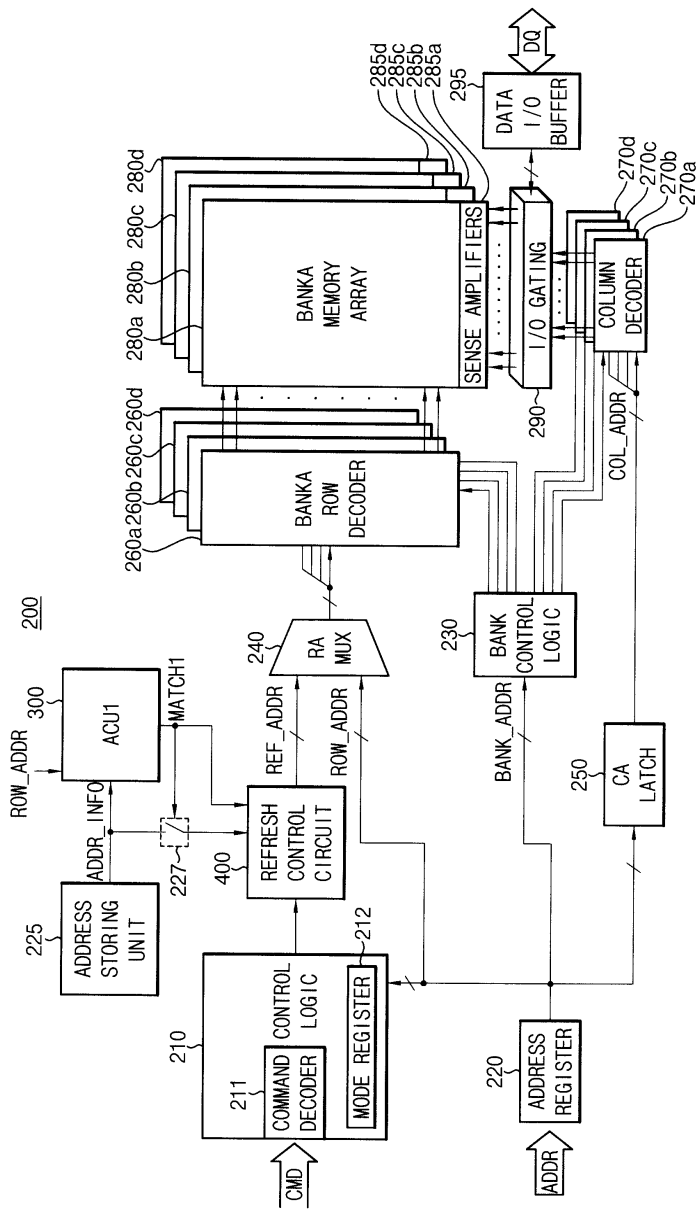
S150b



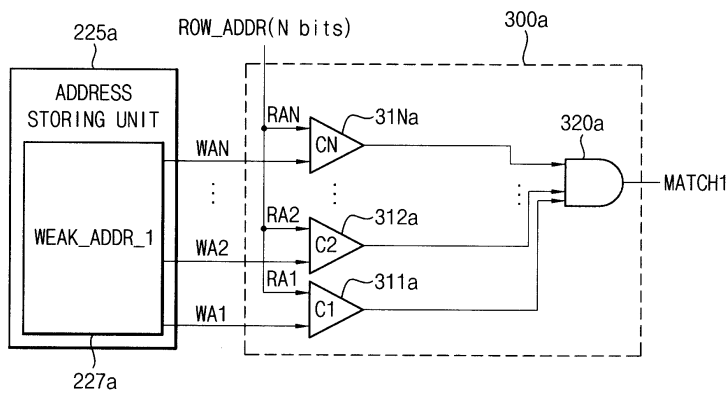
도면4



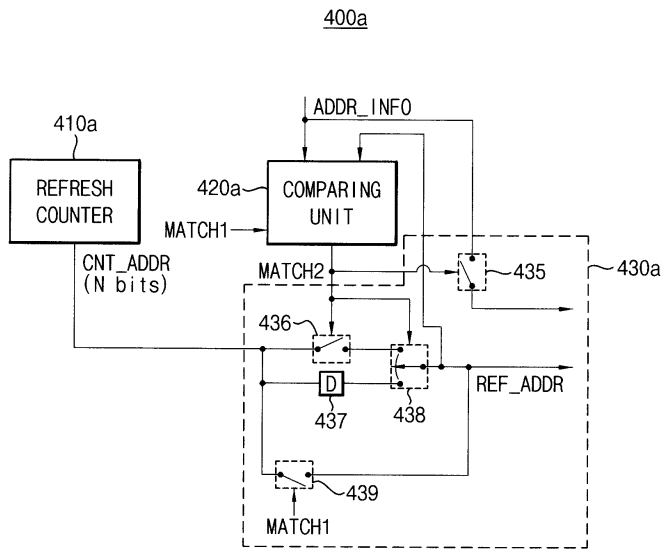
도면5



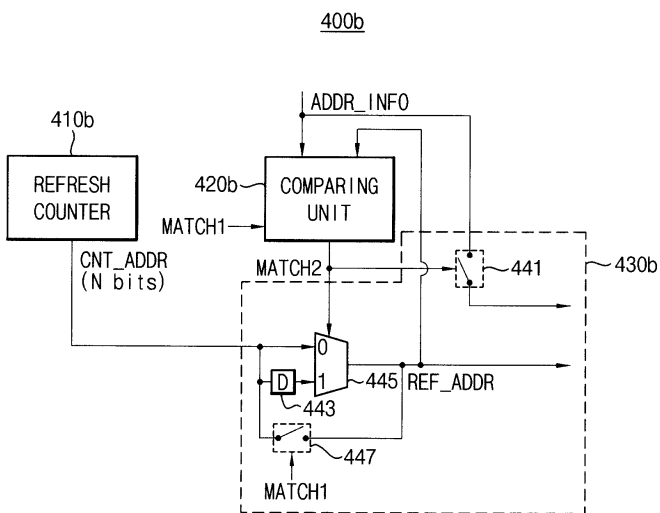
도면6



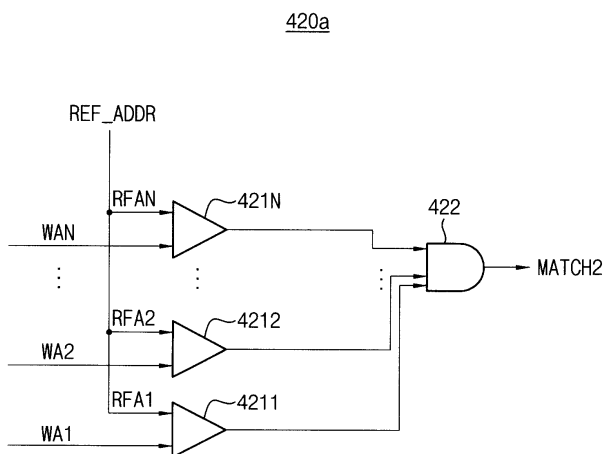
도면7



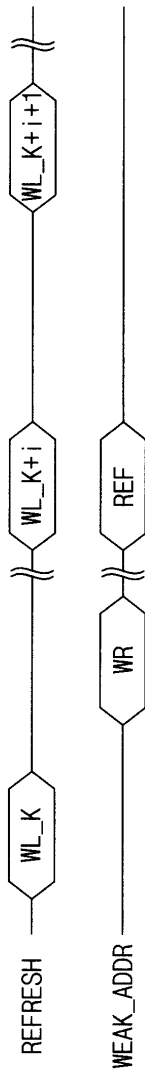
도면8



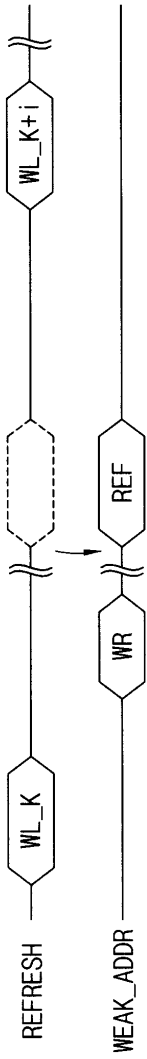
도면9



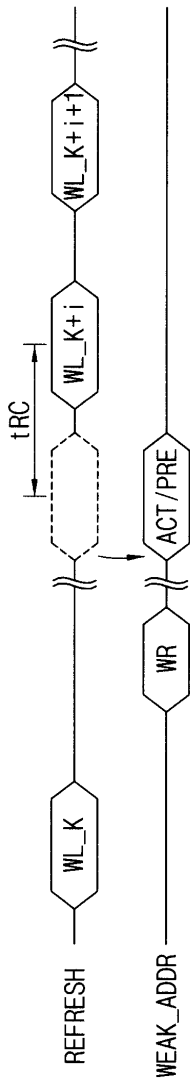
도면10



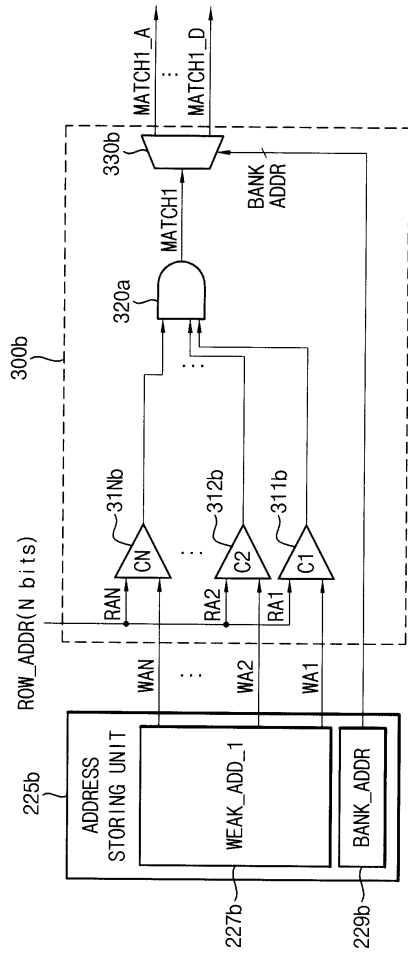
도면11



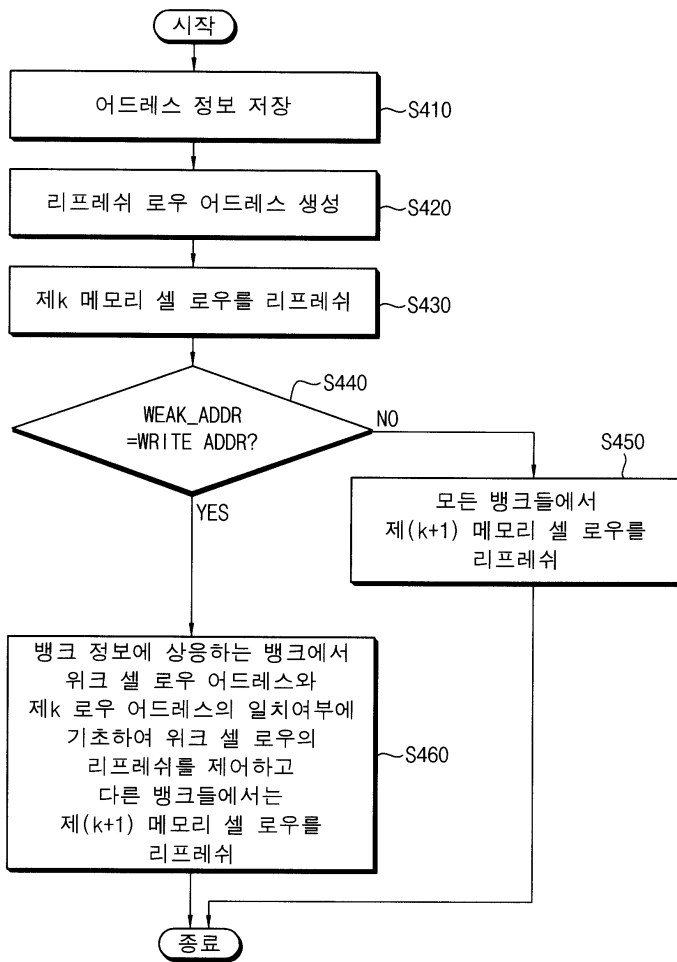
도면12



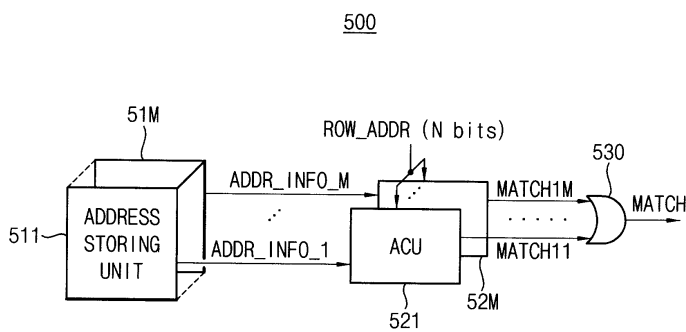
도면13



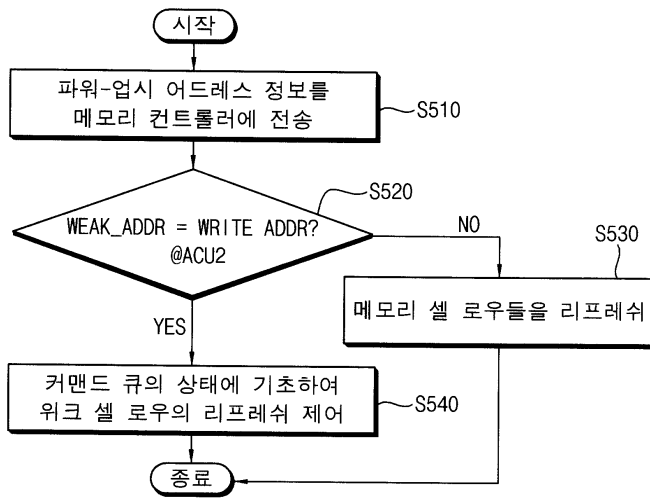
도면14



도면15

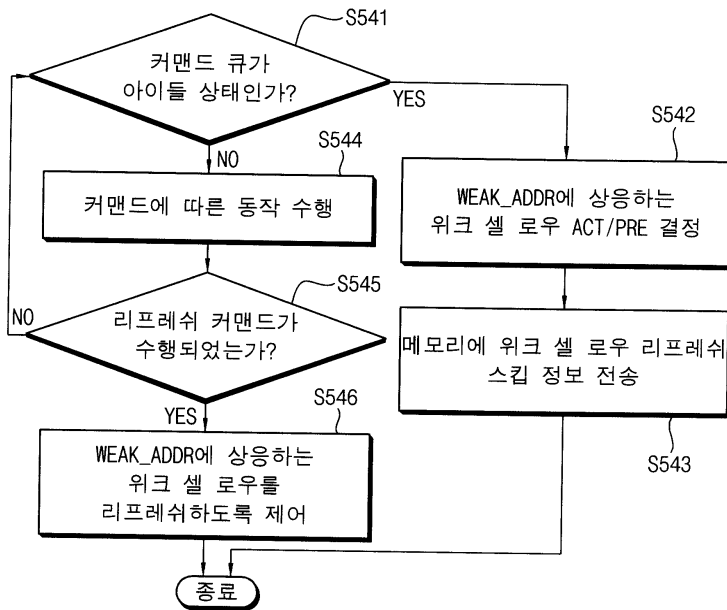


도면16

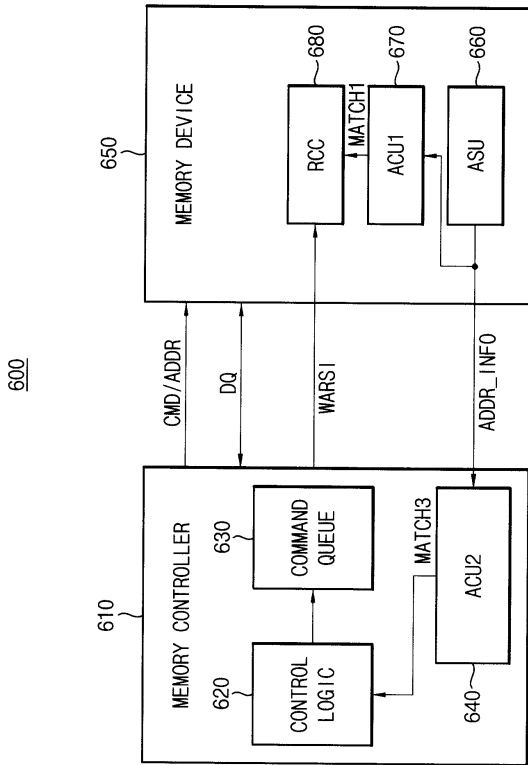


도면17

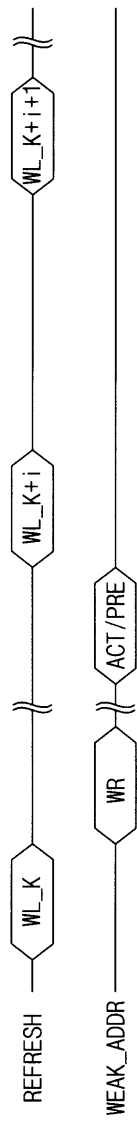
S540



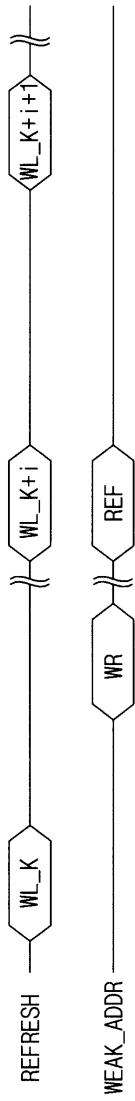
도면18



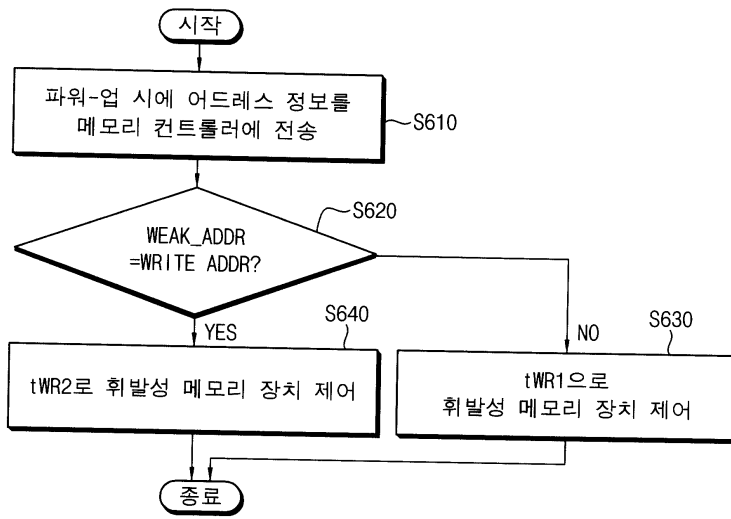
도면19



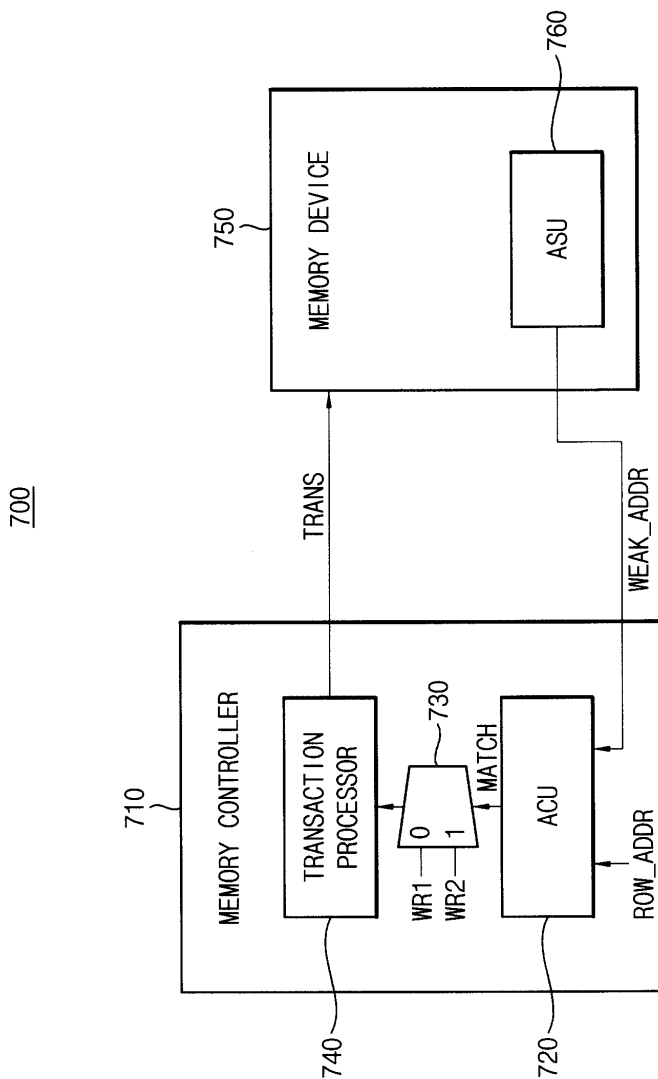
도면20



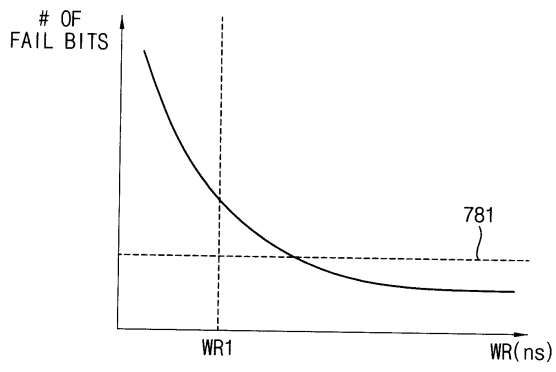
도면21



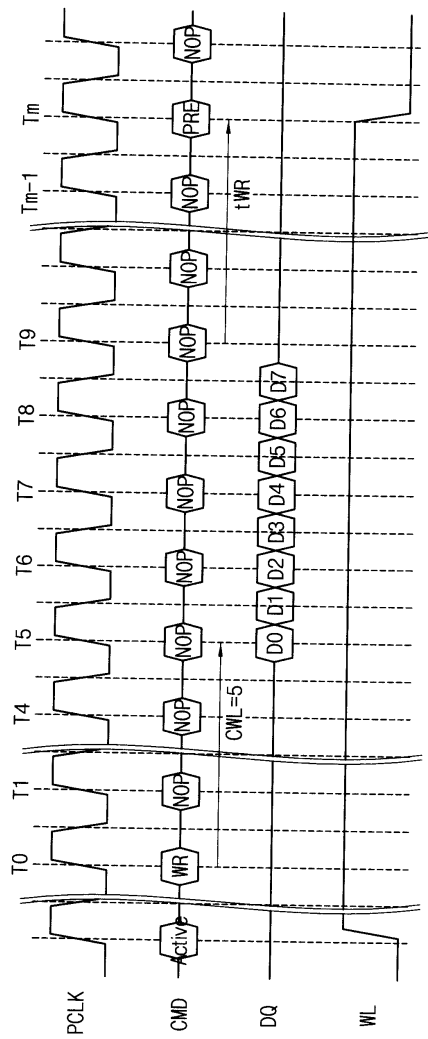
도면22



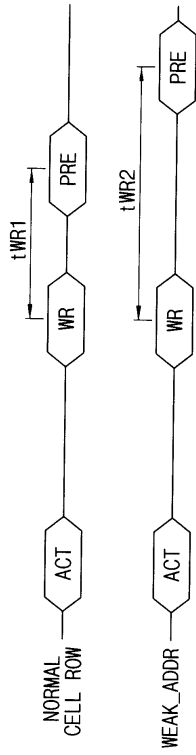
도면23



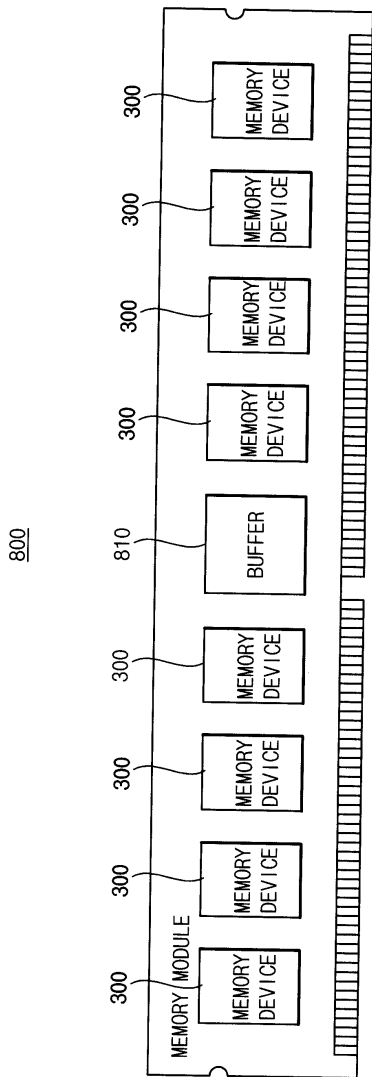
도면24



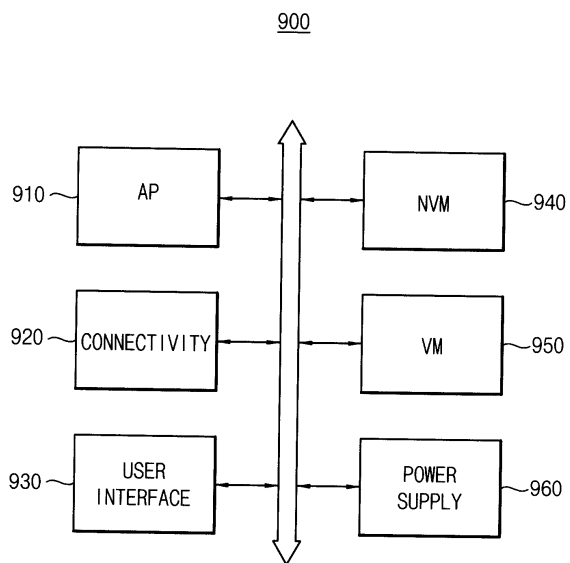
도면25



도면26



도면27



도면28

