



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월23일
 (11) 등록번호 10-0769759
 (24) 등록일자 2007년10월17일

(51) Int. Cl.

H01L 25/10(2006.01)

(21) 출원번호 10-2006-0045633
 (22) 출원일자 2006년05월22일
 심사청구일자 2006년05월22일
 (65) 공개번호 10-2006-0121116
 공개일자 2006년11월28일
 (30) 우선권주장
 JP-P-2005-00149537 2005년05월23일 일본(JP)
 JP-P-2006-00126838 2006년04월28일 일본(JP)
 (56) 선행기술조사문헌
 JP2002015296 A
 (뒷면에 계속)

(73) 특허권자

가부시끼가이샤 도시바

일본국 도쿄도 미나토꾸 시바우라 1쵸메 1방 1코

(72) 발명자

다케모토 야스오

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
 끼가이샤 도시바지적재산부 내

오쿠무라 나오히사

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
 끼가이샤 도시바지적재산부 내

니시야마 다꾸

일본 도쿄도 미나토꾸 시바우라 1쵸메 1-1 가부시
 끼가이샤 도시바지적재산부 내

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 21 항

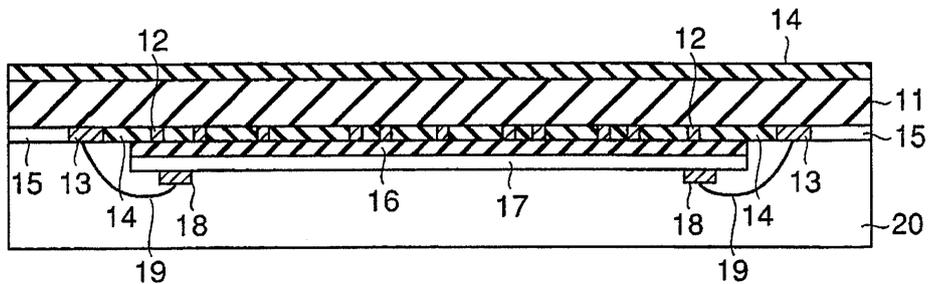
심사관 : 김상걸

(54) 반도체 메모리 카드 및 그 제조 방법

(57) 요약

인쇄 기관의 한 쪽의 표면 위에는 복수의 외부 접속 단자가 형성되어 있고, 다른 쪽의 표면 위에는 기관의 외주부의 적어도 일부의 영역에 개구를 갖는 솔더 레지스트가 피복되어 있다. 기관의 다른 쪽의 표면 위에는 메모리 칩이 탑재되어 있고, 솔더 레지스트 및 메모리 칩을 피복하도록 기관의 다른 쪽의 표면층을 밀봉하여 해당 반도체 메모리 카드의 패키지를 구성하는 몰드 수지가 형성되어 있다.

대표도 - 도1



(56) 선행기술조사문헌
JP2007004775 A
KR1020030045612 A
KR20040037268 A
US20060261489 A1
WO2002069251 A1

특허청구의 범위

청구항 1

호스트 기기에 장착하여 사용 가능한 반도체 메모리 카드에 있어서,
 상호 대향하는 제1, 제2 표면을 갖고, 상기 제1 표면 위에 복수의 외부 접속 단자 및 복수의 배선이 형성되어 있는 배선 기판과,
 상기 배선 기판의 상기 제2 표면 위에 형성되고, 상기 배선 기판의 외주부의 적어도 일부의 영역에 개구를 갖는 보호막과,
 상기 배선 기판의 상기 제2 표면 위에 탑재된 메모리 칩과,
 상기 보호막 및 상기 메모리 칩을 피복하도록 상기 배선 기판의 상기 제2 표면측을 밀봉하여 해당 반도체 메모리 카드의 패키지를 구성하는 수지막
 을 포함하는 반도체 메모리 카드.

청구항 2

제1항에 있어서,
 상기 보호막의 개구는, 상기 배선 기판의 외주부의 연속한 영역에 형성되어 있는 반도체 메모리 카드.

청구항 3

제1항에 있어서,
 상기 수지막은, 상기 보호막의 상기 개구 내에서 상기 배선 기판에 접하고 있는 반도체 메모리 카드.

청구항 4

제1항에 있어서,
 상기 보호막은 솔더 레지스트인 반도체 메모리 카드.

청구항 5

제1항에 있어서,
 상기 배선 기판은, 단부로부터 상기 배선의 단면이 노출되어 있지 않은 반도체 메모리 카드.

청구항 6

제1항에 있어서,
 상기 복수의 외부 접속 단자는, 데이터의 입출력 단자, 커맨드 입력 단자, 전원 전압 단자, 클럭 신호 입력 단자, 접지 전압 단자를 포함하는 반도체 메모리 카드.

청구항 7

제1항에 있어서,
 상기 배선 기판은, 상기 제2 표면 위에 복수의 제1 전극 패드를 갖고, 상기 메모리 칩은 표면 위에 복수의 제2 전극 패드를 포함하는 반도체 메모리 카드.

청구항 8

제7항에 있어서,
 상기 복수의 제1 전극 패드와 상기 복수의 제2 전극 패드를 전기적으로 접속하는 복수의 금속 와이어를 더 포함하는 반도체 메모리 카드.

청구항 9

제1항에 있어서,
상기 메모리 칩 위에 탑재된 컨트롤러 칩을 더 포함하는 반도체 메모리 카드.

청구항 10

호스트 기기에 장착되어 사용 가능한 반도체 메모리 카드에 있어서,
상호 대향하는 제1, 제2 표면을 갖고, 상기 제1 표면 위에 복수의 외부 접속 단자 및 복수의 배선이 형성되고, 제2 표면 위에 복수의 배선이 형성된 배선 기판과,
상기 배선 기판의 상기 제2 표면 위에 형성되고, 상기 배선 기판의 외주부의 적어도 일부의 영역에 개구를 갖는 보호막과,
상기 배선 기판의 상기 제2 표면 위에 탑재된 메모리 칩과,
상기 보호막 및 상기 메모리 칩을 피복하도록 상기 배선 기판의 상기 제2 표면측을 밀봉하여 해당 반도체 메모리 카드의 패키지를 구성하는 수지막
을 포함하는 반도체 메모리 카드.

청구항 11

제10항에 있어서,
상기 보호막의 개구는, 상기 배선 기판의 외주부의 연속한 영역에 형성되어 있는 반도체 메모리 카드.

청구항 12

제10항에 있어서,
상기 수지막은, 상기 보호막의 상기 개구 내에서 상기 배선 기판에 접하고 있는 반도체 메모리 카드.

청구항 13

제10항에 있어서,
상기 보호막은 솔더 레지스트인 반도체 메모리 카드.

청구항 14

제10항에 있어서,
상기 배선 기판은, 단부로부터 상기 배선의 단부면이 노출되어 있지 않은 반도체 메모리 카드.

청구항 15

제10항에 있어서,
상기 복수의 외부 접속 단자는, 데이터의 입출력 단자, 커맨드 입력 단자, 전원 전압 단자, 클럭 신호 입력 단자, 접지 전압 단자를 포함하는 반도체 메모리 카드.

청구항 16

제10항에 있어서,
상기 배선 기판은 상기 제2 표면 위에 복수의 제1 전극 패드를 갖고, 상기 메모리 칩은 표면 위에 복수의 제2 전극 패드를 갖는 반도체 메모리 카드.

청구항 17

제16항에 있어서,

상기 복수의 제1 전극 패드와 상기 복수의 제2 전극 패드를 전기적으로 접속하는 복수의 금속 와이어를 더 포함하는 반도체 메모리 카드.

청구항 18

제10항에 있어서,

상기 메모리 칩 위에 탑재된 컨트롤러 칩을 더 포함하는 반도체 메모리 카드.

청구항 19

절연성의 기관의 양면 위에 금속 박막을 형성하는 단계와,

상기 기관의 양면을 드라이 필름에 의해 마스크한 후에 노광·현상 처리를 행하여, 상기 드라이 필름의 선택한 개소에 개구를 형성하는 단계와,

전해 도금을 행하여, 상기 드라이 필름의 상기 개구가 형성되어 있는 위치의 상기 금속 박막 위에 도금막을 형성하는 단계와,

상기 드라이 필름을 박리한 후, 원하는 배선 패턴을 갖는 마스크층을 상기 기관 양면의 금속 박막 위에 형성하는 단계와,

상기 마스크층을 이용하여 기관 양면의 상기 금속 박막을 선택 에칭하여, 각 카드의 주변부에 위치하는 금속 박막을 제거함과 함께, 상기 금속 박막으로 이루어지는 복수의 배선과 금속 박막 및 도금막으로 이루어지는 복수의 전극 패드를 형성하는 단계와,

상기 기관의 양면 위에 솔더 레지스트를 형성하는 단계

를 포함하는 반도체 메모리 카드의 제조 방법.

청구항 20

제19항에 있어서,

상기 금속 박막이 Cu막인 반도체 메모리 카드의 제조 방법.

청구항 21

제19항에 있어서,

상기 도금막이 Au막, Ni-Au 막 중 어느 하나인 반도체 메모리 카드의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

종래기술의 문헌 정보

<20> [특허 문헌1] 일본 특개2000-124344호 공보

발명이 속하는 기술 및 그 분야의 종래기술

<21> <관련 출원>

<22> 본 출원은 2005년 5월 23일 출원된 일본 특허 출원 번호 제2005-149537 및 2006년 4월 28일에 출원된 일본 특허 출원 번호 제2006-126838호에 기초한 것으로 그 우선권을 주장하며, 그 전체 내용이 참조로서 본 명세서에 포함된다.

<23> 본 발명은, 배선 기관 위에 메모리 칩을 탑재하고, 칩 탑재면을 수지로 밀봉함으로써 패키지를 구성한 반도체 메모리 카드에 관한 것이다.

<24> 최근, Personal Computer(PC), Personal Digital Assistant(PDA), 디지털 카메라, 휴대 전화 등의 다양한 휴대용 전자 기기에서는, 리무버블 기억 디바이스의 1개인 반도체 메모리 카드가 많이 이용되고 있다. 반도체 메모리 카드로서는, PC 카드, 및 소형의 SD 카드(TM)가 주목받고 있다. 또한, 최근에서는, 배선 기판의 한 쪽의 표면 위에 외부 접속 단자를 형성하고, 배선 기판의 다른 쪽의 표면 위에 메모리 칩이나 컨트롤러 칩을 탑재하고, 칩 탑재면을 몰드 수지로 밀봉하여 패키지를 구성함으로써, 보다 소형화된 반도체 메모리 카드가 실용화되고 있다. 이와 같이, 보다 소형화가 도모된 반도체 메모리 카드에서는, 배선 기판의 측면이 제품 외관에 노출되어 있다. 또한, 배선 기판의 양면에는, 외부 접속 단자 외에 다수의 배선이 형성되어 있다. 그리고, 이들 배선 상호의 쇼트 사고를 방지하는 목적으로, 솔더 레지스트라고 불리우고 있는 보호막이 기판 위에 피복 형성되어 있다. 패키지를 구성하는 몰드 수지 부재는, 배선 기판의 한 쪽의 표면 상을 피복하는 솔더 레지스트를 피복하도록 형성된다.

<25> 종래의 반도체 메모리 카드는, 측면이 노출되는 외주부를 포함하는 배선 기판의 거의 전체면이 솔더 레지스트로 피복되어 있다. 카드 외주부에서는, 솔더 레지스트와 몰드 수지가 밀착되어 있다. 그러나, 양자는 상호 평할 한 면에서 접하고 있기 때문에, 밀착 강도가 그다지 높지 않다. 이 때문에, 외형 가공 중에 배선 기판과 몰드 수지가 박리되어 기판 측면에 소위 구개(口開)가 발생하여, 불량으로 되는 문제가 있다.

<26> 또한, 특허 문헌 1에는, 칩 탑재용 기판 이면의 배선 위의 솔더 레지스트막에 개구부가 형성되고, 이 개구부로부터 노출되는 패드 영역이 외부 접속 단자로서 기능하고 있으며, 또한, 칩 탑재용 기판에 형성된 밀봉용 관통 구멍 내에 밀봉 수지가 충전되어, 앵커 효과에 의해 밀봉 수지와 칩 탑재용 기판의 접합력을 높이도록 한 반도체 장치가 개시되어 있다.

발명이 이루고자 하는 기술적 과제

<27> 본 발명의 한 관점에 따르면, 상호 대향하는 제1, 제2 표면을 갖고, 상기 제1 표면 위에 복수의 외부 접속 단자 및 복수의 배선이 형성되어 있는 배선 기판과, 상기 배선 기판의 상기 제2 표면 위에 형성되고, 상기 배선 기판의 외주부의 적어도 일부의 영역에 개구를 갖는 보호막과, 상기 배선 기판의 상기 제2 표면 위에 탑재된 메모리 칩과, 상기 보호막 및 상기 메모리 칩을 피복하도록 상기 배선 기판의 상기 제2 표면측을 밀봉하여 해당 반도체 메모리 카드의 패키지를 구성하는 수지막으로 이루어지는, 호스트 기기에 장착하여 사용 가능한 반도체 메모리 카드가 제공되어 있다.

발명의 구성 및 작용

<28> 이하, 도면을 참조하여 본 발명을 실시예에 의해 설명한다.

<29> 도 1은, 본 발명의 제1 실시예에 따른 반도체 메모리 카드의 단면도를 도시하고 있다. 도면에서, 참조 부호 11은, 예를 들면 에폭시, 글래스 에폭시 등으로 구성된 절연성의 기판이다. 기판(11)은, 상호 대향하는 한 쪽 및 다른 쪽의 표면을 갖는다. 이 기판(11)의 양면 위에 복수의 외부 접속 단자 및 배선 등의 도전체 패턴이 형성됨으로써 배선 기판이 구성되어 있다. 도 1에서는, 기판(11)의 한 쪽의 표면 위에 복수의 배선(12), 및 복수의 전극 패드(13)가 형성되어 있는 상태를 도시하고 있다. 기판(11)의 메모리 칩이 탑재되지 않은 측면 다른 쪽의 표면 위에는 솔더 레지스트(14)가 전체면에 피복되어 있다. 한편, 기판(11)의 메모리 칩 탑재측인 한 쪽의 표면 위에는, 기판(11)의 외주부의 일부 영역 및 전극 패드(13) 상을 제외하고, 솔더 레지스트(14)가 피복되어 있다. 기판(11)의 외주부에서 솔더 레지스트(14)가 피복되어 있지 않은 영역은 개구(15)로 도시되어 있다. 또한, 기판(11)의 한 쪽의 표면 위에는, 절연성의 접착 시트(16)를 이용하여 메모리 칩(17)이 탑재되어 있다. 통상적으로, 메모리 칩(17) 위에는, 메모리 칩(17)의 동작을 제어하는 컨트롤러 칩이 적층 탑재되지만, 도 1에서는 도시를 생략하고 있다.

<30> 메모리 칩(17) 위에는 복수의 전극 패드(18)가 형성되어 있다. 그리고, 메모리 칩(17) 위의 복수의 전극 패드(18)와, 기판(11) 위에 형성된 복수의 전극 패드(13)가 금속 와이어(19)에 의해 전기적으로 접속되어 있다. 또한, 기판(11)의 칩(17) 탑재면측에는 패키지를 구성하는 몰드 수지(20)가 형성되어 있다.

<31> 여기서, 몰드 수지(20)를 형성할 때의 몰드 공정 시에, 솔더 레지스트(14)가 피복되어 있지 않은 개구(15)를 매립하도록 몰드 수지(20)가 들어가고, 기판 외주부의 일부 영역에서는, 기판(11)과 몰드 수지(20)가 직접 접촉한다.

<32> 도 2는, 도 1에서의 기판(11)의 칩 탑재면측의 평면도를 도시하고 있다. 도 2에서, 솔더 레지스트(14)가 피복되어 있는 영역에는 사선 표시하고 있다. 솔더 레지스트(14)가 피복되어 있지 않은 부분은, 기판(11)의 외주부

의 일부 영역에 형성된 개구(15)와, 메모리 칩(17) 위의 전극 패드(18)와 접속되는 기판(11) 위의 전극 패드(13), 및 메모리 칩(17) 이외의 부품, 예를 들면 칩 컨덴서나 칩 저항을 기판(11) 위의 전극 패드와 접속하기 위한 전극 패드 등을 노출시키기 위한 개구(21)로 되어 있다.

- <33> 제1 실시예의 반도체 메모리 카드에서는, 기판(11)의 외주부의 일부 영역에 솔더 레지스트(14)가 피복되어 있지 않은 개구(15)가 형성되어 있다. 그리고, 이 개구(15) 내에 몰드 수지(20)가 들어가, 기판 외주부의 일부 영역에서 기판(11)과 몰드 수지(20)가 직접 접촉한다. 이 결과, 솔더 레지스트(14)가 피복되어 있는 부분과, 피복되어 있지 않은 부분으로 이루어지는 요철에 의한 앵커 효과에 의해, 기판(11)과 몰드 수지(20)의 밀착력이 높아진다.
- <34> 그런데, 도 2에 도시한 바와 같은 형상의 기판은, 도 3의 평면도에 도시한 바와 같이, 1개의 큰 기판(11) 위에, 복수개분의 반도체 메모리 카드의 배선 패턴의 형성, 메모리 칩의 탑재, 금속 와이어에 의한 본딩 공정, 메모리 칩 접촉면측의 수지 몰딩 공정을 거친 후에, 워터젯 가공 등에 의해 개개의 메모리 카드(40)마다 잘라내어진다. 그리고, 개개의 메모리 카드의 외형 잘라내기 가공 시에, 기판(11)과 몰드 수지(20)의 밀착력이 높아지고 있으므로, 기판(11)의 측면에서 몰드 수지(20)가 박리함에 따른 불량 발생을 방지할 수 있다.
- <35> 도 4는, 도 1에서의 기판(11)의 칩 탑재면과는 반대면의 평면도이다. 기판(11) 표면에는, 평면 형상의, 예를 들면 8개의 외부 접속 단자(41)가 형성되어 있다. 이들 8개의 외부 접속 단자(41)는, 기판(11) 위에 형성된 배선 및 금속 와이어를 통하여, 메모리 칩이나 컨트롤러 칩과 전기적으로 접속되어 있다. 여기서, 8개의 외부 접속 단자(41)에 대한 신호의 할당은, 예를 들면, 도 4에 도시한 바와 같이 되어 있다. 1번째의 외부 접속 단자는 데이터2(DAn2)에, 2번째의 외부 접속 단자는 데이터3(DATA3)에, 3번째의 외부 접속 단자는 커맨드(CMD)에, 4번째의 외부 접속 단자는 전압 전압(VDD)에, 5번째의 외부 접속 단자는 클럭 신호(CLK)에, 6번째의 외부 접속 단자는 접지 전압(VSS)에, 7번째의 외부 접속 단자는 데이터0(DATA0)에, 8번째의 외부 접속 단자는 데이터1(DATA1)에, 각각 할당되어 있다.
- <36> 반도체 메모리 카드는, 퍼스널 컴퓨터 등의 여러가지 호스트 기기에 형성된 슬롯에 대하여 장착 가능하도록 형성되어 있다. 호스트 기기에 형성된 호스트 컨트롤러(도시 생략)는, 이들 8개의 외부 접속 단자(41)를 통하여 반도체 메모리 카드와 각종 신호 및 데이터를 통신한다. 예를 들면, 반도체 메모리 카드에 데이터가 기입될 때에는, 호스트 컨트롤러는 기입 커맨드를, 3번째의 외부 접속 단자(CMD)를 통하여 반도체 메모리 카드에 시리얼한 신호로서 송출한다. 이 때, 반도체 메모리 카드는, 5번째의 외부 접속 단자(CLK)에 공급되어 있는 클럭 신호에 응답하여, 3번째의 외부 접속 단자(CMD)에 공급되는 기입 커맨드를 취득한다.
- <37> 도 5는, 도 1에서의 기판(11)의 칩 탑재면에 탑재된 칩과, 칩과 기판 위의 전극 패드 사이의 접속 상태를 도시하는 평면도이다.
- <38> 여기서는, 기판(11) 위에, 적층된 메모리 칩과 컨트롤러 칩이 재치되어 있는 상태를 도시하고 있다. 메모리 칩(17)은 예를 들면 1G 비트의 메모리 용량을 갖는 NAND형 메모리 칩이다. 메모리 칩(17) 위에는 컨트롤러 칩(22)이 접촉 탑재되어 있다. 메모리 칩(17) 및 컨트롤러 칩(22) 위의 전극 패드와, 기판(11) 위의 전극 패드는, 금속 와이어(19)에 의해 본딩되어 있다. 또한, 도 5에서는, 메모리 칩(17) 및 컨트롤러 칩(22) 외에, 칩 부품, 예를 들면 칩 컨덴서(23)나 칩 저항(24) 등이 기판(11) 위의 전극 패드에 전기적으로 접속되어 있는 상태를 도시하고 있다.
- <39> 도 6은, 도 1에서의 기판(11)의 칩 탑재면에 형성된 전극 패드 및 배선 패턴의 일 구체예를 도시하는 평면도이다. 도 3을 이용하여 설명한 바와 같이, 반도체 메모리 카드는, 1개의 큰 기판 위에, 복수개분의 메모리 카드의 배선 패턴의 형성, 메모리 칩의 탑재, 금속 와이어에 의한 본딩 공정, 메모리 칩 접촉면측의 수지 몰딩 공정을 거친 후에, 워터젯 가공 등에 의해 개개로 잘라내어짐으로써 형성된다. 상기 배선 패턴은, 절연성의 기판의 전체면에 금속, 예를 들면 Cu의 막을 형성하고, 이 Cu에 대하여 원하는 패턴 형상으로 도금을 실시하고, 그 후, 에칭함으로써 형성된다. 그리고, 상기 Cu에 대하여 도금을 행할 때에, 기판(11)의 외주부에서의 솔더 레지스트(14)가 피복되어 있지 않은 도 1에서의 각 개구(15)에 대응한 영역에 존재하는 Cu에 대하여 도금을 실시하지 않는 것에 의해, 그 후의 에칭 공정에서 이 영역에는 배선 패턴이 형성되지 않게 된다. 즉, 이에 의해, 배선 패턴의 단부가 반도체 메모리 카드의 외부에 노출되지 않도록 할 수 있다. 이에 의해, 배선 패턴이 외기에 노출되어지는 것에 의한 부식 등의 발생을 방지할 수 있다.
- <40> 도 7은, 도 1에서의 기판(11)의 칩 비탑재면에 형성된 배선 패턴의 일 구체예를 도시하는 평면도이다. 또한, 도 7에서는, 도 4와는 달리, 기판(11)의 칩 탑재면측으로부터 본 배선 패턴을 도시하고 있다. 여기서, 상부의

8 개소의 긴 사각 형상의 배선 부분은, 도 4에서의 외부 접속 단자(41)에 상당한다. 또한, 하부의 TP로 표시되어 있는 부분은, 테스트용의 패드로서, 실제 사용 시에는 테이프 등에 의해 시일된다.

- <41> 그런데, 기관(11) 위에 형성된 Cu 막에 대하여 전해 도금을 실시하는 경우, Cu 막에 전위를 부여할 필요가 있다. 이 때문에, 도 8의 평면도에 도시한 바와 같이, 개개로 잘라내기 가공되기 전의 기관에는, 배선, 특히 도금이 필요한 전극 패드에 전위를 부여하기 위한 도금용 급전선(51)이 메모리 카드의 주위에 형성된다. 전해 도금이 실시되고, 반도체 칩의 탑재, 금속 와이어에 의한 본딩, 수지 몰드가 행해진 후에, 개개의 메모리 카드마다 기관(11)의 외형선을 따라 잘라내기가 가공된다. 도 8은, 잘라내기 가공 전의 기관에 형성된 전극 패드 및 배선 패턴의 일 구체예를 도시하는 평면도로서, 잘라내기 가공 후의 기관의 외형선이 부호 52로 나타내어져 있다. 잘라내기 가공 시에, 도금용 급전선(51)이 외형선(52)의 개소에서 절단되므로, 완성 후에 제품 측면에 도금용 급전선(51)의 단부면이 노출된다. 도금용 급전선(51)의 단부면이 제품 측면에 노출되면, 외부로부터의 노이즈나 정전기의 영향을 받기 쉽게 되어, 메모리 칩의 오동작, 데이터 파괴가 발생한다. 따라서, 도금용 급전선(51)을 형성하는 것은 바람직하지 못하다.
- <42> 다음으로, 도금용 급전선을 형성하지 않고 도금을 행함으로써, 도금용 급전선의 단부면이 제품 측면에 노출되지 않도록 하는 방법에 대하여 설명한다.
- <43> 도 9a~도 9i는, 본 발명의 제2 실시예에 따른 반도체 메모리 카드의 제조 방법을 공정순으로 도시하는 단면도이다. 또한, 이 경우, 도 3에 도시한 바와 같이, 1매의 큰 기관 위에 복수개분의 반도체 메모리 카드가 형성된 후에 개개의 카드마다 분리된다.
- <44> 우선, 도 9a에 도시한 바와 같이, 기관(11)에 쓰루홀(25)이 개구되고, 계속해서 Cu 도금이 실시되어, 쓰루홀(25)의 내주면을 포함하는 기관(11)의 양면 위에 Cu로 이루어지는 금속 박막(26)이 형성된다.
- <45> 다음으로, 도 9b에 도시한 바와 같이, 기관(11)의 양면이 드라이 필름(27)으로 마스크되고, 노광·현상이 행하여짐으로써 도금이 필요한 개소의 드라이 필름(27)에 개구(28)가 형성된다.
- <46> 다음으로, 도 9c에 도시한 바와 같이, 전해 Au 도금이 행해짐에 따라, 드라이 필름(27)의 개구(28)가 형성되어 있는 위치의 금속 박막(26) 위에 Au 막(29)이 형성된다. 이 도금 시에, 종래의 도금 급전선에 상당하는 부분의 금속 박막(26) 위에는 Au 막(29)은 형성되지 않는다. Au 도금 후에는, 도 9d에 도시한 바와 같이, 드라이 필름(27)이 박리된다.
- <47> 다음으로, 도 9e에 도시한 바와 같이, 원하는 배선 패턴을 갖는 마스크층(30)이 기관 양 면의 금속 박막(26) 위에 형성된 후, 도 9f에 도시한 바와 같이, 이 마스크층(30)을 이용하여 기관 양면의 금속 박막(26)이 선택 에칭된다. 이 에칭 시에, 각 카드의 주변부에 위치하는 금속 박막(26)이 제거된다. 즉, 개개의 카드마다 분리될 때에, 카드의 주변으로부터 금속 박막(26)이 노출되지 않도록 금속 박막(26)이 선택 에칭된다. 이 후, 도 9g에 도시한 바와 같이, 마스크층(30)이 박리된다. 이 공정에 의해, 기관(11)의 양면 위에 Cu로 이루어지는 복수의 배선(12), 및 표면 위에 Au 막이 형성되어 있는 전극 패드(13)가 형성된다.
- <48> 이 후, 도 9h에 도시한 바와 같이, 기관(11)의 양면 위에 솔더 레지스트(14)가 인쇄에 의해 형성된 후, 또한, 도 9i에 도시한 바와 같이, 기관(11)의 외주부의 일부 영역 및 전극 패드(13) 위의 솔더 레지스트(14)가 제거된다. 이 후에는, 기관(11) 위에 반도체 칩이 탑재되고, 금속 와이어에 의한 본딩이 행하여진 후, 수지 몰드 공정이 행해지고, 또한 개개의 메모리 카드마다 잘라내기 가공된다.
- <49> 도 10은, 상기한 바와 같은 방법에 의해 형성되는 반도체 메모리 카드에서의 반도체 칩의 비탑재면의 배선의 일례를 도시하는 평면도이며, 도 11은 완성 후의 반도체 메모리 카드의 일부의 단면을 도시하고 있다. 또한, 도 11에서 도 1과 대응하는 개소에는 동일한 부호를 붙이고 그 설명은 생략한다.
- <50> 상기한 방법에 따르면, 메모리 카드의 주위에 도금용 급전선을 형성할 필요가 없으므로, 제품 측면에 도금용 급전선(배선의 일부)의 단부면이 노출되지 않게 된다. 이 결과, 외부로부터의 노이즈나 정전기의 영향을 받기 어렵게 할 수 있어, 메모리 칩의 오동작, 데이터 파괴를 방지할 수 있다.
- <51> 또한, 기관 위에 도금용 급전선을 형성하지 않아도 되므로, 배선을 형성할 수 있는 영역이 증가하여, 배선 길이를 길게 하고 또한 배선 폭을 굵게 할 수 있어, 배선 주위의 최적화를 도모할 수 있다. 혹은, 도 10에 도시한 바와 같이, 기관(11) 위의 빈 스페이스에 GND 플레인(53) 등을 배치함으로써, 전기적 특성면에서도 유리하게 된다.
- <52> 또한, 상기 설명에서는, Cu로 이루어지는 금속 박막(26) 위에 전해 도금에 의해 Au 막(29)을 형성하는 경우를

설명했지만, 이것은 Au 막 외에 다양한 도금막, 예를 들면 Ni-Au 막을 형성하여도 된다.

- <53> 도 12는, 본 발명의 제3 실시예에 따른 반도체 메모리 카드에서 사용되는 기관(11)의 평면도를 도시하고 있다. 제1 실시예의 반도체 메모리 카드에서는, 기관(11)의 외주부의 일부 영역에 솔더 레지스트(14)가 피복되어 있지 않은 개구(15)가 형성되는 경우를 설명했다.
- <54> 이것에 대하여, 제3 실시예의 메모리 카드에서는, 기관(11)의 외주부의 연속한 영역에 솔더 레지스트(14)가 피복되어 있지 않은 개구(15)가 형성된다.
- <55> 부가적인 장점 및 변형은 당업자에 의해 쉽게 구현할 수 있으며, 따라서, 본 발명의 범위는 상기한 설명 및 실시예에 한정되는 것은 아니다. 따라서, 부가된 청구항 및 그 등가물에 의해 정의되는 바와 같은 발명의 개념의 범위 및 정신에서 벗어나지 않고, 다양한 변형이 이루어질 수 있다.

발명의 효과

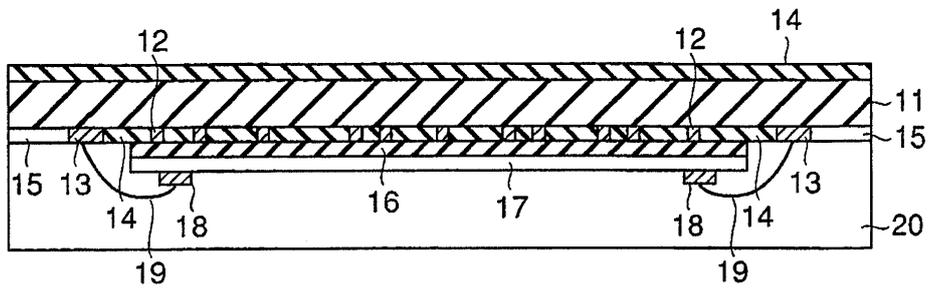
- <56> 이러한 구성에 따르면, 기관(11)과 몰드 수지(20)의 밀착력이 보다 높아져, 기관(11) 측면에서 몰드 수지(20)가 박리함에 따른 불량의 발생을 방지할 수 있다.

도면의 간단한 설명

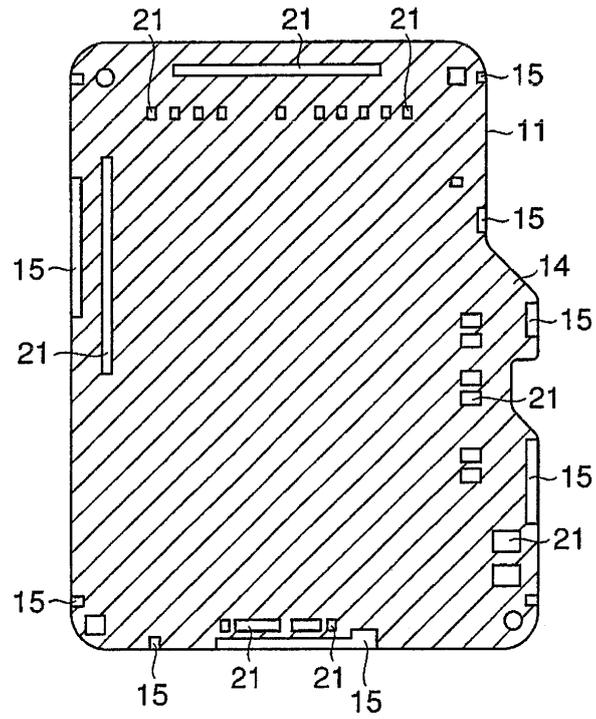
- <1> 도 1은 본 발명의 제1 실시예에 따른 반도체 메모리 카드의 단면도.
- <2> 도 2는 도 1 중의 기관의 칩 탑재면측의 평면도.
- <3> 도 3은 제1 실시예에 따른 반도체 메모리 카드의 제조 공정의 일부를 도시하는 평면도.
- <4> 도 4는 도 1에서의 기관의 칩 탑재면과는 반대면의 평면도.
- <5> 도 5는 도 1에서의 기관의 칩 탑재면에 탑재된 칩과 기관 위의 전극 패드 사이의 접속 상태를 도시하는 평면도.
- <6> 도 6은 도 1에서의 기관의 칩 탑재면에 형성된 전극 패드 및 배선 패턴의 일 구체예를 도시하는 평면도.
- <7> 도 7은 도 1에서의 기관의 칩 비탑재면에 형성된 배선 패턴의 일 구체예를 도시하는 평면도.
- <8> 도 8은 도금용 급전선을 갖는 기관의 평면도.
- <9> 도 9a 내지 도 9i는 본 발명의 제2 실시예에 따른 반도체 메모리 카드의 제조 방법을 공정순으로 도시하는 단면도.
- <10> 도 10은 제2 실시예의 방법에 의해 형성되는 반도체 메모리 카드에서의 반도체 칩의 비탑재면의 배선의 일례를 도시하는 평면도.
- <11> 도 11은 제2 실시예의 방법에 의해 형성되는 반도체 메모리 카드의 일부의 단면도.
- <12> 도 12는 본 발명의 제3 실시예에 따른 반도체 메모리 카드에서 사용되는 기관의 평면도.
- <13> <도면의 주요 부분에 대한 부호의 설명>
- <14> 11 : 기관
- <15> 13 : 전극 패드
- <16> 14 : 솔더 레지스트
- <17> 15 : 개구
- <18> 16 : 접착 시트
- <19> 17 : 메모리 칩

도면

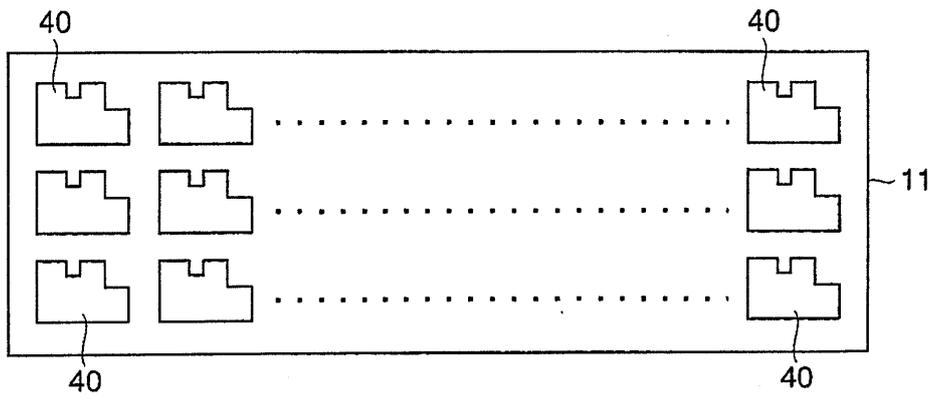
도면1



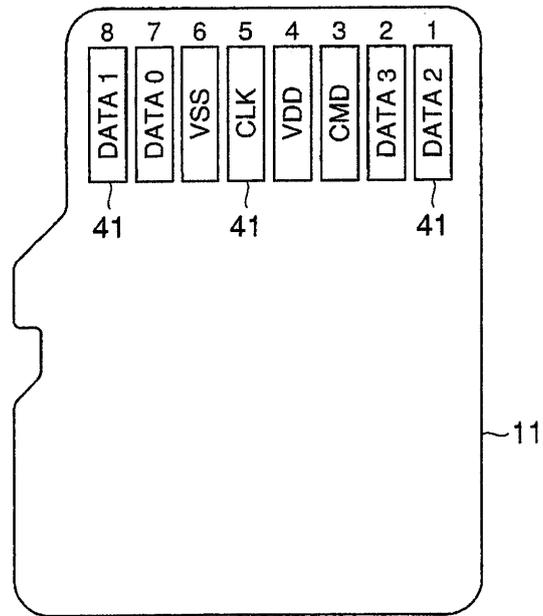
도면2



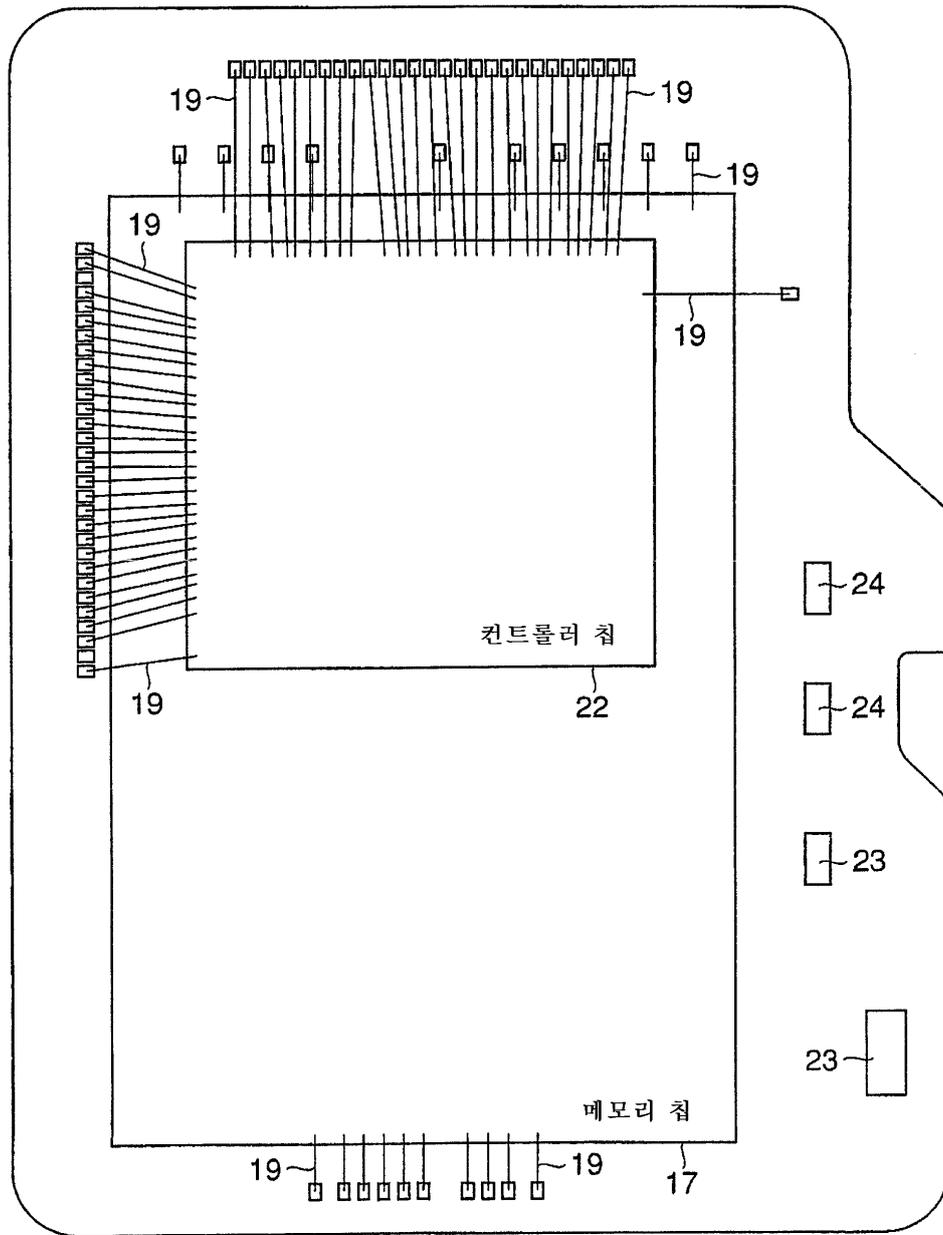
도면3



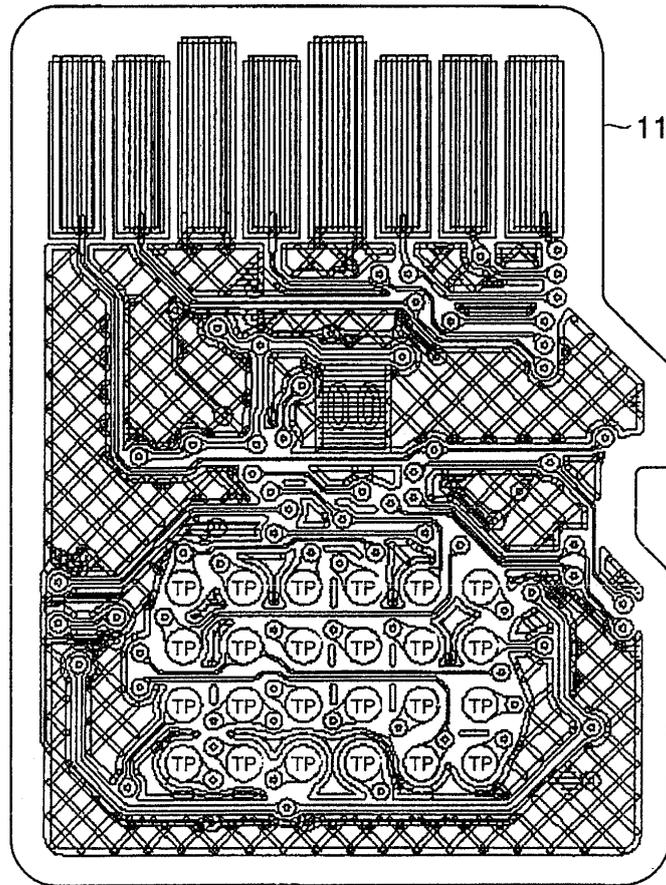
도면4



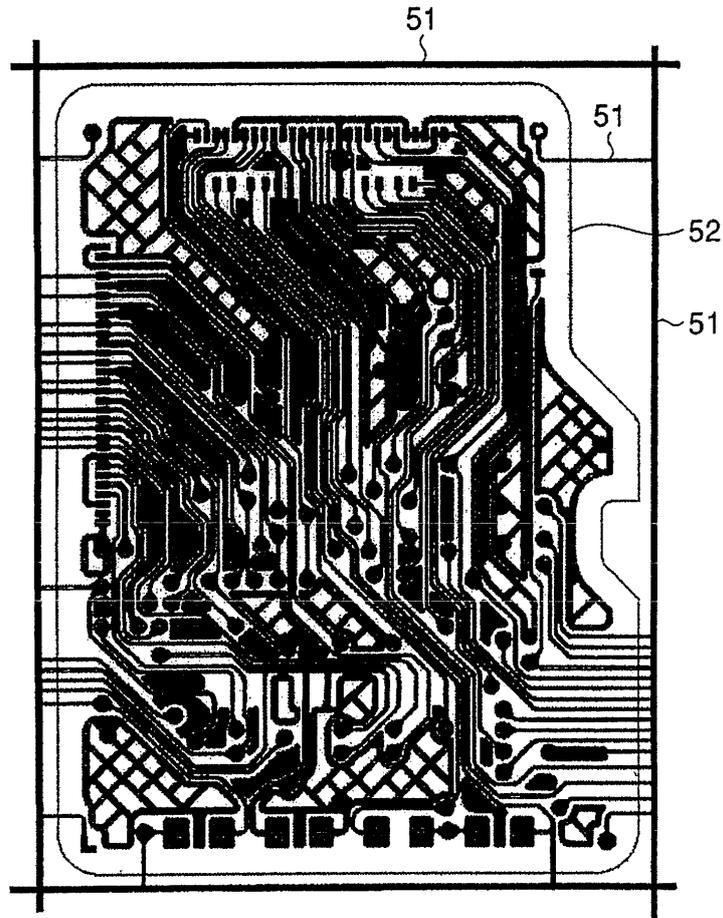
도면5



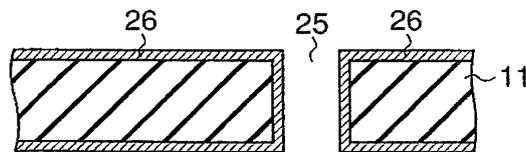
도면7



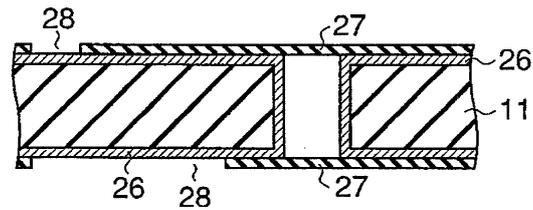
도면8



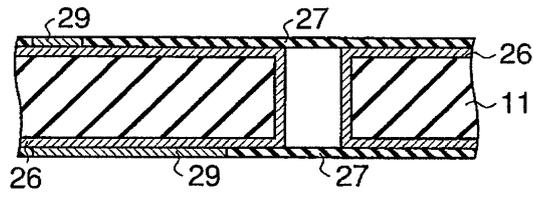
도면9a



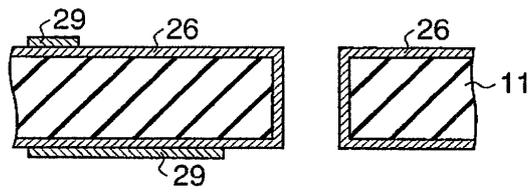
도면9b



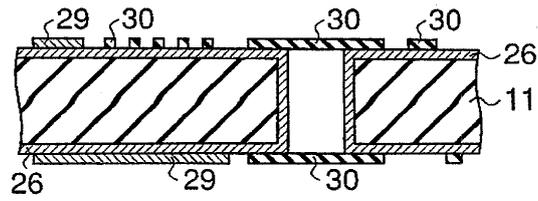
도면9c



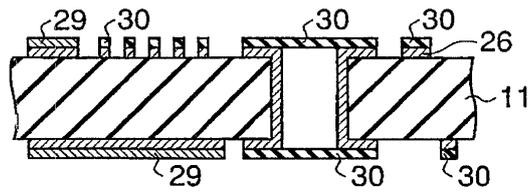
도면9d



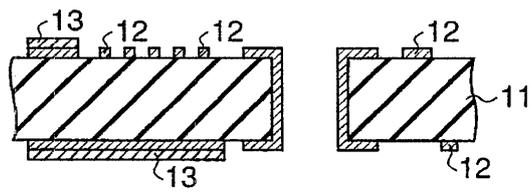
도면9e



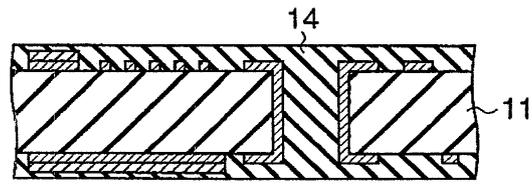
도면9f



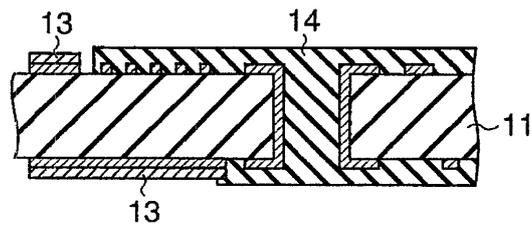
도면9g



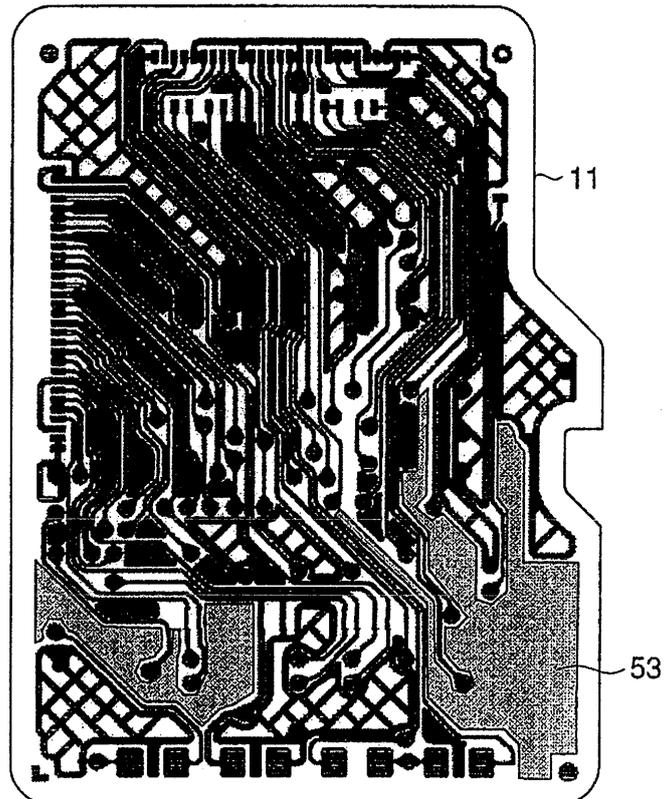
도면9h



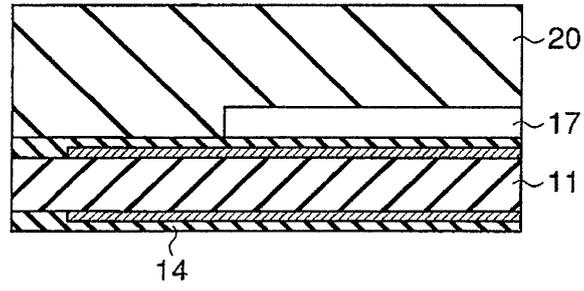
도면9i



도면10



도면11



도면12

