

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-4661

(P2013-4661A)

(43) 公開日 平成25年1月7日(2013.1.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 33/24 (2010.01)	HO 1 L 33/00 1 7 4	5 F 0 4 1
HO 1 L 31/04 (2006.01)	HO 1 L 31/04 A	5 F 1 4 1
		5 F 1 5 1

審査請求 有 請求項の数 20 O L (全 44 頁)

(21) 出願番号	特願2011-133148 (P2011-133148)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成23年6月15日 (2011.6.15)	(74) 代理人	100084146 弁理士 山崎 宏
		(74) 代理人	100081422 弁理士 田中 光雄
		(74) 代理人	100122286 弁理士 仲倉 幸典
		(72) 発明者	柴田 晃秀 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	根岸 哲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

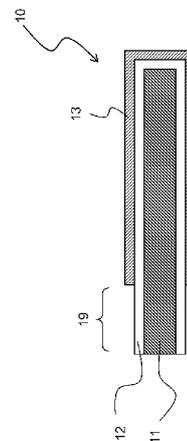
(54) 【発明の名称】 半導体素子、半導体素子の製造方法、発光ダイオード、発光ダイオードの製造方法、光電変換素子、太陽電池、照明装置、バックライトおよび表示装置

(57) 【要約】

【課題】良好なPN接合を側面に有して、良好な電気的特性を有する半導体素子等を提供すること。

【解決手段】第1導電型の半導体コア11を覆うように第1導電型の半導体シェル12を形成する。また、第1導電型の半導体シェル12を覆うように第2導電型の半導体シェル13を形成する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

棒状のコアと、

上記コアの外周面の少なくとも一部を覆うように配置された第 1 導電型の半導体シェルと、

上記第 1 導電型の半導体シェルの外周面の少なくとも一部を覆うように配置された第 2 導電型の半導体シェルと

を備えることを特徴とする半導体素子。

## 【請求項 2】

請求項 1 に記載の半導体素子において、

上記コアは、第 1 導電型の半導体コアであり、

上記半導体コアに導電性を与える不純物の濃度は、上記第 1 導電型の半導体シェルに導電性を与える不純物の濃度よりも大きいことを特徴とする半導体素子。

## 【請求項 3】

請求項 1 または 2 に記載の半導体素子において、

上記コアは、第 1 導電型の半導体コアであり、

上記半導体コアの抵抗率は、上記第 1 導電型の半導体シェルの抵抗率よりも小さいことを特徴とする半導体素子。

## 【請求項 4】

請求項 1 から 3 までのいずれか一項に記載の半導体素子において、

上記第 1 導電型の半導体シェルは、上記コアと異なる材質からなり、

上記第 1 導電型の半導体シェルの結晶欠陥密度が、上記コアの結晶欠陥密度よりも小さいことを特徴とする半導体素子。

## 【請求項 5】

請求項 1 から 4 までのいずれか一項に記載の半導体素子を備えることを特徴とする発光ダイオード。

## 【請求項 6】

請求項 5 に記載の発光ダイオードにおいて、

上記第 1 導電型の半導体シェルと、上記第 2 導電型の半導体シェルとの間に発光層を備えることを特徴とする発光ダイオード。

## 【請求項 7】

請求項 6 に記載の発光ダイオードにおいて、

上記コアを構成する物質のバンドギャップは、上記発光層を構成する物質のバンドギャップよりも大きいことを特徴とする発光ダイオード。

## 【請求項 8】

請求項 5 から 7 までのいずれか一項に記載の発光ダイオードにおいて、

基板と、

上記基板上に配置された複数の上記半導体素子と、

上記半導体素子を電氣的に接続する配線と

を備えることを特徴とする発光ダイオード。

## 【請求項 9】

請求項 1 から 4 までのいずれか一項に記載の半導体素子を備えることを特徴とする光電変換素子。

## 【請求項 10】

基板上に棒状のコアを形成するコア形成工程と、

上記棒状のコアの外周面の少なくとも一部を第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、

上記第 1 導電型のシェルの外周面の少なくとも一部を第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と

を備えることを特徴とする半導体素子の製造方法。

10

20

30

40

50

## 【請求項 1 1】

請求項 1 0 に記載の半導体素子の製造方法において、  
上記コア形成工程は、基板上に形成されたコアを構成する物質の一部をエッチングすることを含むことを特徴とする半導体素子の製造方法。

## 【請求項 1 2】

請求項 1 0 または 1 1 に記載の半導体素子の製造方法において、  
上記コア形成工程の後、かつ、上記第 1 のシェル形成工程の前に、アニール処理を行なうことを特徴とする半導体素子の製造方法。

## 【請求項 1 3】

請求項 1 0 から 1 2 までのいずれか一項に記載の半導体素子の製造方法において、  
上記コア形成工程の後であって、上記第 1 のシェル形成工程の前に、上記コア形成工程で形成されたコアの一部をウェットエッチングにより除去することを特徴とする半導体素子の製造方法。

10

## 【請求項 1 4】

請求項 1 0 から 1 3 までのいずれか一項に記載の半導体素子の製造方法において、  
上記コア形成工程は、基板上に棒状のコアを成長させることを特徴とする半導体素子の製造方法。

## 【請求項 1 5】

請求項 1 0 から 1 4 までのいずれか一項に記載の半導体素子の製造方法において、  
上記コア形成工程の後であって、上記第 1 のシェル形成工程の前に、上記コアを形成する温度よりも高温のアニール処理を行なうことを特徴とする半導体素子の製造方法。

20

## 【請求項 1 6】

第 1 の基板上に複数の棒状のコアを形成するコア形成工程と、  
上記複数の棒状のコアの外周面の少なくとも一部を、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、  
上記第 1 導電型の半導体シェルの外周面の少なくとも一部を、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、  
上記各棒状のコアと、その各コアを覆っている上記第 1 導電型の半導体シェルと、その各コアを覆っている上記第 1 導電型の半導体シェルを覆っている上記第 2 導電型の半導体シェルとの一体構造を、上記棒状のコア毎に上記第 1 の基板から切り離して、複数の半導体素子を取り出す半導体素子切り離し工程と、  
複数の上記半導体素子を第 2 の基板上に配置する半導体素子配列工程と  
を備えることを特徴とする発光ダイオードの製造方法。

30

## 【請求項 1 7】

請求項 9 に記載の光電変換素子を備えることを特徴とする太陽電池。

## 【請求項 1 8】

請求項 5 から 8 までのいずれか一項に記載の発光ダイオードを備えることを特徴とする照明装置。

## 【請求項 1 9】

請求項 5 から 8 までのいずれか一項に記載の発光ダイオードを備えることを特徴とするバックライト。

40

## 【請求項 2 0】

請求項 5 から 8 までのいずれか一項に記載の発光ダイオードを備えることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0 0 0 1】

本発明は、棒状の半導体素子およびその製造方法、並びにそのような半導体素子を用いた発光ダイオード、発光ダイオードの製造方法、光電変換素子、太陽電池、照明装置、バックライトおよび表示装置に関する。

50

## 【背景技術】

## 【0002】

従来、第1導電型の半導体コアと、該第1導電型のコアを覆うように形成された第2導電型の半導体シェルからなる半導体素子を用いた装置の一例として、ナノワイヤ光起電力装置が、特許文献1（特開2008-53730号）に開示されている。

## 【0003】

図45は、そのナノワイヤ光起電力装置900の基本構成を説明する図である。

## 【0004】

図45に示すように、このナノワイヤ光起電力装置900は、基板908上に下部接点906が形成され、下部接点906上に形成された多孔質ナノテンプレート902から第1導電型の半導体材料からなる細長いナノ構造体901（第1導電型の半導体コア）が直立している。ナノ構造体901の周囲には、第2導電型の半導体材料からなるコンフォーマル層903（第2導電型の半導体シェル）が形成され、更にコンフォーマル層903上に導電性透明材料904および上部接点905が形成されている。

10

## 【0005】

上記細長いナノ構造体901は、触媒となる金属ナノ粒子を用いてCVD（Chemical Vapor Deposition）法等で成長させられて形成されている。引用文献1の発明では、このように、第1導電型の半導体コアと、該第1導電型のコアを覆うように形成された第2導電型の半導体シェルとで半導体素子を構成して、PN接合の面積を大きくして、高い発電効率を得るようにしている。

20

## 【先行技術文献】

## 【特許文献】

## 【0006】

【特許文献1】特開2008-53730号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

しかしながら、上記従来技術では、金属触媒を用いて第1導電型の半導体コア（細長いナノ構造体）を成長させているため、触媒となる金属原子による汚染で結晶欠陥が生じることが避けがたい。そして、このような結晶欠陥は、第1導電型の半導体コアと第2導電型の半導体シェル（コンフォーマル層903）とで構成されるPN接合において、深い準位を形成して、キャリアの再結合による太陽電池の効率低下をもたらす。

30

## 【0008】

また、細長いナノ構造体901は、触媒となる金属ナノ粒子が成長点となって基板上で徐々に成長していく。このため、細長いナノ構造体901の下部（基板側）は成長の初期段階で形成され、上部は後期段階で形成される。すなわち、細長いナノ構造体901の下部と上部では形成される時期が異なっている。それゆえ、第1導電型の半導体コア（細長いナノ構造体901）の結晶性が不均一になりやすく、結果として第1導電型の半導体コアの側面に形成されたPN接合の品質が不均一になり易いという問題があった。

## 【0009】

ここで、この問題は、第1導電型の半導体コア側面上の広い範囲にわたってPN接合を形成する場合に、特に顕著になる。

40

## 【0010】

そこで、本発明の課題は、良好なPN接合を側面に有して、良好な電気的特性を有する半導体素子を提供することにある。

## 【0011】

また、本発明の課題は、そのような半導体素子の製造方法、そのような半導体素子を用いた発光ダイオード、その発光ダイオードの製造方法、そのような半導体素子を用いた光電変換素子、太陽電池、照明装置、バックライトおよび表示装置を提供することにある。

## 【課題を解決するための手段】

50

## 【0012】

上記課題を解決するため、この発明の半導体素子は、  
棒状のコアと、

上記コアの外周面の少なくとも一部を覆うように配置された第1導電型の半導体シェルと、

上記第1導電型の半導体シェルの外周面の少なくとも一部を覆うように配置された第2導電型の半導体シェルと  
を備えることを特徴としている。

## 【0013】

本発明において、上記棒状のコアが、第1導電側の半導体コアである場合、半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ第1導電型の半導体コアと、第1導電型の半導体シェルとが分担して、果たすことができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、また、製造のコストも低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率を向上させることができ、発光ダイオードとして用いた場合は、発光効率を向上させることができる。

10

## 【0014】

また、上記棒状のコアが、半導体コアでない場合も、半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ棒状のコアと、第1導電型の半導体シェルとが分担して、果たすことができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、また、製造のコストも低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上させることができ、発光ダイオードとして用いた場合は、発光効率が向上させることができる。

20

## 【0015】

また、一実施形態では、

上記コアは、第1導電型の半導体コアであり、

上記半導体コアに導電性を与える不純物の濃度は、上記第1導電型の半導体シェルに導電性を与える不純物の濃度よりも大きくなっている。

30

## 【0016】

上記実施形態によれば、第1導電型の半導体シェルと第2導電型の半導体シェルで構成されるPN接合の特性を向上することができるとともに、第1導電型の半導体コアの抵抗を十分に小さくすることが可能となる。本発明の半導体素子は、棒状の半導体素子であって、第1導電型の半導体コアの形状も細長いものであるから、第1導電型の半導体コアの抵抗を十分に低く保つことは特に重要である。

## 【0017】

第1導電型の半導体コアの抵抗が十分に低くない場合、第1導電型の半導体コア内で電圧降下を起こして半導体素子の特性悪化の原因となるからである。例えば、半導体素子が太陽電池である場合は、発電効率が悪化し、発光ダイオードである場合は、発光効率が悪化する原因となる。

40

## 【0018】

一般的には、半導体中の不純物濃度が高くなるにつれて半導体の結晶性が悪化する傾向があるから、上記実施形態によれば、PN接合の良好な特性と、第1導電型の半導体コアの良好な導電性の両立を獲得できる。

## 【0019】

また、一実施形態では、

上記コアは、第1導電型の半導体コアであり、

上記半導体コアの抵抗率は、上記第1導電型の半導体シェルの抵抗率よりも小さくなっ

50

ている。

【0020】

上記実施形態によれば、第1導電型の半導体コアの抵抗が小さいから、第1導電型の半導体シェルと第2導電型の半導体シェルで構成されるPN接合の特性を更に向上させることができる。

【0021】

また、一実施形態では、

上記第1導電型の半導体シェルは、上記コアと異なる材質からなり、

上記第1導電型の半導体シェルの結晶欠陥密度が、上記コアの結晶欠陥密度よりも小さい。

10

【0022】

上記実施形態によれば、半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ棒状のコアと第1導電型の半導体シェルとが分担して、果たすことができる機能を向上させることができる。

【0023】

また、本発明の発光ダイオードは、

本発明の半導体素子を備えることを特徴としている。

【0024】

本発明によれば、発光ダイオードの発光効率を向上させることができる。

【0025】

20

また、一実施形態では、

上記第1導電型の半導体シェルと、上記第2導電型の半導体シェルとの間に発光層を備える。

【0026】

上記実施形態によれば、発光ダイオードの発光効率を更に向上させることができる。

【0027】

また、一実施形態では、

上記コアを構成する物質のバンドギャップは、上記発光層を構成する物質のバンドギャップよりも大きくなっている。

【0028】

30

上記実施形態によれば、発光層で発生した光が棒状のコアまたは第1導電型の半導体コアで殆ど吸収されることがないため、発光ダイオードの発光効率を高くすることができる。

【0029】

また、一実施形態では、

基板と、

上記基板上に配置された複数の上記半導体素子と、

上記半導体素子を電気的に接続する配線と

を備えている。

【0030】

40

上記実施形態によれば、上記基板上において、発光ダイオードの機能を有する半導体素子の配置間隔を自由に設定することができる。したがって、上記発光ダイオードの機能を有する半導体素子を効率よく基板に逃がして、発光ダイオードの温度上昇を抑制することにより、発光ダイオードの効率と信頼性を共に向上することが可能となる。

【0031】

また、本発明の光電変換素子は、

本発明の半導体素子を備えることを特徴としている。

【0032】

本発明によれば、光電変換素子の変換効率を向上させることができる。

【0033】

50

また、本発明の半導体素子の製造方法は、  
基板上に棒状のコアを形成するコア形成工程と、  
上記棒状のコアの外周面の少なくとも一部を第1導電型の半導体シェルで覆う第1のシェル形成工程と、  
上記第1導電型のシェルの外周面の少なくとも一部を第2導電型の半導体シェルで覆う第2のシェル形成工程と  
を備えることを特徴としている。

**【0034】**

本発明によれば、棒状の半導体コアを形成した後に、第1導電型の半導体シェルを形成するので、第1導電型の半導体シェルの表面には均一で結晶性のよい第1導電型の半導体が露出する。その後、第2導電型の半導体シェルで覆うので、第1導電型の半導体シェルと第2導電型の半導体シェルとで良好な特性を持つPN接合を得ることができる。一方、上記棒状のコアは、第1導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を持たせることができる。したがって、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ第1導電型の半導体コアと、第1導電型の半導体シェルとで分担して、果たすようにすることができる。したがって、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、また、製造コストを低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上し、発光ダイオードとして用いた場合は、発光効率が向上する。

10

20

**【0035】**

また、一実施形態では、  
上記コア形成工程は、基板上に形成されたコアを構成する物質の一部をエッチングすることを含む。

**【0036】**

上記実施形態によれば、棒状のコアの断面形状を自由に変えることが可能となる。したがって、例えば、棒状のコアの側面の結晶方位を好ましいものとして、半導体素子の特性を向上させることが可能となる。

30

**【0037】**

また、一実施形態では、  
上記コア工程の後、かつ、上記第1のシェル形成工程の前に、アニール処理を行なう。

**【0038】**

上記実施形態によれば、棒状のコアの結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第1のシェル形成工程で成膜する第1導電型の半導体シェルの結晶性を更に向上させることができる。

**【0039】**

また、一実施形態では、  
上記コア形成工程の後であって、上記第1のシェル形成工程の前に、上記コア形成工程で形成されたコアの一部をウェットエッチングにより除去する。

40

**【0040】**

上記実施形態によれば、棒状のコアの結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第1のシェル形成工程で成膜する第1導電型の半導体シェルの結晶性を更に向上させることができる。

**【0041】**

また、一実施形態では、  
上記コア形成工程は、基板上に棒状のコアを成長させる。

**【0042】**

上記実施形態によれば、基板と棒状のコアは、棒状のコアの断面積と同じ面積で接する

50

こととなる。ここで、棒状のコアの直径は、ナノスケールからマイクロスケールであるから、断面積は小さい。更には、棒状のコアは、基板上に離散的に形成されている。したがって、基板を構成する物質と棒状のコアを構成する物質の格子定数のミスマッチによる基板の反りを抑制することができる。したがって、半導体素子を形成するプロセスにおけるフォトリソグラフィ工程の精度を向上して半導体素子の歩留まりを向上することができる。

【0043】

また、一実施形態では、

上記コア形成工程の後であって、上記第1のシェル形成工程の前に、上記コアを形成する温度よりも高温のアニール処理を行なう。

10

【0044】

上記実施形態によれば、棒状の結晶欠陥を回復して結晶性を良好なものにすることができるので、その後形成される第2導電型の半導体シェルや発光層の結晶性を良好なものにすることができる。

【0045】

また、本発明の発光ダイオードの製造方法は、

第1の基板上に複数の棒状のコアを形成するコア形成工程と、

上記複数の棒状のコアの外周面の少なくとも一部を、第1導電型の半導体シェルで覆う第1のシェル形成工程と、

上記第1導電型の半導体シェルの外周面の少なくとも一部を、第2導電型の半導体シェルで覆う第2のシェル形成工程と、

20

上記各棒状のコアと、その各コアを覆っている上記第1導電型の半導体シェルと、その各コアを覆っている上記第1導電型の半導体シェルを覆っている上記第2導電型の半導体シェルとの一体構造を、上記棒状のコア毎に上記第1の基板から切り離して、複数の半導体素子を取り出す半導体素子切り離し工程と、

複数の上記半導体素子を第2の基板上に配置する半導体素子配列工程とを備えることを特徴としている。

【0046】

本発明によれば、構成要素である半導体素子が、第1の基板上で、棒状のコアが形成された後、第1導電型の半導体シェルおよび第2導電型のシェルで覆われるようになってくるから、単位基板面積当りのPN接合面積、すなわち、発光面積を非常に大きくすることができて、製造コストを低減することができる。

30

【0047】

更には、第1導電型の半導体シェルと、第2導電型の半導体シェルとで良好な特性を持つPN接合を得ることができるのみならず、上記棒状のコアは第1導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を持たせることができる。したがって、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができる。

40

【0048】

更には、上記第1の基板とは別の上記第2の基板上に複数の上記半導体素子を配列するので、発光ダイオードの機能を有する半導体素子の配置間隔を自由に設定することができる。したがって、上記発光ダイオードの機能を有する半導体素子を効率よく基板に逃がして、発光ダイオードの温度上昇を抑制することにより、発光ダイオードの効率と信頼性を共に向上することができる。

【0049】

したがって、高効率で高信頼性の発光ダイオードを低コストで製造することができる。

【0050】

また、本発明の太陽電池は、本発明の光電変換素子を備えることを特徴としている。

【0051】

50

本発明によれば、太陽電池の発電効率を高くすることができる。

【0052】

また、本発明の照明装置は、本発明の発光ダイオードを備えることを特徴としている。

【0053】

本発明によれば、照明装置の低消費電力化を実現することができる。

【0054】

また、本発明のバックライトは、本発明の発光ダイオードを備えることを特徴としている。

【0055】

本発明によれば、バックライトの低消費電力化を実現することができる。

10

【0056】

また、本発明の表示装置は、本発明の発光ダイオードを備えることを特徴としている。

【0057】

本発明によれば、表示装置の低消費電力化を実現することができる。

【発明の効果】

【0058】

本発明の半導体素子によれば、半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ棒状のコアと、第1導電型の半導体シェルとが分担して、果たすことができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、また、製造のコストも低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上させることができ、発光ダイオードとして用いた場合は、発光効率が向上させることができる。

20

【図面の簡単な説明】

【0059】

【図1】本発明の第1実施形態の半導体素子の中心軸を含む長手方向の断面図である。

【図2】上記半導体素子の径方向の断面図である。

【図3】本発明の第2実施形態の半導体素子の長手方向の断面図である。

【図4】本発明の第3実施形態の半導体素子の長手方向の断面図である。

30

【図5】本発明の第4実施形態の半導体素子の長手方向の断面図である。

【図6】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図7】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図8】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図9】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図10】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図11】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図12】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図13】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

【図14】第4実施形態の半導体素子の製造方法の一例を説明するための図である。

40

【図15】第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

【図16】第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

【図17】第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

【図18】本発明の第5実施形態の半導体素子の長手方向の断面図である。

【図19】第5実施形態の半導体素子の製造方法の一例を説明するための図である。

【図20】第5実施形態の半導体素子の製造方法の一例を説明するための図である。

【図21】第5実施形態の半導体素子の製造方法の一例を説明するための図である。

50

【図 2 2】第 5 実施形態の半導体素子の製造方法の一例を説明するための図である。

【図 2 3】第 5 実施形態の半導体素子の製造方法の一例を説明するための図である。

【図 2 4】本発明の第 6 実施形態の太陽電池の断面図である。

【図 2 5】第 6 実施形態の太陽電池の製造方法の一例を説明するための図である。

【図 2 6】第 6 実施形態の太陽電池の製造方法の一例を説明するための図である。

【図 2 7】第 6 実施形態の太陽電池の製造方法の一例を説明するための図である。

【図 2 8】第 6 実施形態の太陽電池の製造方法の一例を説明するための図である。

【図 2 9】本発明の第 7 実施形態の発光ダイオードの断面図である。

【図 3 0】本発明の第 8 実施形態の発光ダイオードの模式断面図である。

【図 3 1】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

10

【図 3 2】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 3】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 4】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 5】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 6】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 7】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 8】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 3 9】第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図である。

【図 4 0】本発明の第 9 実施形態の照明装置の側面図である。

【図 4 1】上記照明装置に内蔵される発光装置を横から見た図である。

20

【図 4 2】上記発光装置を上から見た図である。

【図 4 3】本発明の第 10 実施形態のバックライトの平面図である。

【図 4 4】本発明の第 11 実施形態の表示装置の 1 画素の回路図である。

【図 4 5】従来のナノワイヤ光起電力装置の基本構成を説明する図である。

【発明を実施するための形態】

【0060】

以下、本発明の半導体素子、発光素子の製造方法、発光ダイオード、光電変換素子、照明装置、バックライト、表示装置および太陽電池を図示の実施の形態により詳細に説明する。

【0061】

30

(第 1 実施形態)

図 1 は、本発明の第 1 実施形態の細長い棒状の形状を有する半導体素子 10 の中心軸を含む長手方向の断面図であり、図 2 は、その半導体素子 10 の径方向の断面図である。

【0062】

図 1 および図 2 に示すように、この半導体素子 10 は、棒状の第 1 導電型の半導体コア 11 と、第 1 導電型の半導体シェル 12 と、第 2 導電型の半導体シェル 13 とを備える。上記第 1 導電型の半導体シェル 12 は、棒状の第 1 導電型の半導体コア 11 の側面の全面(棒状の半導体コア 11 の外周面の全面)および一端を覆っており、第 2 導電型の半導体シェル 13 は、第 1 導電型の半導体シェル 12 の表面を覆っている。

【0063】

40

上記第 2 導電型の半導体シェル 13 は、第 1 導電型の半導体シェル 12 の表面全てを覆っておらず、第 2 導電型の半導体シェル 13 は、棒状の第 1 導電型の半導体コア 11 の他端部 19 を覆わない構成になっている。上記第 2 導電型の半導体シェル 13 は、第 1 導電型の半導体シェル 12 の外周面の一部のみを覆っている。尚、図 2 は、第 1 導電型の半導体シェル 12 の表面を、第 2 導電型の半導体シェル 13 が覆っている領域における直径方向の断面図を示している。

【0064】

上記第 1 導電型の半導体シェル 12 と第 2 導電型の半導体シェル 13 の界面は P N 接合を構成している。第 1 導電型の半導体コア 11 の他端部を除く側面において、第 2 導電型の半導体シェル 13 が第 1 導電型の半導体シェル 12 を覆っているから、棒状の半導体素

50

子10の側面部の少なくとも一部にはPN接合が形成されることになるのである。

【0065】

上記第1導電型の半導体コア11は、例えばSi、Ge、SiGe、GaAs、GaN、AlGaN、GaP、InPを用いることができるが、この限りではない。また、第1導電型としてn型を選択してもp型を選択してもよい。なお、第1導電型の半導体コア11の直径方向の断面形状は、円に限らず、三角形、四角形、六角形や楕円などでもよい。

【0066】

また、第1導電型の半導体シェル12は、例えばSi、Ge、SiGe、GaAs、GaN、AlGaN、GaP、InPを用いることができるが、この限りではない。また、必ずしも第1導電型の半導体コア11と同じ物質を用いる必要はない。

10

【0067】

また、第2導電型の半導体シェル13は、例えばSi、Ge、SiGe、GaAs、GaN、AlGaN、GaP、InPを用いることができるが、この限りではない。第2導電型の半導体シェル13は、第1導電型の半導体シェル12と同じ物質を選択することが好ましい。第2導電型は、第1導電型がn型の場合はp型、第1導電型がp型の場合はn型となる。

【0068】

また、棒状の半導体素子10の大きさは、ナノメートルサイズまたはマイクロメートルサイズとすることが好ましい。例えば、棒状の半導体素子10の長さは、10nm~100μmとすることができ、また、例えば、第1導電型の半導体コア11の直径は、2nm~20μm、第1導電型の半導体シェル12の厚さは、1nm~1μm、第2導電型の半導体シェル13の厚さは、1nm~1μmとすることができ、より好ましくは、棒状の半導体素子10の長さは、500nm~50μm、第1導電型の半導体コア11の直径は、100nm~5μm、第1導電型の半導体シェル12の厚さは、10nm~500nm、第2導電型の半導体シェル13の厚さは、10nm~500nmである。

20

【0069】

また、上記実施形態では、第1導電型の半導体シェル12は、棒状の第1導電型の半導体コア11の外周面の全面を覆っていたが、この発明では、第1導電型の半導体シェルは、棒状のコアの外周面の一部のみを覆うような構成であっても良く、例えば、第1導電型の半導体シェルは、図1を参照して、半導体コア11の外周面において第2導電型の半導体シェル13が覆わない外周面部、すなわち、半導体コア11の他端部19に対応する外周面を覆わない構成であっても良い。

30

【0070】

棒状の半導体素子10は、光電変換素子として機能させることができる。例えば、第1導電型の半導体コア11および第1導電型の半導体シェル12を、n型シリコン、第2導電型の半導体シェル13を、p型シリコンとすればよい。このような素子を形成すれば、この素子に光を照射することにより起電力が生じることになるからである。また、光電変換素子である棒状の半導体素子10は、光センサや太陽電池として用いることができる。

【0071】

棒状の半導体素子10は、また、発光ダイオードとして機能させることができる。例えば、第1導電型の半導体コア11および第1導電型の半導体シェル12を、n型ガリウムナイトライド、第2導電型の半導体シェル13を、p型ガリウムナイトライドとすればよい。あるいは、第1導電型の半導体コア11および第1導電型の半導体シェル12を、n型ガリウム砒素、第2導電型の半導体シェル13を、p型ガリウム砒素としてもよい。このような素子を形成すると、その素子の第1導電型の半導体コア11と、第2導電型の半導体シェル13との間に順方向電圧を印加することにより、光を取り出すことができる。したがって、棒状の半導体素子10を、発光ダイオードとして機能させることができる。発光ダイオードである棒状の半導体素子10は、照明装置、バックライト、表示装置として用いることができる。

40

【0072】

50

本実施形態の半導体素子10は、棒状の半導体素子であって、第1導電型の半導体コア11と、上記第1導電型の半導体コアを覆うように形成された第1導電型の半導体シェル12と、上記第1導電型の半導体シェルを覆うように形成された第2導電型の半導体シェル13とを備えたことを特徴とする。

【0073】

このような構成により、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、第1導電型の半導体コアと、第1導電型の半導体シェルとに分担させて実現することができる。したがって、第1導電型の半導体シェルと第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、製造コストも低減することができる。

10

【0074】

また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率を向上させることができ、発光ダイオードとして用いた場合は、発光効率を向上させることができる。PN接合の特性とともに向上可能な特性の例および製造コストが低減できる理由は後述する。

【0075】

上記第1導電型の半導体コア11において導電型を与える不純物濃度は、第1導電型の半導体シェル12において導電型を与える不純物濃度より大きいことが好ましい。ここで、半導体に導電型を与える不純物としては、例えば、半導体がシリコンの場合は、n型の導電型を与えるリンや砒素、p型の導電型を与えるボロンなどがあり、半導体がガリウムナイトライドの場合は、n型の導電型を与えるシリコン、p型の導電型を与えるマグネシウムなどがある。

20

【0076】

これにより、第1導電型の半導体シェルと第2導電型の半導体シェルで構成されるPN接合の特性を向上できるとともに、第1導電型の半導体コア11の抵抗を十分に小さくすることができる。

【0077】

本実施の形態の半導体素子10は、棒状の半導体素子であって、第1導電型の半導体コア11の形状も細長いものであるから、第1導電型の半導体コア11の抵抗を十分低く保つことが特に重要になる。

30

【0078】

仮に、第1導電型の半導体コアの抵抗が十分に低くない場合、第1導電型の半導体コア内で電圧降下を起こして半導体素子の特性悪化の原因となるからであり、例えば、半導体素子が太陽電池である場合は発電効率を悪化させ、発光ダイオードである場合は発光効率を悪化させる原因となるからである。

【0079】

ここで、一般には、半導体中の不純物濃度が高くなるにつれて半導体の結晶性が悪化する傾向がある。上記実施形態によれば、第1導電型の半導体コアと、第1導電型の半導体シェルとを有しているから、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能をそれらの層で分担させることができ、第1導電型の半導体コア11の抵抗を十分に低くすることができる。したがって、PN接合の特性と第1導電型の半導体コア11の導電性を両立できるのである。

40

【0080】

詳しくは、第1導電型の半導体コア11の抵抗率は、第1導電型の半導体シェル12の抵抗率より小さいことが好ましく、この構成は、第1導電型の半導体コア11において導電型を与える不純物濃度は、第1導電型の半導体シェル12において導電型を与える不純物濃度より大きいことと同意である。したがって、第1導電型の半導体シェルと第2導電型の半導体シェルで構成されるPN接合の特性を向上できるとともに、第1導電型の半導体コア11の抵抗を十分に小さくすることが可能となるのである。

【0081】

50

尚、上記PN接合の特性と第1導電型の半導体コア11の導電性が両立できるという効果は、第1導電型の半導体シェル12の直径と長さの比が1:10を超える場合に顕著となる。

【0082】

第1導電型の半導体シェル12の結晶欠陥密度は、第1導電型の半導体コア11の結晶欠陥密度より小さくすることが好ましい。これにより、第1導電型の半導体シェルと第2導電型の半導体シェルで構成されるPN接合の特性を向上することができるとともに、多様な製造方法が可能となり、または必要となる装置や環境のグレードを低く抑え、製造コストを低減することが可能となる。なぜならば、第1導電型の半導体コア11の結晶性を必要以上に高くする必要がなくなるためである。第1導電型の半導体コア11を含めた、半導体素子10の具体的な製造方法は後述する。

10

【0083】

尚、上記第1実施形態の半導体素子と、以下の実施形態で説明する半導体素子は、いずれも以下の共通した特徴を有している。すなわち、棒状の半導体素子であって、コアと、上記コアを覆うように形成された第1導電型の半導体シェルと、上記第1導電型の半導体シェルを覆うように形成された第2導電型の半導体シェルを備えている。上記コアは第1導電型の半導体からなっているもよい。

【0084】

ここで、上記特徴は、上記第1導電型の半導体シェルもコアの一部とみなすと、次のように言い換えることもできる。すなわち、棒状の半導体素子であって、インナーコアと、そのインナーコアを覆うように形成された第1導電型の半導体アウターコアとからなる2層構造のコアと、その2層構造のコアを覆うように形成された第2導電型の半導体シェルとを備えている。上記インナーコアは第1導電型の半導体からなっているもよい。以上、本実施形態の半導体素子が共通して有する特徴を、2つの異なる言い方で述べたが、実質は同じことを述べているに過ぎない。尚、上記第1実施形態およびこれ以降の実施形態では、前者の用語で統一して説明を行っている。

20

【0085】

(第2実施形態)

図3は、本発明の第2実施形態の半導体素子20の長手方向の断面図である。

【0086】

図3に示すように、この半導体素子20では、第1導電型の半導体シェル22は、棒状の第1導電型の半導体コア21の側面の全面(棒状の第1導電型の半導体コア21の外周面の全面)および一端を覆っている。

30

【0087】

また、第2導電型の半導体シェル23は、第1導電型の半導体シェル22の側面の全面(第1導電型の半導体シェル22の外周面の全面)および一端を覆っている。

【0088】

上記半導体素子20が、図1および図2に示第1実施形態の半導体素子10と異なる点は、第2導電型の半導体シェル23が、第1導電型の半導体シェル22の表面の他端以外の部分の全てを覆っていることである。そのため、第1導電型の半導体コア21に電極を接続しようとする場合は、半導体素子20の他端(図3における半導体素子20の左側)で第1導電型の半導体コア21が露出した部分に電極を接続するか、第2導電型の半導体シェル23の一部を除去して第1導電型の半導体シェル22を露出させ、この露出した部分に電極を接続する必要がある。半導体素子20を構成する具体的な材料、大きさ、用途、得られる効果等は、第1実施形態の半導体素子10と同様である。

40

【0089】

(第3実施形態)

図4は、本発明の第3実施形態の半導体素子30の長手方向の断面図である。

【0090】

図4に示すように、この半導体素子30は、棒状のコア31の側面および一端を、第1

50

導電型の半導体シェル 3 2 が覆っている。更に、第 1 導電型の半導体シェル 3 2 の表面を、第 2 導電型の半導体シェル 3 3 が覆っている。半導体素子 3 0 が、図 1 および図 2 に示す第 1 実施形態の半導体素子 1 0 と異なる点は、棒状のコア 3 1 と第 1 導電型の半導体シェル 3 2 の材質が異なる点である。

【 0 0 9 1 】

第 1 導電型の半導体シェル 3 2 の結晶欠陥密度は、棒状のコア 3 1 の結晶欠陥密度より小さなことが好ましい。これにより、棒状の半導体素子のコアとしての機能と、PN 接合の片側としての機能を、それぞれ棒状のコアと第 1 導電型の半導体シェルとが分担して、果たすことができる。それゆえ、第 1 導電型の半導体シェルと、第 2 導電型の半導体シェルとで構成される PN 接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上し、または、製造のコストを低減することが可能となる。PN 接合の特性が向上することにより、例えば半導体素子を光電変換素子として用いた場合は変換効率が向上し、発光ダイオードとして用いた場合は発光効率が向上する。PN 接合の特性とともに向上可能な特性の例、および、製造コストが低減できる理由は後述する。

10

【 0 0 9 2 】

棒状のコア 3 1 と第 1 導電型の半導体シェル 3 2 の材質の組み合わせとしては、例えば、棒状のコア 3 1 の材料として GaN を、第 1 導電型の半導体シェル 3 2 の材料として n 型のシリコンを選ぶことができる。第 2 導電型の半導体シェル 3 3 には、p 型のシリコンを用いればよい。この場合、棒状のコア 3 1 のヤング率は、第 1 導電型の半導体シェルよりも大きいので、半導体素子 3 0 の剛性を向上しつつ、良好な PN 特性を得ることができるからである。

20

【 0 0 9 3 】

後述するように、半導体素子を成長した基板から切り離し、他の基板へ配列する場合は、液体に浸された半導体素子を乾燥する際に、液体の表面張力により半導体素子が曲がる場合がある。上記構成はこのような場合に効果を発揮する。

【 0 0 9 4 】

棒状のコア 3 1 の材質と、第 1 導電型の半導体シェル 3 2 の材質との他の組合せとしては、例えば、棒状のコア 3 1 の材料としてサファイアを、第 1 導電型の半導体シェル 3 2 の材料として n 型のガリウムナイトライドを選ぶことができる。第 2 導電型の半導体シェル 3 3 には、p 型のガリウムナイトライドを用いればよい。この場合は、棒状のコアを高価なガリウムナイトライドからより安価なサファイアとすることができるので、良好な PN 特性を保ちつつ、製造コストを低減することができる。

30

【 0 0 9 5 】

棒状のコア 3 1 の材質と、第 1 導電型の半導体シェル 3 2 の材質との他の組合せとしては、棒状のコア 3 1 の材料として HVPE (Hydride Vapor Phase Epitaxy) 法で成長した無ドーブのガリウムナイトライドを、第 1 導電型の半導体シェル 3 2 の材料として低結晶欠陥の n 型のガリウムナイトライドを選ぶことができる。また、第 2 導電型の半導体シェル 3 3 には、p 型のガリウムナイトライドを用いることができる。この場合は、結晶欠陥が多いものの比較的高速に成長できる HVPE 法により棒状のコア 3 1 を形成し、第 1 導電型の半導体シェル 3 2 は低結晶欠陥の n 型のガリウムナイトライドとするため、良好な PN 特性を保ちつつ、製造コストを低減することができるからである。尚、この実施形態では、棒状のコア 3 1 が、第 1 導電型の半導体コアではなかったが、この発明では、棒状のコアを、第 1 導電型の半導体コアで構成して、かつ、第 1 導電型の半導体シェルを、上記第 1 導電型の半導体コアと異なる材質で構成し、かつ、第 1 導電型の半導体シェルの結晶欠陥密度が、上記第 1 導電型の半導体コアの結晶欠陥密度よりも小さくなるように構成しても良い。

40

【 0 0 9 6 】

(第 4 実施形態)

図 5 は、本発明の第 4 実施形態の半導体素子 4 0 の長手方向の断面図である。

【 0 0 9 7 】

50

図5に示すように、この半導体素子40は、棒状の第1導電型の半導体コア41の側面および一端を、第1導電型の半導体シェル42が覆っている。そして、第1導電型の半導体シェル42の表面を、発光層44が覆っている。更に、発光層44の表面を、第2導電型の半導体シェル43が覆っている。

【0098】

第1導電型の半導体シェル42、発光層44および第2導電型の半導体シェル43は、第1導電型の半導体シェル42の表面全てを覆っておらず、第1導電型の半導体シェル42、発光層44および第2導電型の半導体シェル43は、棒状の第1導電型の半導体コア41の他端部49を覆わない構成になっている。この半導体素子40は、発光ダイオードとして機能するようになっている。

10

【0099】

この半導体素子40が、図1および図2に示す第1実施形態の半導体素子10と異なる点は、第1導電型の半導体シェル42が棒状の第1導電型の半導体コア41の全側面を覆っていない点と、第1導電型の半導体シェル42と、第2導電型の半導体シェル43との間に発光層44が形成されている点である。このように第1導電型の半導体シェル42と、第2導電型の半導体シェル43との間に発光層44を設けることにより、発光ダイオードである半導体素子40の発光効率を向上させることができる。

【0100】

棒状の第1導電型の半導体コア41において導電型を与える不純物濃度は、第1導電型の半導体シェル42において導電型を与える不純物濃度より大きいことが好ましい。もしくは、棒状の第1導電型の半導体コア41の抵抗率は、第1導電型の半導体シェル42の抵抗率より小さいことが好ましい。そのようにすると、棒状の第1導電型の半導体コア41上に形成される発光層44の結晶性を向上させて発光効率を向上させることができるとともに、棒状の第1導電型の半導体コア41の抵抗を十分に小さくして発光層44の全面において均一に発光させることができるからである。

20

【0101】

棒状の第1導電型の半導体コア41を構成する物質のバンドギャップは、発光層44を構成する物質のバンドギャップよりも大きいことが好ましい。具体的には、例えば、棒状の第1導電型の半導体コア41をn型GaNとし、発光層44をInGaNとすることができる。また、第1導電型の半導体シェル42および第2導電型の半導体シェル43は、それぞれn型GaNおよびp型GaNとすることができる。なお、棒状の第1導電型の半導体コア41の代わりに、サファイアなどからなる棒状のコアを用いてもよい。この場合でも、InGaNからなる発光層のバンドギャップよりも、サファイアのバンドギャップの方が大きくなっている。

30

【0102】

このような構成とすることにより、発光層44で発生した光が、棒状のコア41または第1導電型の半導体シェル42で吸収されることがないため、発光ダイオードの発光効率を高くすることができる。

【0103】

なお、第2導電型の半導体シェル43の表面に、更にITO(Indium Tin Oxide)などの透明電極を形成することが好ましい。これにより、第2導電型の半導体シェル43の全面に同じ電位を印加することができるので、発光ムラを低減して発光効率を向上することができると共に、発光した光が当面電極を通過するため、効率よく光を取り出すことができるからである。

40

【0104】

図6～図14は、上記第4実施形態の半導体素子の製造方法の一例を説明するための図であり、その半導体素子を形成する手順の一例を示す図である。

【0105】

尚、上記第1実施形態の半導体素子(図1および図2参照)および第2実施形態の半導体素子(図3参照)は、以下に示す手順において、コアの材料またはシェルの形成回数を

50

変えることにより、同様に形成することが可能である。

【0106】

また、ここでは、例としてガリウムナイトライドからなる半導体素子を形成する手順を示すが、他の材料からなる半導体素子を形成する手順も同様である。

【0107】

まず、図6に示すように、サファイア基板61を準備する。

【0108】

次に、図7に示すように、開口部が設けられたシリコン酸化膜62を、サファイア基板61上に形成する。具体的には、CVD (Chemical Vapor Deposition) 法により、サファイア基板61上に、例えば1 $\mu$ mの厚さでシリコン酸化膜62を成膜し、その後、フォトリソグラフィ工程によりシリコン酸化膜62に、例えば1 $\mu$ mの大きさの開口部をパターンニングして、サファイア基板61表面の一部を露出させるようにする。

10

【0109】

次に、図8に示すように、ニッケルからなる金属触媒粒63を、シリコン酸化膜62の開口部であって、サファイア基板61が露出した部分に形成する。具体的には、パターンニングされたシリコン酸化膜62が形成されたサファイア基板61上の全面に、例えば、3nmの膜厚を有するニッケルをスパッタにより成膜し、900程度で温度でアニールすることにより、ニッケルを凝集させるようにする。

【0110】

次に、図9に示すように、シリコン酸化膜62の開口部に対応する露出したサファイア基板61上に、MOCVD (Metal Organic Chemical Vapor Deposition) 装置を用いて、例えば、10 $\mu$ mの長さを有するn型GaNを結晶成長させて棒状の第1導電型の半導体コア64を形成する(コア形成工程)。

20

【0111】

成長温度を850程度の温度に設定し、成長ガスとしてトリメチルガリウム(TMGa)およびアンモニア(NH<sub>3</sub>)を使用し、n型不純物供給用にシラン(SiH<sub>4</sub>)を、さらに、キャリアガスとして水素(H<sub>2</sub>)を供給することによって、Siを不純物としたn型GaNの半導体コアを、成長させることができる。n型GaNからなる棒状の第1導電型の半導体コア64を形成した後は、ウェットエッチングによりニッケルからなる金属触媒粒63を除去することが好ましい。

30

【0112】

ここで、n型GaNからなる棒状の第1導電型の半導体コア64を成長したサファイア基板61を、n型GaNからなる棒状の第1導電型の半導体コア64を成長した温度より高い温度でアニール処理することが好ましい。アニール温度としては、例えば、850より高く、かつ、1200以下である温度を採用することができる。

【0113】

このようにアニール処理を行うことにより、n型GaNからなる棒状の第1導電型の半導体コア64の結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第1のシェル形成工程で成膜するn型GaN膜からなる第1導電型の半導体シェルの結晶性を更に向上することができる。

40

【0114】

次に、図10に示すように、n型GaNからなる棒状の第1導電型の半導体コア64の側面および上面に、例えば200nmの厚さでn型GaN膜からなる第1導電型の半導体シェル65を形成する(第1のシェル形成工程)。このn型GaN膜からなる第1導電型の半導体シェル65は、MOCVD装置を用いて、例えば、900で形成することができる。このn型GaN膜はシリコン酸化膜62上に成膜されてもよく、後に、必要に応じて非等方性のドライエッチングによりシリコン酸化膜62上のn型GaN膜を除去するようにしても良い。

【0115】

このように、n型GaNからなる棒状の第1導電型の半導体コア64の側面および上面

50

に、改めてn型Ga<sub>n</sub>N膜からなる第1導電型の半導体シェル65を形成することにより、均一で結晶性のよいn型Ga<sub>n</sub>N結晶を表面に露出させることができる。

【0116】

次に、図11に示すように、n型Ga<sub>n</sub>N膜からなる第1導電型の半導体シェル65の側面および上面に、例えば5nmの厚さでInGa<sub>n</sub>N膜からなる発光層66を形成する。このInGa<sub>n</sub>N膜からなる発光層66は、MOCVD装置を用いて、例えば、成長温度を750程度に設定し、成長ガスとしてTMG、NH<sub>3</sub>およびトリメチルインジウム(TMI)を使用し、キャリアガスとしてH<sub>2</sub>を供給することによって成長させることができる。

【0117】

このInGa<sub>n</sub>N膜からなる発光層66は、Ga<sub>n</sub>N膜またはAlGa<sub>n</sub>N膜をブロック層として複数層積層し、多重量子井戸構造(MQW)としてもよい。このInGa<sub>n</sub>N膜は、シリコン酸化膜62上に成膜されてもよく、後に必要に応じて非等方性のドライエッチングによりシリコン酸化膜62上のInGa<sub>n</sub>N膜を除去するようにしても良い。

【0118】

次に、図12に示すように、InGa<sub>n</sub>N膜からなる発光層66の側面および上面に、例えば100nmの厚さでp型Ga<sub>n</sub>N膜からなる第2導電型の半導体シェル67を形成する(第2のシェル形成工程)。このp型Ga<sub>n</sub>N膜からなる第2導電型の半導体シェル67は、MOCVD装置を用いて、成長温度を例えば800程度に設定し、成長ガスとしてTMG、NH<sub>3</sub>を使用し、p型不純物供給用にビスシクロペンタジエニルマグネシウム(Cp<sub>2</sub>Mg)を、さらにキャリアガスとしてH<sub>2</sub>を供給することによって、上記側面および上面に成長させることができる。

【0119】

次に、図13に示すように、シリコン酸化膜62をフッ化水素酸(HF)によるウェットエッチングで除去する。これにより、n型Ga<sub>n</sub>N膜からなる第1導電型の半導体シェル65の一部が露出する。

【0120】

次に、図14に示すように、サファイア基板61と、その表面上に形成した棒状の構造物とを水などの液体中に浸し、超音波を照射することにより、棒状の構造物を基板から切り離す(半導体素子切り離し工程)。このようにして、切り離された個々の棒状の構造物、すなわち、発光ダイオードの機能を有する半導体素子60を製造する。

【0121】

尚、棒状の第1導電型の半導体コアおよび第1導電型の半導体シェルとしてn型のシリコンを成長し、発光層を形成せず、第2導電型の半導体シェルとしてp型シリコンを成長させれば、光電変換素子の機能を有する半導体素子を形成することができる。

【0122】

以上のように、上記棒状の半導体素子の製造方法によれば、基板61上に棒状のコア64を形成するコア形成工程と、上記棒状のコア64を形成した後、第1導電型の半導体シェル65で覆う第1のシェル形成工程と、上記第1導電型のシェル65を形成した後、第2導電型の半導体シェル67で覆う第2のシェル形成工程とを備えている。

【0123】

このような手順により半導体素子を形成することにより、棒状の半導体コア64を形成した後に、第1導電型の半導体シェル65を形成するので、第1導電型の半導体シェル65の表面には均一で結晶性のよい第1導電型の半導体が露出する。したがって、第1導電型の半導体シェル67上に形成される発光層66の結晶性を向上することができる。

【0124】

尚、発光層を形成しない場合には、第1導電型の半導体シェルの表面には均一で結晶性のよい第1導電型の半導体が露出するから、その後、第1導電型の半導体シェルを覆うように形成される第2導電型の半導体シェルと、その第1導電型の半導体シェルとで良好な特性を持つPN接合を得ることができる。

10

20

30

40

50

## 【0125】

また、上記棒状のコア64は、第1導電型の半導体シェル65の形成に先立って第1導電型の半導体シェル65と独立して別途形成されているので、第1導電型の半導体シェル65と無関係に形成されることができて、棒状の半導体素子のコア64としての機能を果たすのにふさわしい性質を持たせることができる。

## 【0126】

したがって、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ第1導電型の半導体コア64と、第1導電型の半導体シェル65とで分担して、実現することができる。それゆえ、第1導電型の半導体シェル65と第2導電型の半導体シェル67とで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、さらに、製造コストを低減することが可能となる。PN接合の特性が向上することにより、例えば半導体素子を光電変換素子として用いた場合は変換効率が向上し、発光ダイオードとして用いた場合は発光効率が向上する。

10

## 【0127】

また、この方法(手順)によれば、上記コア形成工程は、基板61上に棒状のコア64を成長させることによりなされる。この手順では、基板61と棒状のコア64は、棒状のコア64の断面積と同じ面積で接することとなる。棒状のコア64の直径はナノスケールからマイクロスケールであるから、断面積は小さい。

## 【0128】

また、この方法によれば、棒状のコア64は基板61上に離散的に形成されている。それゆえ、基板61を構成する物質と、棒状のコア64を構成する物質の格子定数のミスマッチによる基板61の反りを抑制することができる。それゆえ、半導体素子を形成するプロセスにおけるフォトリソグラフィ工程の精度を向上することができて、半導体素子の歩留まりを向上するのが容易となる。

20

## 【0129】

また、この方法によれば、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、上記コア64を形成する温度よりも高温のアニール処理を行っているから、棒状の結晶欠陥を回復して結晶性を改善できて、その後形成される第2導電型の半導体シェル67や、発光層66の結晶性を更に改善することができる。尚、この発明では、上記第1のシェル形成工程の前に、上記コアを形成する温度よりも高温のアニール処理を行わなくても良い。

30

## 【0130】

ところで、n型GaNからなる棒状の第1導電型の半導体コア64において導電型を与える不純物濃度は、n型GaN膜からなる第1導電型の半導体シェル65において導電型を与える不純物濃度より大きいことが好ましい。もしくは、n型GaNからなる棒状の第1導電型の半導体コア64の抵抗率は、n型GaN膜からなる第1導電型の半導体シェル65の抵抗率より小さいことが好ましい。

## 【0131】

このようにすれば、n型GaN膜からなる第1導電型の半導体シェル65上に形成されるInGaN膜からなる発光層66の結晶性を向上させることができ、発光効率が向上させることができると共に、n型GaNからなる棒状の第1導電型の半導体コア64の抵抗を十分に小さくすることができるからである。

40

## 【0132】

また、棒状の第1導電型の半導体コア64を構成する物質のバンドギャップは、発光層66を構成する物質のバンドギャップよりも大きいことが好ましい。このような条件を満たすことにより、発光層66で発生した光が棒状のコア64または第1導電型の半導体シェル65で吸収されることがないため、発光ダイオードの発光効率を高くすることができるからである。上記の例では、棒状の第1導電型の半導体コア64はn型GaNからなり、発光層66はInGaNからなるため、上記条件を満たしている。

## 【0133】

50

図15～図17は、第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

【0134】

本変形例が、図6～図14に示した手順と異なるのは、棒状の第1導電型の半導体コアを成長させる際に触媒となる金属触媒粒を用いない点のみである。本変形例の説明では、上記方法と同様の手続きは、原則説明を省略する。

【0135】

まず、図15に示すように、開口部が設けられたシリコン酸化膜72を、サファイア基板71上に形成する。これは、図7で説明した手続きと全く同様である。

【0136】

次に、図16に示すように、シリコン酸化膜72の開口部に対応する露出したサファイア基板71上に、MOCVD装置を用いて、例えば、10 $\mu$ mの長さのn型GaNを結晶成長させて、棒状の第1導電型の半導体コア74を形成する(コア形成工程)。この際に、金属触媒粒を用いないので、結晶成長は、1050程度と比較的に高い温度で行う必要がある。

【0137】

次に、図17に示すように、n型GaNからなる棒状の第1導電型の半導体コア74の側面および上面に、例えば、200nmの厚さでn型GaN膜からなる第1導電型の半導体シェル75を形成する(第1のシェル形成工程)。

【0138】

以下の工程は、図11～図14に示した手順と全く同様である。

【0139】

この変形例では、棒状の第1導電型の半導体コア74を成長させる際に触媒となる金属触媒粒を用いないので、金属による汚染がなく、棒状の第1導電型の半導体コア74を改善することができる。したがって、棒状の第1導電型の半導体コア74上に形成される第1導電型の半導体シェル75や第2導電型の半導体シェルの結晶性をさらに向上させることが可能となる。

【0140】

(第5実施形態)

図18は、本発明の第5実施形態の半導体素子50の長手方向の断面図である。

【0141】

図18に示すように、この半導体素子50は、棒状の第1導電型の半導体コア51の側面および一端を、第1導電型の半導体シェル52が覆っている。そして、第1導電型の半導体シェル52の表面を、発光層54が覆っている。更に、発光層54の表面を、第2導電型の半導体シェル53が覆っている。半導体素子50が、図5に示す半導体素子40と異なる点は、第1導電型の半導体シェル52、発光層54および第2導電型の半導体シェル53が、第1導電型の半導体シェル52の表面全てを覆っていることである。そのため、第1導電型の半導体コア51に電極を接続しようとする場合は、半導体素子50の他端(図18では半導体素子50の左側)で第1導電型の半導体コア51が露出した部分に電極を接続するか、第2導電型の半導体シェル53および発光層54の一部を除去して第1導電型の半導体シェル52を露出させ、この露出した部分に電極を接続する必要がある。この半導体素子50を構成する具体的な材料、大きさ、用途、得られる効果等は、第4実施形態の半導体素子40と同様である。

【0142】

図19～図23は、上記第5実施形態の半導体素子(図18参照)の製造方法の一例を説明するための図であり、その半導体素子を形成する手順の一例を示す図である。

【0143】

尚、第2実施形態の半導体素子(図3参照)は、以下に説明する方法においてシェルの形成回数を変えることにより、以下に説明する方法と同様の方法により形成されることができる。

10

20

30

40

50

## 【0144】

ここでは、例としてガリウムナイトライドからなる半導体素子を形成する手順を示すが、他の材料からなる半導体素子も、以下に説明する手順と同様の手順により形成されることができる。

## 【0145】

まず、図19に示すように、サファイア基板81の表面上にn型GaN膜82を形成する。ここで、n型GaN膜82は、例えば、MOCVD装置で形成されることができ、例えば10 $\mu$ mの厚さに成膜されることができる。

## 【0146】

次に、図20に示すように、n型GaN膜82にシリコン酸化膜を堆積し、フォトリソグラフィ工程によりパターンニングしてシリコン酸化膜からなるハードマスク83を形成する。シリコン酸化膜は、例えばCVD法により、1 $\mu$ mの厚さで堆積されることができ、また、シリコン酸化膜からなるハードマスク83は、例えば、直径1 $\mu$ mの円形、三角形、四角形、六角形などで構成されることができる。

## 【0147】

次に、図21に示すように、シリコン酸化膜からなるハードマスク83をマスクとして、非等方的なドライエッチングによって、n型GaN膜をエッチングし、n型GaNからなる棒状の第1導電型の半導体コア84を形成する(コア形成工程)。シリコン酸化膜からなるハードマスク83の形状を変えることにより、棒状の第1導電型の半導体コア84の断面形状を自由に変えることができる。したがって、例えば、n型GaN膜82の表面が、c面となるように成長させておけば、シリコン酸化膜からなるハードマスク83を三角形とすることにより、棒状の第1導電型の半導体コア84の全ての側面を非極性面(a面やm面)とすることができる。

## 【0148】

ここで、n型GaNからなる棒状の第1導電型の半導体コア84を形成したサファイア基板81をアニール処理することが好ましい。アニール温度は、例えば、700~1200以下とすることができる。これにより、n型GaNからなる棒状の第1導電型の半導体コア84の結晶欠陥を回復して、結晶性を改善することができる。したがって、この後に行う第1のシェル形成工程で成膜するn型GaN膜からなる第1導電型の半導体シェルの結晶性を更に向上することができる。

## 【0149】

あるいは、n型GaNからなる棒状の第1導電型の半導体コア84を形成したサファイア基板81を、例えば、150の熱リン酸に浸して、上記コア形成工程のエッチングにより生じた結晶欠陥層を選択的に除去することができる。この場合も、n型GaNからなる棒状の第1導電型の半導体コア84の結晶欠陥を回復して、結晶性を改善することができる。したがって、この後に行う第1のシェル形成工程で成膜するn型GaN膜からなる第1導電型の半導体シェルの結晶性を更に向上することができる。

## 【0150】

次に、図22に示すように、n型GaNからなる棒状の第1導電型の半導体コア84の側面および上面に、例えば200nmの厚さでn型GaN膜からなる第1導電型の半導体シェル85を形成する(第1のシェル形成工程)。このように、n型GaNからなる棒状の第1導電型の半導体コア84の側面および上面に、改めてn型GaN膜からなる第1導電型の半導体シェル85を形成することにより、均一で結晶性のよいn型GaN結晶を表面に露出させることができる。特に、本方法(手順)では、n型GaNからなる棒状の第1導電型の半導体コア84が、エッチングにより形成されているため、エッチングダメージを受けている。したがって、n型GaN膜からなる第1導電型の半導体シェル85を形成することにより、第1導電型の半導体表面の結晶欠陥を減らす効果が大きくなる。

## 【0151】

その後、n型GaN膜からなる第1導電型の半導体シェル85の側面および上面に、例えば5nmの厚さでInGaN膜からなる発光層86を形成する。更に、InGaN膜が

10

20

30

40

50

らなる発光層 86 の側面および上面に、例えば 100 nm の厚さで p 型 GaN 膜からなる第 2 導電型の半導体シェル 87 を形成する（第 2 のシェル形成工程）。棒状の第 1 導電型の半導体コア 84、InGa<sub>N</sub> 膜からなる発光層 86 および p 型 GaN 膜からなる第 2 導電型の半導体シェル 87 の形成条件は、第 4 実施形態の半導体素子を形成する手順におけるものと同様でよい。

#### 【0152】

次に、図 23 に示すように、サファイア基板 81 とその表面上に形成した棒状の構造物を水などの液体中に浸し、超音波を照射することにより、棒状の構造物を基板から切り離す（半導体素子切り離し工程）。このようにして、個々の棒状の構造物、すなわち、発光ダイオードの機能を有する半導体素子 80 を形成する。

10

#### 【0153】

尚、棒状の第 1 導電型の半導体コアおよび第 1 導電型の半導体シェルとして n 型のシリコンを成長し、発光層を形成せずに、第 2 導電型の半導体シェルとして p 型シリコンを成長させれば、光電変換素子の機能を有する半導体素子を形成することができる。

#### 【0154】

上記棒状の半導体素子を形成する方法（手順）によれば、基板 81 上に棒状のコア 84 を形成するコア形成工程と、上記棒状のコア 84 を形成した後、第 1 導電型の半導体シェル 85 で覆う第 1 のシェル形成工程と、第 1 導電型のシェル 85 を形成した後、第 1 導電型のシェル 85 を直接または間接的に第 2 導電型の半導体シェル 87 で覆う第 2 のシェル形成工程とを備えている。

20

#### 【0155】

ここで、このような方法により、棒状の半導体コア 84 を形成した後に、第 1 導電型の半導体シェル 85 を形成すれば、第 1 導電型の半導体シェル 85 の表面に、均一で結晶性のよい第 1 導電型の半導体を露出させることができる。したがって、第 1 導電型の半導体シェル 85 上に形成される発光層 86 の結晶性を向上することができる。

#### 【0156】

尚、棒状の半導体コアを形成した後に、第 1 導電型の半導体シェルを形成すれば、第 1 導電型の半導体シェルの表面に、均一で結晶性のよい第 1 導電型の半導体を露出させることができる。したがって、第 1 導電型の半導体シェル上に発光層を形成しない場合には、第 1 導電型の半導体シェルと、第 1 導電型の半導体シェルを覆うように形成される第 2 導電型の半導体シェルとで、良好な特性を持つ PN 接合を得ることができる。

30

#### 【0157】

また、上記棒状のコアは、第 1 導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を持たせることができる。したがって、棒状の半導体素子のコアとしての機能と、PN 接合の片側としての機能を、それぞれ第 1 導電型の半導体コアと第 1 導電型の半導体シェルとが分担して、果たすことができる。それゆえ、第 1 導電型の半導体シェルと第 2 導電型の半導体シェルとで構成される PN 接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上し、または製造のコストを低減することが可能となる。PN 接合の特性が向上することにより、例えば半導体素子を光電変換素子として用いた場合は変換効率が向上し、発光ダイオードとして用いた場合は発光効率が向上する。

40

#### 【0158】

また、この手順によれば、上記コア形成工程は、コアを構成する物質からなる基板表面の一部をエッチングすることによりなされる。この手順では、フォトリソグラフィにより棒状のコアの断面形状を自由に変えることが可能となる。したがって、例えば、棒状のコアの側面の結晶方位を好ましいものとして、半導体素子の特性を向上させることが可能となる。

#### 【0159】

また、上記コア形成工程の後であって、上記第 1 のシェル形成工程の前に、アニール処理を行なうことが好ましい。これにより、棒状のコアの結晶欠陥を回復して、結晶性を改

50

善することができる。そのため、この後に行う第1のシェル形成工程で成膜する第1導電型の半導体シェルの結晶性を更に向上することができる。

【0160】

あるいは、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、コア形成工程で形成されたコアの一部をウェットエッチングにより除去することが好ましい。これによってもまた、棒状のコアの結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第1のシェル形成工程で成膜する第1導電型の半導体シェルの結晶性を更に向上することができる。

【0161】

ところで、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、上記コアを形成する温度よりも高温のアニール処理を行なうことが好ましい。それにより、棒状の結晶欠陥を回復して結晶性を改善できるので、その後形成される第2導電型の半導体シェルや発光層の結晶性を更に改善することができる。

10

【0162】

ところで、n型GaNからなる棒状の第1導電型の半導体コア84において導電型を与える不純物濃度は、n型GaN膜からなる第1導電型の半導体シェル85において導電型を与える不純物濃度より大きいことが好ましい。もしくは、n型GaNからなる棒状の第1導電型の半導体コア84の抵抗率は、n型GaN膜からなる第1導電型の半導体シェル85の抵抗率より小さいことが好ましい。これにより、n型GaN膜からなる第1導電型の半導体シェル85上に形成されるInGaN膜からなる発光層86の結晶性が向上し、発光効率が向上するとともに、n型GaNからなる棒状の第1導電型の半導体コア84の抵抗を十分に小さくすることができる。

20

【0163】

また、棒状の第1導電型の半導体コア84を構成する物質のバンドギャップは、発光層86を構成する物質のバンドギャップよりも大きいことが好ましい。このような条件を満たすことにより、発光層86で発生した光が棒状のコアまたは第1導電型の半導体コアで吸収されることがないため、発光ダイオードの発光効率を高くすることができる。上記の例では、棒状の第1導電型の半導体コア84はn型GaNからなり、発光層86はInGaNからなるため、上記条件を満たしている。

【0164】

(第6実施形態)

図24は、本発明の第6実施形態の太陽電池の断面図である。

30

【0165】

この太陽電池は、本発明の一実施形態の半導体素子150を複数備えている。詳しくは、この太陽電池100は、サファイア基板101上に、下部電極となるn型シリコン層102が形成されている。n型シリコン層102上には、開口部が設けられたシリコン酸化膜103が形成されており、開口部から棒状のn型シリコンからなる第1導電型の半導体コア104が直立し、下部電極となるn型シリコン層102と電氣的に接続されている。n型シリコンからなる第1導電型の半導体コア104の側面および上面には、n型シリコン膜からなる第1導電型の半導体シェル105と、p型シリコン膜からなる第2導電型の半導体シェル106が、この順で積層されている。上記半導体シェル105および半導体シェル106は、半導体コア104の側面および上面を覆っている。

40

【0166】

棒状のn型シリコンからなる第1導電型の半導体コア104、n型シリコン膜からなる第1導電型の半導体シェル105およびp型シリコン膜からなる第2導電型の半導体シェル106とで、光電変換素子の機能を有する半導体素子150を構成している。

【0167】

複数の半導体素子150は、サファイア基板101上に離散的に形成されており、複数の半導体素子150の隙間および上方には、ITOからなる透明電極107が充填されている。また、上記透明電極107上の一部には、上部電極となる金属電極109が形成さ

50

れている。

【0168】

棒状のn型シリコンからなる第1導電型の半導体コア104の直径は、例えば、500nmとすることができる。また、n型シリコン膜からなる第1導電型の半導体シェル105の厚さは、例えば、200nmとすることができる。また、p型シリコン膜からなる第2導電型の半導体シェル106の厚さは、例えば、200nmとすることができる。

【0169】

棒状のn型シリコンからなる第1導電型の半導体コア104は、例えば、n型を与えるリン原子の濃度を $1 \times 10^{19}$ 個 $\text{cm}^{-3}$ とすることができる。また、n型シリコン膜からなる第1導電型の半導体シェル105は、例えば、n型を与えるリン原子の濃度を $1 \times 10^{17}$ 個 $\text{cm}^{-3}$ とすることができる。尚、このとき、棒状のn型シリコンからなる第1導電型の半導体コア104の抵抗率は、 $6 \times 10^{-3}$  cmとなり、n型シリコン膜からなる第1導電型の半導体シェル105の抵抗率は、 $9 \times 10^{-2}$  cmとなる。

10

【0170】

上記n型シリコン膜からなる第1導電型の半導体シェル105の結晶欠陥密度は、棒状のn型シリコンからなる第1導電型の半導体コア104の結晶欠陥よりも小さくなっている。したがって、この太陽電池は、n型シリコン膜からなる第1導電型の半導体シェル105と、p型シリコン膜からなる第2導電型の半導体シェル106とで構成されるPN接合の電気特性を良好に保つことができるから、棒状のn型シリコンからなる第1導電型の半導体コア104の電気抵抗を小さくすることで、太陽電池の変換効率を向上させることができる。

20

【0171】

図25～図28は、上記第6実施形態の太陽電池の製造方法の一例を説明するための図であり、その太陽電池を形成する手順の一例を示す図である。

【0172】

まず、図25を参照して、サファイア基板101を準備する。

【0173】

次に、図26に示すように、サファイア基板101上に、n型のシリコン層(膜)102をCVD法により、例えば200nmの厚さでエピタキシャル成長する。

【0174】

次に、図27に示すように、n型のシリコン層102上に、開口部を設けたシリコン酸化膜103を形成し、開口部からn型シリコンからなる棒状の第1導電型の半導体コア104をCVD法により成長する(コア成長工程)。n型シリコンからなる棒状の第1導電型の半導体コア104を成長させる際、成長を促進させるため金からなる触媒金属粒を開口部に形成しておいてもよい。

30

【0175】

その後、n型シリコンからなる棒状の第1導電型の半導体コア104の側面および上面に、n型シリコンからなる第1導電型の半導体シェル105を形成する(第1のシェル形成工程)。そして、n型シリコンからなる第1導電型の半導体シェル105の側面および上面に、p型シリコンからなる第2導電型の半導体シェル106を形成する(第2のシェル形成工程)。

40

【0176】

ここで、棒状のn型シリコンからなる第1導電型の半導体コア104、n型シリコン膜からなる第1導電型の半導体シェル105およびp型シリコン膜からなる第2導電型の半導体シェル106とで、光電変換素子の機能を有する半導体素子150を構成している。

【0177】

次に、図28に示すように、複数の半導体素子150の間および上方を埋めるように、スパッタ法またはCVD法でITO層からなる透明電極107を形成する。そして、透明電極107の上に金属層をパターンニングして上部電極となる金属電極109を形成して、太陽電池100が完成する。本実施形態の太陽電池は、光電変換素子の機能を有する本発

50

明の一実施形態の半導体素子 150 を備えている。それゆえ、太陽電池の変換効率を向上させることができるのである。

【0178】

(第7実施形態)

図29は、本発明の第7実施形態の発光ダイオードの断面図である。

【0179】

この発光ダイオードは、本発明の一実施形態の半導体素子250を複数備えている。詳しくは、この発光ダイオード200は、サファイア基板201上に、下部電極となるn型GaN層202が形成されている。n型GaN層202上には、開口部が設けられたシリコン酸化膜203が形成されており、開口部から棒状のn型GaNからなる第1導電型の半導体コア204が直立し、下部電極となるn型GaN層202と電気的に接続されている。棒状のn型GaNからなる第1導電型の半導体コア204の側面および上面には、n型GaN膜からなる第1導電型の半導体シェル205と、InGaN膜からなる発光層210と、p型GaN膜からなる第2導電型の半導体シェル206が、この順で積層されている。上記半導体シェル205、発光層210および半導体シェル206は、半導体コア204の側面および上面を覆っている。

10

【0180】

棒状のn型GaNからなる第1導電型の半導体コア204、n型GaN膜からなる第1導電型の半導体シェル205、InGaN膜からなる発光層210およびp型GaN膜からなる第2導電型の半導体シェル206とで、光電変換素子の機能を有する半導体素子250を構成している。

20

【0181】

複数の半導体素子250は、サファイア基板201上に離散的に形成されており、複数の半導体素子250の隙間および上方には、ITOからなる透明電極207が充填されている。また、上記透明電極207上の一部には、上部電極となる金属電極209が形成されている。

【0182】

ここで、棒状のn型GaNからなる第1導電型の半導体コア204の直径は、例えば、 $1\mu\text{m}$ とすることができる。また、n型GaN膜からなる第1導電型の半導体シェル205の厚さは、例えば、 $400\text{nm}$ とすることができる。また、InGaN膜からなる発光層210の厚さは、例えば、 $5\text{nm}$ とすることができる。また、p型GaN膜からなる第2導電型の半導体シェル206の厚さは、例えば、 $200\text{nm}$ とすることができる。

30

【0183】

また、棒状のn型GaNからなる第1導電型の半導体コア204は、例えば、n型を与えるシリコン原子の濃度を $1 \times 10^{19}\text{個 cm}^{-3}$ とすることができる。また、n型GaN膜からなる第1導電型の半導体シェル205は、例えば、n型を与えるシリコン原子の濃度を $1 \times 10^{17}\text{個 cm}^{-3}$ とすることができる。

【0184】

このとき、棒状のn型GaNからなる第1導電型の半導体コア204の抵抗率は、約 $2 \times 10^{-3}\text{ cm}$ となり、n型GaN膜からなる第1導電型の半導体シェル205の抵抗率は、約 $3 \times 10^{-1}\text{ cm}$ となる。また、n型GaN膜からなる第1導電型の半導体シェル205の結晶欠陥密度は、棒状のn型GaNからなる第1導電型の半導体コア204の結晶欠陥よりも小さくなる。したがって、n型GaN膜からなる第1導電型の半導体シェル205と、p型GaN膜からなる第2導電型の半導体シェル206とで構成されるPN接合の電気特性を良好に保つことができるから、棒状のn型GaNからなる第1導電型の半導体コア204の電気抵抗を小さくすることができて、発光ダイオードの発光効率を向上させることができる。本実施形態の発光ダイオードは、発光ダイオードの機能を有する本発明の一実施形態の半導体素子250を備えている。それゆえ、発光ダイオードの発光効率を向上させることができるのである。

40

【0185】

50

(第8実施形態)

図30は、本発明の第8実施形態の発光ダイオードの模式断面図である。

【0186】

この発光ダイオードは、本発明の一実施形態の半導体素子350A、Bを複数備えている。詳しくは、この発光ダイオード300は、ガラス基板311上に、複数の発光ダイオード素子350A、350Bが配置されている。発光ダイオード素子350A、350Bは、その端部における形状が僅かに異なるが、これはガラス基板311上に発光ダイオード素子を配置するとき2通りの向きが許されることによる。しかしながら、この違いは本実施形態の発光ダイオードの動作に影響を与えるものではない。

【0187】

発光ダイオード素子350A、350Bは、それぞれ棒状のn型GaNからなる第1導電型の半導体コア304、n型GaN膜からなる第1導電型の半導体シェル305、InGaN膜からなる発光層310およびp型GaN膜からなる第2導電型の半導体シェル306で構成されている。

【0188】

棒状のn型GaNからなる第1導電型の半導体コア304の直径は、例えば、1 $\mu$ mとすることができる。また、n型GaN膜からなる第1導電型の半導体シェル305の厚さは、例えば、400nmとすることができる。また、InGaN膜からなる発光層310の厚さは、例えば、5nmとすることができる。また、p型GaN膜からなる第2導電型の半導体シェル306の厚さは、例えば、200nmとすることができる。

【0189】

また、棒状のn型GaNからなる第1導電型の半導体コア304は、例えば、n型を与えるシリコン原子の濃度を $1 \times 10^{19}$ 個 $\text{cm}^{-3}$ とすることができる。また、n型GaN膜からなる第1導電型の半導体シェル305は、例えば、n型を与えるシリコン原子の濃度を $1 \times 10^{17}$ 個 $\text{cm}^{-3}$ とすることができる。

【0190】

このとき、棒状のn型GaNからなる第1導電型の半導体コア304の抵抗率は、約 $2 \times 10^{-2}$   $\text{cm}$ となり、n型GaN膜からなる第1導電型の半導体シェル305の抵抗率は、約 $3 \times 10^{-1}$   $\text{cm}$ となる。また、n型GaN膜からなる第1導電型の半導体シェル305の結晶欠陥密度は、棒状のn型GaNからなる第1導電型の半導体コア304の結晶欠陥よりも小さくなる。したがって、n型GaN膜からなる第1導電型の半導体シェル305と、p型GaN膜からなる第2導電型の半導体シェル306とで構成されるPN接合の電気特性を良好に保つことができるから、棒状のn型GaNからなる第1導電型の半導体コア304の電気抵抗を小さくすることができて、発光ダイオード素子の発光効率を向上させることができる。

【0191】

尚、発光ダイオード素子350A、350Bの数は、必要とされる光量に応じて変えることができる。発光ダイオード素子の大きさとして上記記載の大きさを採用すれば、例えば、1,000個~100,000個の発光ダイオード素子を1つのガラス基板上に配置すれば好ましい光量を獲得できる。

【0192】

ガラス基板311上には、第1の電極312および第2の電極313が形成されているが、これは後述のように、発光ダイオード素子350A、350Bをガラス基板311上の所定の位置に配置するために形成されたものである。上記ガラス基板311および発光ダイオード素子350A、350B上には、シリコン酸化膜からなる層間絶縁膜314が形成されており、層間絶縁膜314に開口したコンタクト孔を介して、金属配線315、316が、発光ダイオード素子350A、350Bと電氣的に接続されている。金属配線315、316間に電圧を与えることにより、発光ダイオード素子350A、350Bを発光させるようになっている。

【0193】

10

20

30

40

50

図 3 1 ~ 図 3 9 は、上記第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図であり、その発光ダイオードを形成する手順の一例を示す図である。

【 0 1 9 4 】

発光ダイオードの製造にあたって、先ず、上記第 5 実施形態の発光ダイオード素子を、図 1 9 ~ 図 2 3 で説明した手順に従って作成する。詳しくは、この発光ダイオード素子を、上述のように、第 1 の基板の上に複数の棒状のコアを形成するコア形成工程と、上記複数の棒状のコアを形成した後、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、上記第 1 導電型のシェルを形成した後、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、上記棒状のコア、第 1 導電型の半導体シェルおよび第 2 導電型の半導体シェルを備えた複数の棒状半導体素子を上記基板から切り離す半導体素子切り離し工程とを経て形成する。

10

【 0 1 9 5 】

次に、図 3 1 に示すように、上記第 1 の基板とは別の第 2 の基板となるガラス基板 3 1 1 の表面に、第 1、第 2 の電極 3 1 2、3 1 3 を形成する。第 1、第 2 の電極 3 1 2、3 1 3 は、フォトリソグラフィまたは印刷技術を利用して形成することができる。なお、図 3 1 では省略されているが、金属電極 3 1 2、3 1 3 には、外部から電位が与えられるように、パッドが形成されている。

【 0 1 9 6 】

次に、金属電極 3 1 2、3 1 3 が、対向する部分に、上記予め作製した発光ダイオード素子を配列する（半導体素子配列工程）。図 3 1 では、図を見やすくするため、発光ダイオード素子を配列する配列領域を  $8 \times 3$  個としているが、実際は任意の個数の配列領域とすることができる。

20

【 0 1 9 7 】

図 3 2 は、図 3 1 の X I X - X I X 線から見た断面模式図である。

【 0 1 9 8 】

まず、図 3 2 に示すように、ガラス基板 3 1 1 上に、発光ダイオード素子 3 5 0 を含んだイソプロピルアルコール (IPA) 3 2 1 を薄く塗布する。塗布する材料は、IPA 3 2 1 の他に、エチレングリコール、プロピレングリコール、メタノール、エタノール、または、アセトンであっても良く、または、それらの二以上の材質の混合物で合っても良く、または、IPA とそれらのうちの材質の一以上の材質の混合物であっても良い。また、IPA 3 2 1 の代わりに、他の有機物からなる液体、水などを用いることができる。なお、上述のように、発光ダイオード素子 3 5 0 は、上記第 5 実施形態の半導体素子（図 6 参照）である。

30

【 0 1 9 9 】

ここで、液体を通じて金属電極 3 1 2、3 1 3 間に大きな電流が流れてしまうと、金属電極 3 1 2、3 1 3 間に所望の電圧差を印加できなくなってしまう。そのような場合には、金属電極 3 1 2、3 1 3 を覆うように、ガラス基板 3 1 1 表面全体に、 $10 \text{ nm} \sim 30 \text{ nm}$  程度の絶縁膜をコーティングすればよい。

【 0 2 0 0 】

発光ダイオード素子 3 5 0 を含む IPA 3 2 1 を塗布する厚さは、次に発光ダイオード素子 3 5 0 を配列する工程で、発光ダイオード素子 3 5 0 が配列できるよう、液体中で発光ダイオード素子 3 5 0 が移動できる厚さである。したがって、IPA 3 2 1 を塗布する厚さは、発光ダイオード素子 3 5 0 の太さ以上であり、例えば、数  $\mu\text{m}$  ~ 数  $\text{mm}$  とすることができる。塗布する厚さは、薄すぎると、発光ダイオード素子 3 5 0 が移動し難くなり、逆に、厚すぎると、液体を乾燥する時間が長くなる。尚、IPA の量に対して、発光ダイオード素子 3 5 0 の量は、 $1 \times 10^4 \text{ 本 cm}^{-3} \sim 1 \times 10^7 \text{ 本 cm}^{-3}$  が好ましい。

40

【 0 2 0 1 】

発光ダイオード素子 3 5 0 を含む IPA 3 2 1 を塗布するために、発光ダイオード素子 3 5 0 を配列させる金属電極の外周囲に枠を形成し、その枠内に発光ダイオード素子 3 5 0 を含む IPA 3 2 1 を所望の厚さになるように充填してもよい。しかしながら、発光ダ

50

イオード素子 350 を含む IPA 321 が粘性を有する場合は、枠を必要とせずに、所望の厚さに塗布することが可能である。

【0202】

図 32 を参照して、次に、金属電極 312、313 間に、例えば、1V の電位差を与える。金属電極 312、313 の電位差は、0.1 ~ 10V を印加することができるが、0.1V 以下では、棒発光ダイオード素子 350 の配列が悪くなり、10V 以上では、金属電極間の絶縁が問題になり始める。したがって、1 ~ 5V が好ましく、更には、1V 程度とするのが好ましい。

【0203】

図 33 は、上記発光ダイオード素子 350 が金属電極 312、313 上に配列する原理を示している。図 33 に示すように、金属電極 312 に電位  $V_L$  を印加し、金属電極 313 に電位  $V_R$  ( $V_L < V_R$ ) を印加すると、金属電極 312 には負電荷が誘起され、金属電極 313 には正電荷が誘起される。そこに発光ダイオード素子 350 が接近すると、棒状の発光ダイオード素子 350 において、金属電極 312 に近い側に正電荷が誘起され、金属電極 313 に近い側に負電荷が誘起される。この発光ダイオード素子 350 に電荷が誘起されるのは静電誘導による。すなわち、電界中に置かれた発光ダイオード素子 350 は、内部の電界が 0 となるまで表面に電荷が誘起されることによる。その結果、各電極 312、313 と、発光ダイオード素子 350 との間に静電力により引力が働き、発光ダイオード素子 350 は、金属電極 312、313 間に生じる電気力線に沿うように向きを揃え、電極 312、313 を架橋するように配列する。

【0204】

金属電極 312、313 が絶縁膜で覆われる場合は、絶縁膜上に電荷が誘起されることにより次第に液体中の電界が弱まるため、安定して発光ダイオード素子 350 を電極 312、313 上の位置に留めることができない。そのような場合は、図 34 に示すように、金属電極 312、313 間に、AC 電圧を印加することが好ましい。

【0205】

詳しくは、図 34 に示す例においては、金属電極 313 に、基準電位を、金属電極 312 には、振幅  $V_{PP} / 2$  の AC 電圧を印加している。こうすることにより、発光ダイオード素子 350 を安定して電極 312、313 上に配列することができる。なお、この場合の金属電極 312 に与える交流電圧の周波数は、10Hz ~ 1MHz とするのが好ましく、50Hz ~ 1kHz とするのが最も配列が安定し、より好ましい。さらに、金属電極 312、313 間に印加する AC 電圧は、正弦波に限らず、矩形波、三角波、ノコギリ波など、周期的に変動するものであればよい。なお、 $V_{PP}$  は 1V 程度とするのが好ましかった。

【0206】

次に、金属電極 312、313 上に、発光ダイオード素子 350 を配列させた後、ガラス基板 311 を加熱することにより、液体を蒸発させて乾燥させ、発光ダイオード素子 350 を、金属電極 312、313 を架橋するように配列させて固着させる。

【0207】

図 35 は、発光ダイオード素子 350 を配列したガラス基板 311 の平面図を示している。また、図 36 は、発光ダイオード素子 350 を配列したガラス基板 311 の断面図を示している。図 36 において、発光ダイオード素子 350 A は、棒状の n 型 GaN からなる第 1 導電型のコアが露出した側が左側を向いた状態で配列しており、発光ダイオード素子 350 B は、露出した側が右側を向いた状態で配列している。これは、これは金属電極 312、313 上に発光ダイオード素子を配置するときに 2 通りの向きが許されることによる。

【0208】

次に、ガラス基板 311 上の所定の位置に配列した発光ダイオード素子 350 A、350 B の配線を行う。図 37 に示すように、ガラス基板 311 上に、発光ダイオード素子 350 A、350 B の一部が露出するようにフォトレジスト 317 をパターンニングする。そ

して、フォトレジスト 317 の開口部において、InGa<sub>N</sub>膜からなる発光層 310 および p 型 Ga<sub>N</sub>膜からなる第 2 導電型の半導体シェル 306 をエッチングにより除去する。このエッチングは、等方性の強いドライエッチが適当である。その後、フォトレジスト 317 を除去する。

【0209】

次に、図 38 に示すように、ガラス基板 311 上に層間絶縁膜 314 を塗布する。層間絶縁膜 314 は、例えば、シリコン酸化膜を 2 μm 塗布することによって形成できる。

【0210】

次に、図 39 に示すように、層間絶縁膜 314 に開口部を設ける。その後、スパッタ法等により金属を堆積することにより、層間絶縁膜 314 の開口部を埋めるとともに、層間絶縁膜 314 上に金属膜を形成する。この金属膜をフォトリソグラフィによりパターンングして金属配線 315、316 を形成し、発光ダイオード素子 350A、350B を配線して、発光ダイオード 300 が完成する。

【0211】

以上のように、本実施の形態の発光ダイオードは、発光ダイオードの機能を有する本発明の一実施形態の発光ダイオード素子 350A、350B を備えている。それゆえ、発光ダイオードの発光効率を向上させることができる。

【0212】

上記実施形態の発光ダイオードは、発光ダイオード素子 350A、350B の基板とは異なる基板 311 と、その基板 311 上に配置された本発明の一実施形態の半導体素子である発光ダイオード素子 350A、350B と、その発光ダイオード素子 350A、350B を電氣的に接続する配線 315、316 とを備えている。それゆえ、上記基板 311 上において、発光ダイオード素子（発光ダイオードの機能を有する半導体素子）350A、350B の配置間隔を自由に設定することができる。

【0213】

したがって、発光ダイオードの機能を有する半導体素子である発光ダイオード素子 350A、350B を、所定の位置に正確に配置することができるから、発光ダイオード素子 350A、350B を効率よく基板に逃がすことができると共に、発光ダイオードの温度上昇を抑制することができる。したがって、発光ダイオードの効率と信頼性を共に向上することができる。

【0214】

また、上記発光ダイオードを形成する上記手順は、第 1 の基板の上に複数の棒状のコアを形成するコア形成工程と、上記複数の棒状のコアを形成した後、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、上記第 1 導電型のシェルを形成した後、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、上記棒状のコア、第 1 導電型の半導体シェルおよび第 2 導電型の半導体シェルを備えた複数の半導体素子を上記基板から切り離す半導体素子切り離し工程と、上記複数の半導体素子を第 2 の基板の上に配置する半導体素子配列工程を備えている。

【0215】

上記手順によれば、半導体素子は、上記第 1 の基板上で、棒状のコアが形成された後、第 1 導電型の半導体シェルおよび第 2 導電型のシェルで覆われる。したがって、単位基板面積当りの PN 接合面積、すなわち、発光面積を非常に大きくして製造コストを低減することができる。

【0216】

更には、第 1 導電型の半導体シェルと第 2 導電型の半導体シェルとで良好な特性を持つ PN 接合を得ることができるのみならず、上記棒状のコアは第 1 導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を持たせることができる。それゆえ、第 1 導電型の半導体シェルと第 2 導電型の半導体シェルとで構成される PN 接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上することができる。

10

20

30

40

50

## 【0217】

更に、また、上記第1の基板とは別の上記第2の基板上に複数の上記半導体素子を配列するので、発光ダイオードの機能を有する半導体素子の配置間隔を自由に設定することができる。したがって、上記発光ダイオードの機能を有する半導体素子を効率よく基板に逃がして、発光ダイオードの温度上昇を抑制することにより、発光ダイオードの効率と信頼性を共に向上することが可能となる。したがって、高効率で高信頼性の発光ダイオード300を低コストで製造することができる。

## 【0218】

(第9実施形態)

図40は、本発明の第9実施形態の照明装置の側面図である。また、図41は、上記照明装置に内蔵される発光装置を横から見た図であり、図42は、上記発光装置を上から見た図である。

10

## 【0219】

図41および図42を参照して、正形状の放熱板405上に、第8実施形態の発光ダイオード406(図30参照)が実装されて発光装置404を構成している。図40を参照して、この照明装置400は、上記発光装置404を内蔵したLED電球である。照明装置400は、外部のソケットに嵌めて商用電源に接続するための電源接続部としての口金401と、その口金401に一端が接続され、他端が徐々に拡径する円錐形状の放熱部402と、放熱部402の他端側を覆う透光部403とを備えている。第9実施形態の照明装置は、第8実施形態の発光ダイオードを備えているため、低消費電力化が実現され

20

## 【0220】

(第10実施形態)

図43は、本発明の第10実施形態のバックライトの平面図である。

## 【0221】

図43に示すように、このバックライト500は、放熱板の一例としての長形状の支持基板501上に、複数の発光ダイオード502が互いに所定の間隔をあけて格子状に実装されている。ここで、発光ダイオード502としては、第8実施形態の発光ダイオード(図30参照)を用いている。第10実施形態のバックライトは、第8実施形態の発光ダイオードを備えているため、低消費電力化が実現されることができ

30

## 【0222】

(第11実施形態)

図44は、本発明の第11実施形態の表示装置(LEDディスプレイ)の1画素の回路図である。

## 【0223】

この表示装置は、本発明の発光ダイオードとしての機能を有する本発明の一実施形態の半導体素子(第1~第5実施形態の半導体素子)を画素の自発光素子として用いている。

## 【0224】

この表示装置は、アクティブマトリクスアドレス方式であり、選択電圧パルスが、行アドレス線X1に供給され、データ信号が、列アドレス線Y1に送られるようになっている。上記選択電圧パルスがトランジスタT1のゲートに入力されて、トランジスタT1がオンすると、上記データ信号がトランジスタT1のソースからドレインに伝達され、データ信号がキャパシタCに電圧として記憶されるようになっている。

40

## 【0225】

トランジスタT2は、発光ダイオードとしての機能を有する半導体素子640の駆動用であり、この発光ダイオードとしての機能を有する半導体素子640としては、上記第1実施形態~第5実施形態(図1、図3、図4、図5、図6参照)の半導体素子を用いることができる。

## 【0226】

上記発光ダイオードとしての機能を有する半導体素子640は、上記トランジスタT2

50

を経て電源  $V_s$  に接続されている。よって、トランジスタ  $T_1$  からのデータ信号でトランジスタ  $T_2$  がオンすることにより、発光ダイオードとしての機能を有する半導体素子 640 が、上記電源  $V_s$  によって駆動されることができる。

【0227】

この実施形態の LED ディスプレイは、図 43 に示す 1 画素がマトリックス状に配列されている。このマトリックス状に配列された各画素の発光ダイオードとしての機能を有する半導体素子 640 と、トランジスタ  $T_1$ 、 $T_2$  とが基板上に形成されている。尚、本発明の発光ダイオードを、上記実施形態とは異なる LED ディスプレイや、LED ディスプレイ以外の表示装置に使用しても良いことは勿論である。

【0228】

この実施形態の表示装置を作製するためには、例えば、以下のような工程を行えば良い。

【0229】

まず、上述の第 4 実施形態の半導体素子を形成する手順（図 6 ~ 14）、第 4 実施形態の半導体素子を形成する別の手順（図 15 ~ 図 17）、または、第 5 実施形態の半導体素子を形成する手順（図 19 ~ 図 23）にしたがって、発光ダイオードの機能を有する半導体素子を形成する。

【0230】

発光ダイオードの機能を有する半導体素子（発光ダイオード素子）640 は、簡易に述べると、第 1 の基板上に複数の棒状のコアを形成するコア形成工程と、上記複数の棒状のコアを形成した後、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、上記第 1 導電型のシェルを形成した後、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、上記棒状のコア、第 1 導電型の半導体シェルおよび第 2 導電型の半導体シェルを備えた複数の棒状半導体素子を上記基板から切り離す半導体素子切り離し工程とを経て形成する。

【0231】

次に、トランジスタ  $T_1$ 、 $T_2$  をガラス等の基板上に、通常の TFT 製造方法を用いて形成する。次に、TFT を形成した基板上に、発光ダイオードとしての機能を有する半導体素子 640 を配置するための、第 1 の電極および第 2 の電極を形成する。次に、第 8 実施形態において、図 31 ~ 図 35 で説明した方法を用いて、上記基板上の所定の位置に発光ダイオードとしての機能を有する半導体素子 640 を配置する。その後、上部配線工程を行ない、上記発光ダイオードとしての機能を有する半導体素子 640 をトランジスタ  $T_2$  のドレインとアース線とに接続する。

【0232】

本実施の形態のバックライトは、発光ダイオードとしての機能を有する上記第 1 ~ 第 5 実施形態の半導体素子を、各画素の自発光デバイスとして備えているため、発光効率を高くすることができて、低消費電力化を実現することができる。

【0233】

尚、上記実施形態の発光ダイオードでは、発光層が、第 1 導電型の半導体シェルと、第 2 導電型の半導体シェルとの間に存在していたが、この発明の発光ダイオードでは、発光層は、第 2 導電型の半導体シェルの径方向（棒状のコアの径方向のこと）の外方に設けられる等、第 1 導電型の半導体シェルと、第 2 導電型の半導体シェルとの間に存在してなくても良い。

【0234】

また、例えば、上記説明した互いに異なる二以上の実施形態の一部または全部を組み合わせた発明が、本発明の新たな実施形態を構成することは、勿論であり、上記説明したある実施形態の発明と、上記説明したある変形例の発明とを組み合わせる発明が、本発明の新たな実施形態を構成することも勿論である。正確にいうと、上記明細書の説明で行った、全ての実施形態および全ての変形例で構成される内容から二以上の発明特定事項を組み合わせる発明が、本発明の新たな実施形態に含まれることは、勿論

10

20

30

40

50

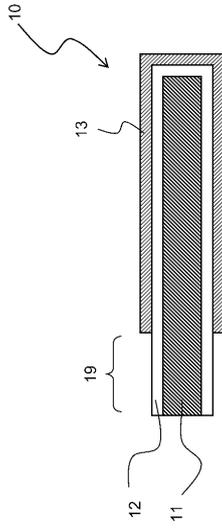
である。

【符号の説明】

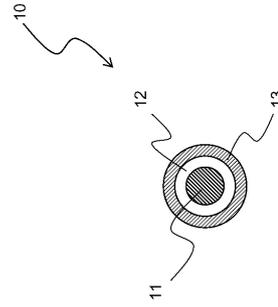
【0235】

10, 20, 30, 40, 50, 60, 80, 150, 250, 640	半導体素子	
11, 21, 41, 51, 64, 74, 84, 104, 204, 304	第1導電型の半導体コ ア	
12, 22, 32, 42, 52, 65, 75, 85, 105, 205, 305	第1導電型の半導 体シェル	
13, 23, 33, 43, 53, 67, 87, 106, 206, 306	第2導電型の半導体シ ェル	10
31	棒状のコア	
44, 54, 66, 86, 210, 310	発光層	
61, 71, 81, 101, 201	サファイア基板	
72	シリコン酸化膜	
82, 202	n型GaN層	
100	太陽電池	
102	n型シリコン層	
103, 203	シリコン酸化膜	
107, 207	透明電極	
109	金属電極	20
170	ITO層	
200, 300, 406, 502	発光ダイオード	
209	金属電極	
311	ガラス基板	
312	第1の電極	
313	第2の電極	
314	層間絶縁膜	
315, 316	金属配線	
317	フォトレジスト	
350	発光ダイオード素子	30
350A, 350B	発光ダイオード素子	
400	照明装置	
404	発光装置	
500	バックライト	

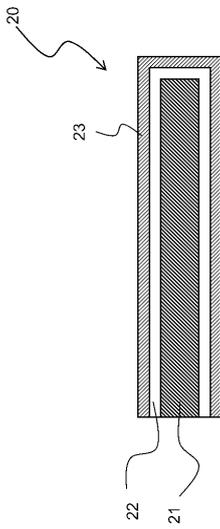
【 図 1 】



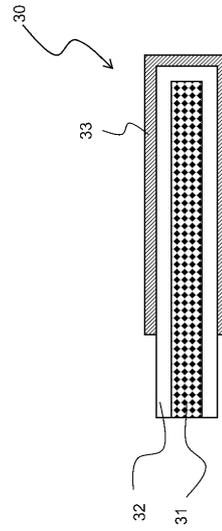
【 図 2 】



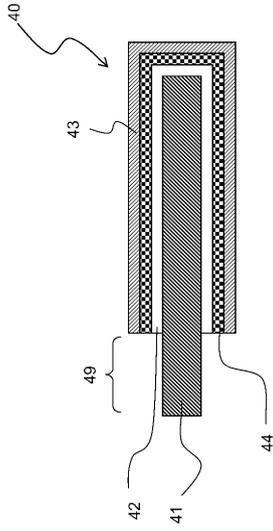
【 図 3 】



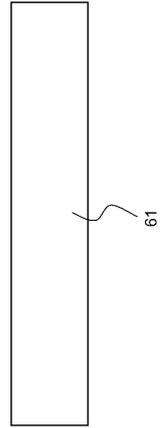
【 図 4 】



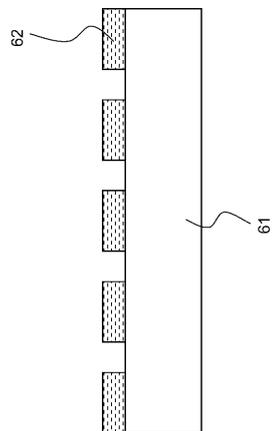
【 図 5 】



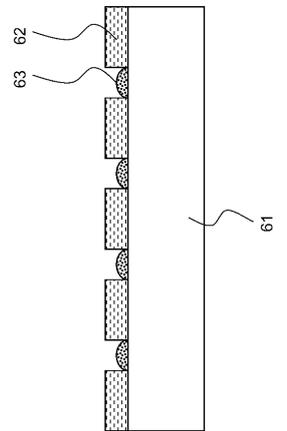
【 図 6 】



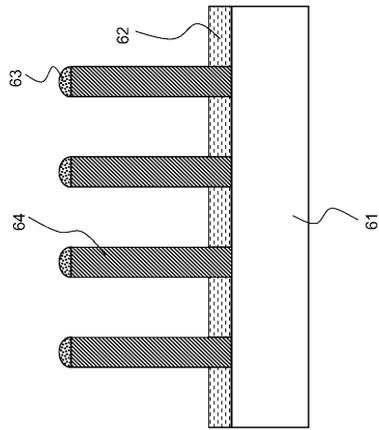
【 図 7 】



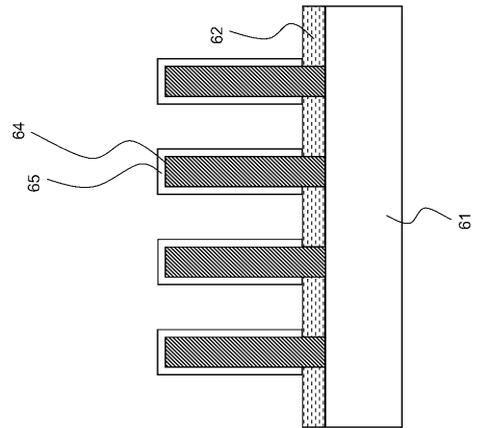
【 図 8 】



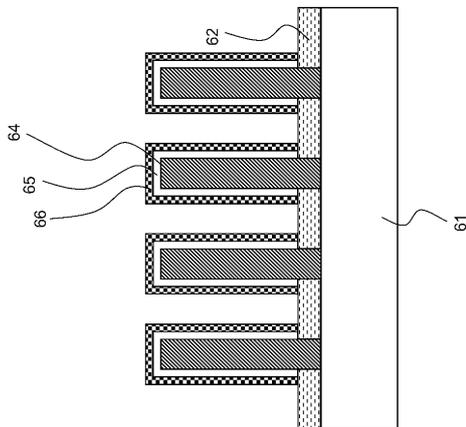
【 図 9 】



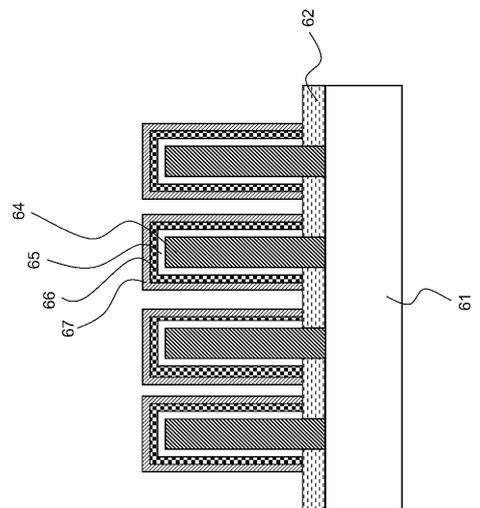
【 図 10 】



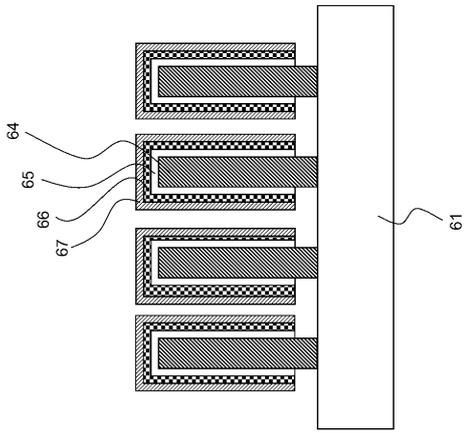
【 図 11 】



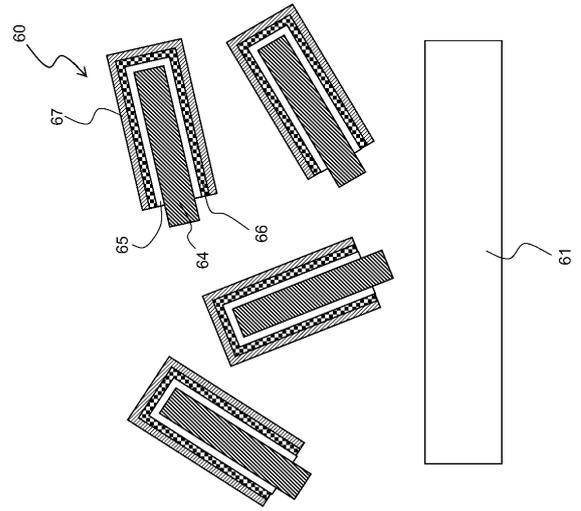
【 図 12 】



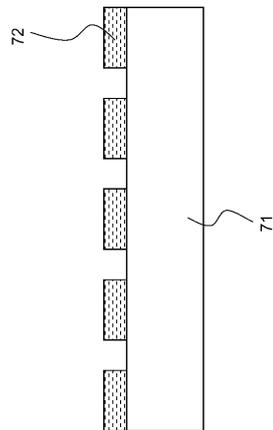
【 図 1 3 】



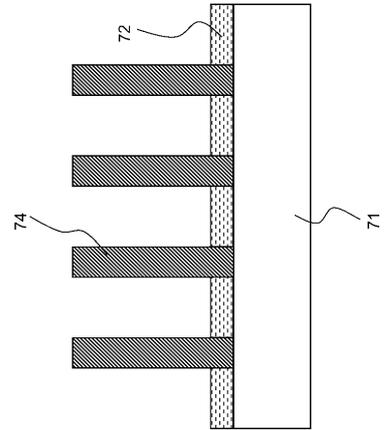
【 図 1 4 】



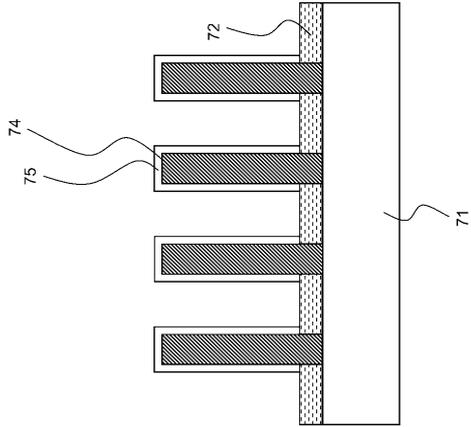
【 図 1 5 】



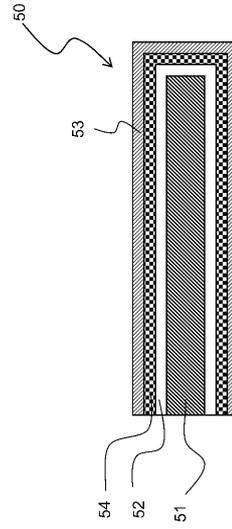
【 図 1 6 】



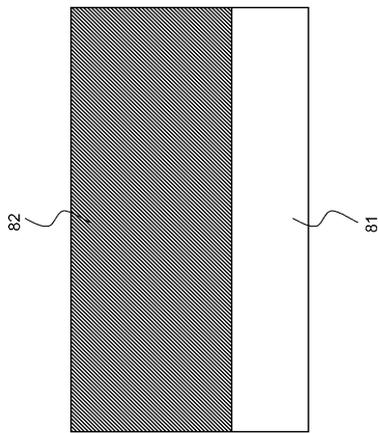
【図 17】



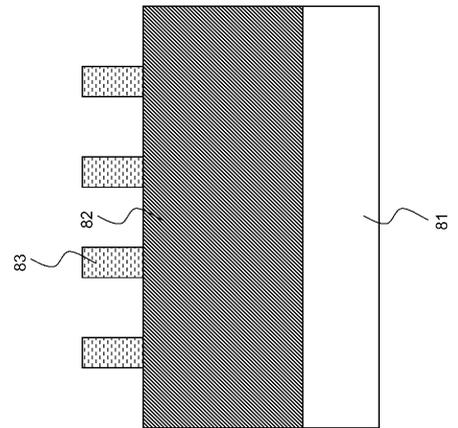
【図 18】



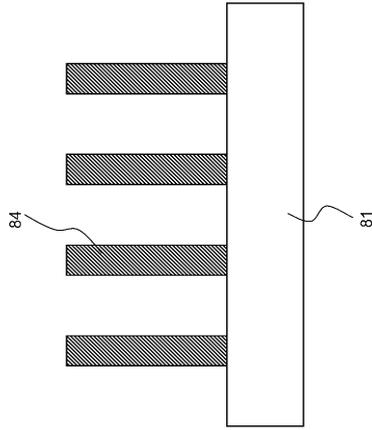
【図 19】



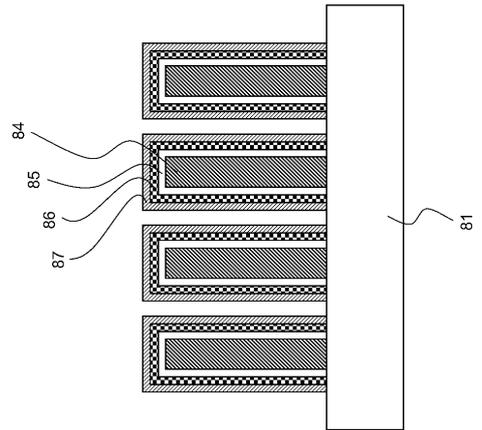
【図 20】



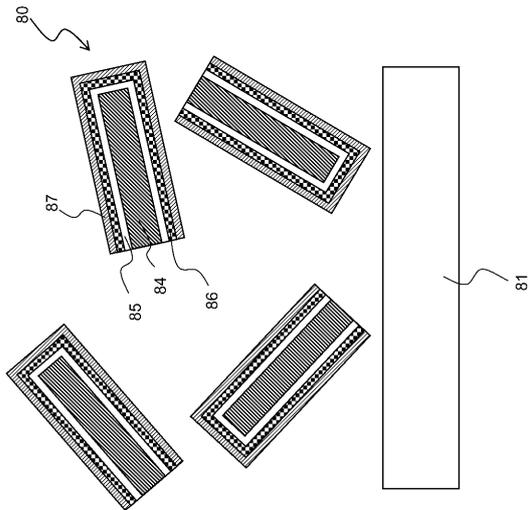
【 図 2 1 】



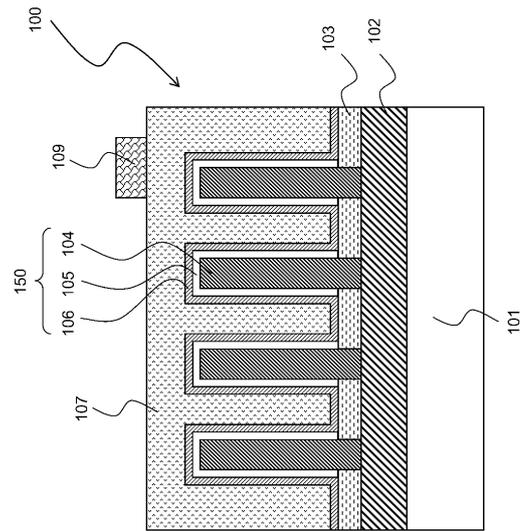
【 図 2 2 】



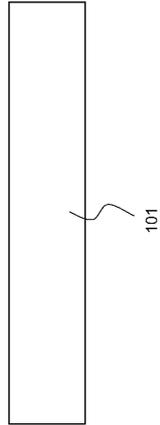
【 図 2 3 】



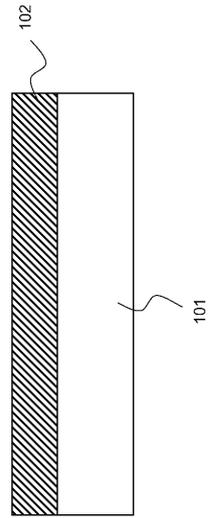
【 図 2 4 】



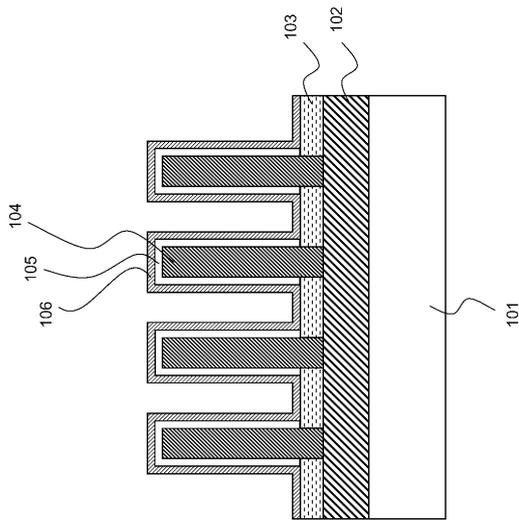
【 図 2 5 】



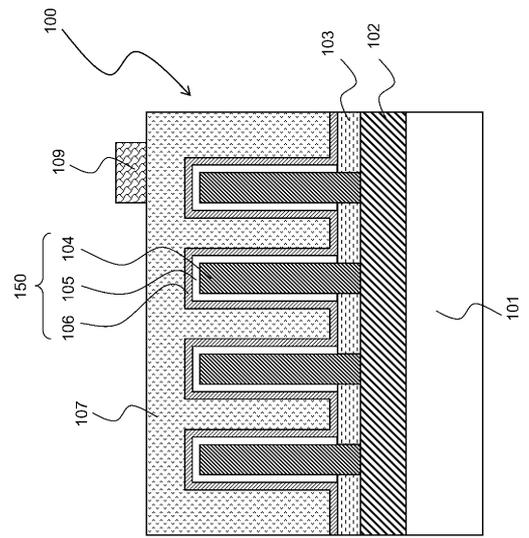
【 図 2 6 】



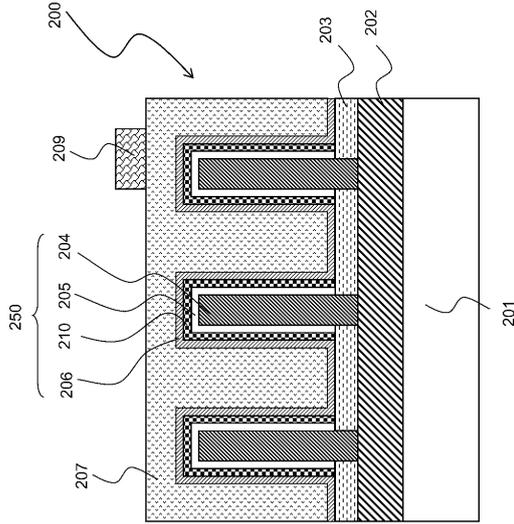
【 図 2 7 】



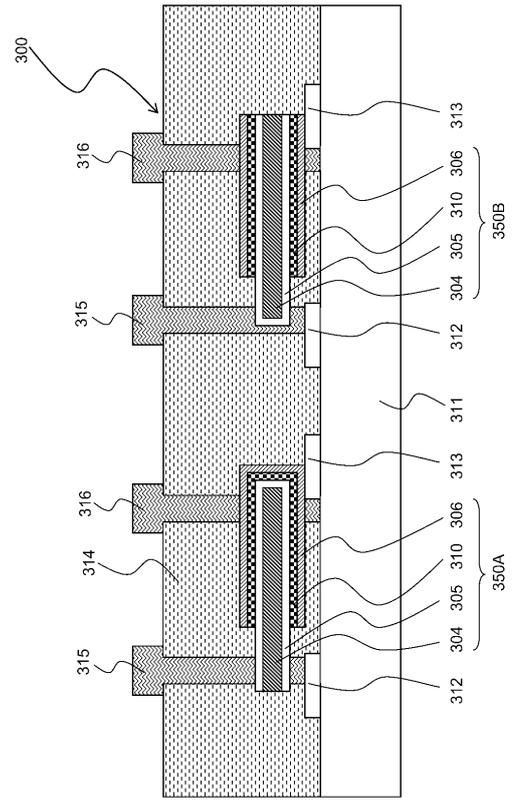
【 図 2 8 】



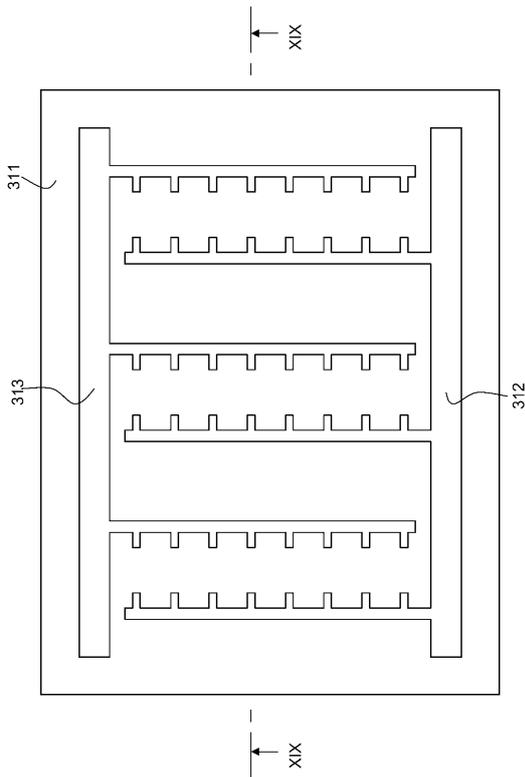
【 図 2 9 】



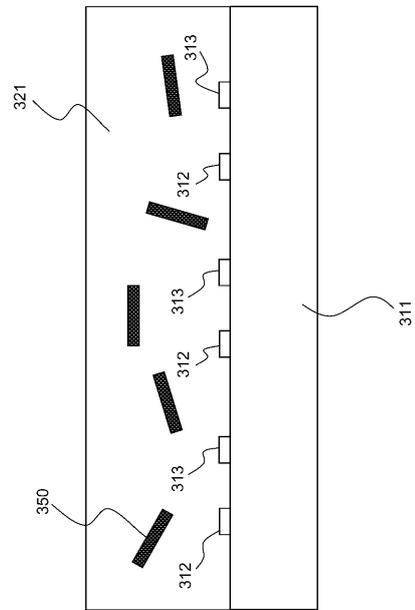
【 図 3 0 】



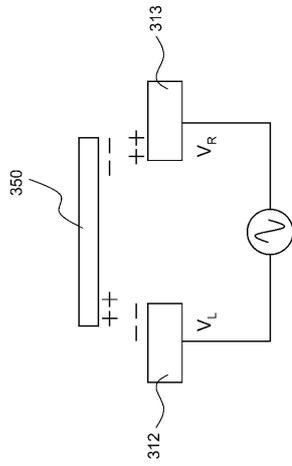
【 図 3 1 】



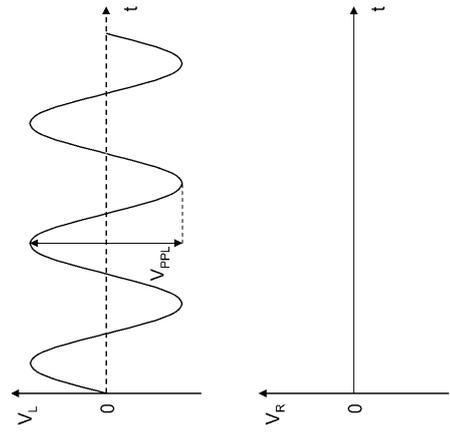
【 図 3 2 】



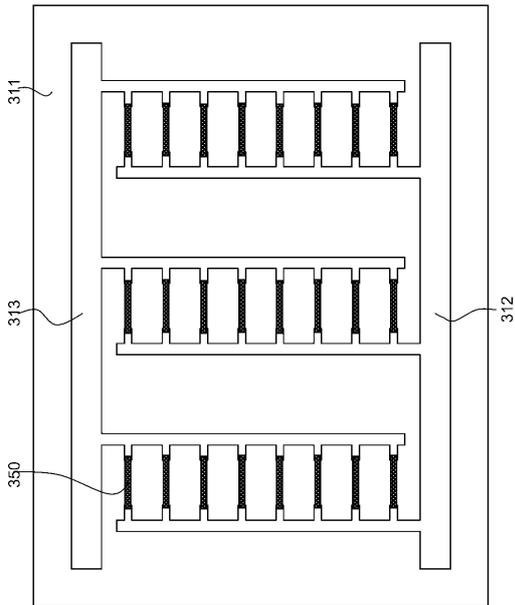
【 図 3 3 】



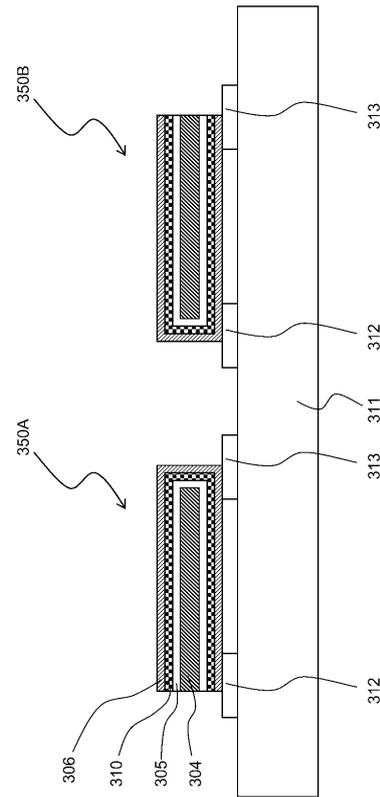
【 図 3 4 】



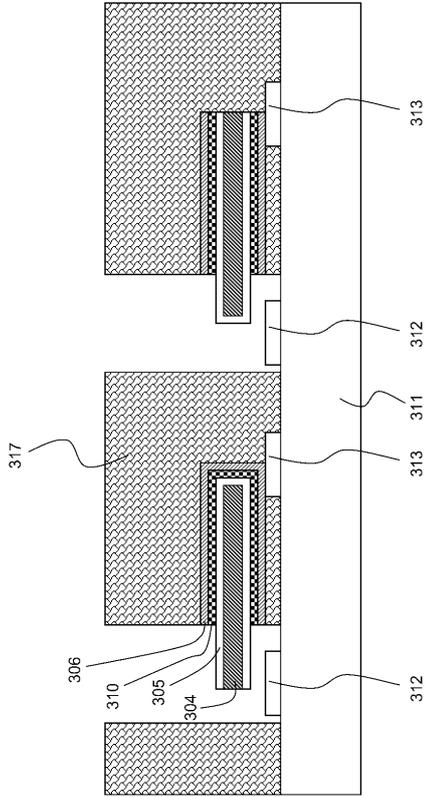
【 図 3 5 】



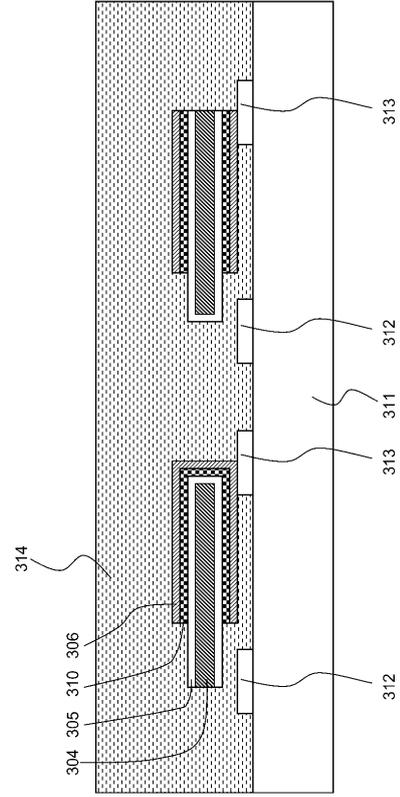
【 図 3 6 】



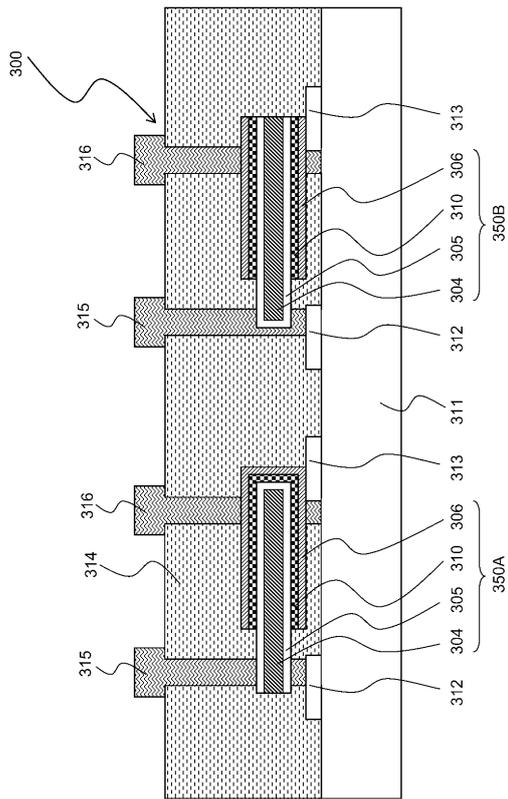
【 図 3 7 】



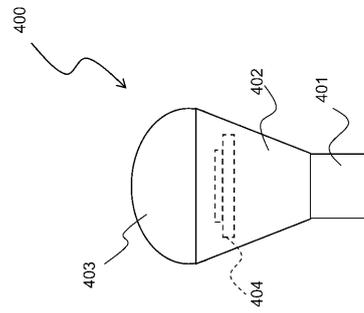
【 図 3 8 】



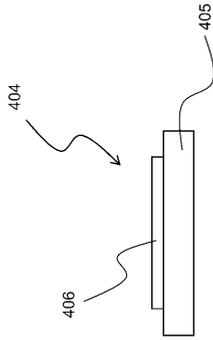
【 図 3 9 】



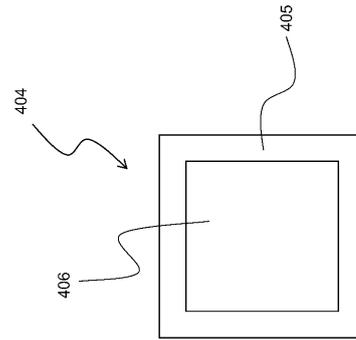
【 図 4 0 】



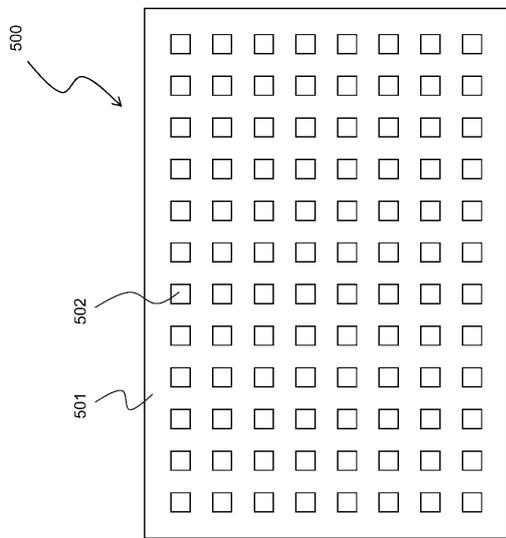
【 図 4 1 】



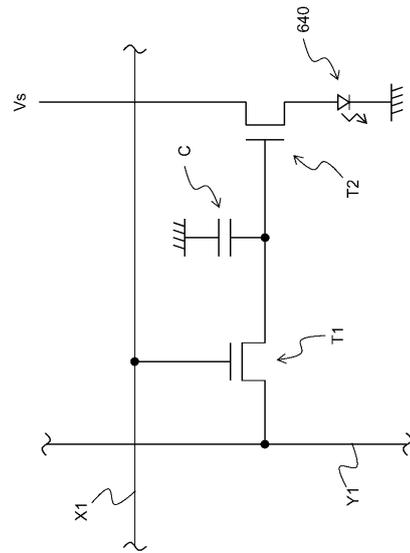
【 図 4 2 】



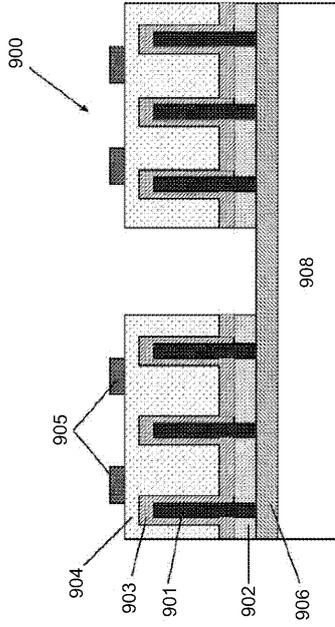
【 図 4 3 】



【 図 4 4 】



【 図 4 5 】



## フロントページの続き

- (72)発明者 小宮 健治  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 矢追 善史  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 塩見 竹史  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 岩田 浩  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
- (72)発明者 高橋 明  
大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 5F041 AA03 CA02 CA03 CA05 CA10 CA33 CA34 CA35 CA37 CA40  
CA49 CA57 CA65 CA73 CA74 CA88  
5F141 AA03 CA02 CA03 CA05 CA10 CA33 CA34 CA35 CA37 CA40  
CA49 CA57 CA65 CA73 CA74 CA88  
5F151 AA02 CB12 CB15 DA03 FA04 FA13 FA15 GA03