



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0078746
(43) 공개일자 2020년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 27/105 (2006.01)

(52) CPC특허분류
H01L 27/1052 (2013.01)

(21) 출원번호 10-2018-0167111

(22) 출원일자 2018년12월21일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

박현목

서울특별시 강남구 삼성로 150 209동 906호 (대치동,미도아파트)

김대현

경기도 수원시 권선구 경수대로302번길 32 101동 1104호 (권선동,성지아파트)

(뒷면에 계속)

(74) 대리인

특허법인 고려

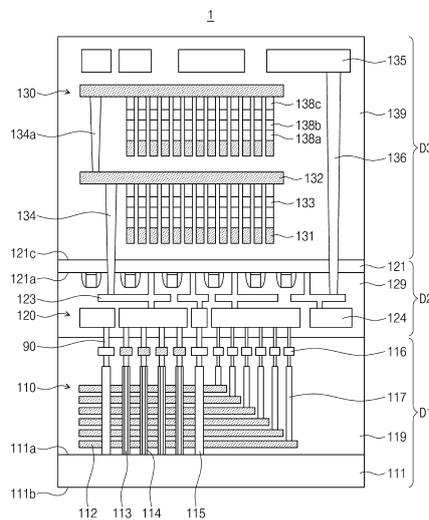
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **융합 메모리 소자 및 그 제조 방법**

(57) 요약

본 발명은 융합 메모리 소자 및 그 제조 방법에 관한 것으로, 융합 메모리 소자는 대향하는 활성면과 비활성면을 갖는 제1 기관 및 상기 제1 기관의 상기 활성면 상에 제공된 제1 메모리 셀 회로를 구비하는 제1 메모리 소자, 대향하는 활성면과 비활성면을 갖는 제2 기관 및 상기 제2 기관의 상기 활성면 상에 제공된 비메모리 회로를 구비하며, 상기 제1 메모리 소자 상에 제공되는 비메모리 소자, 그리고 상기 제2 기관의 상기 비활성면 상에 제공되고, 상기 제1 메모리 셀 회로와 상이한 제2 메모리 셀 회로를 구비하는 제2 메모리 소자를 포함한다. 상기 비메모리 회로는 상기 제1 메모리 셀 회로와 상기 제2 메모리 셀 회로 사이에 제공되어 상기 제1 메모리 셀 회로와 상기 제2 메모리 셀 회로 각각의 전기적 동작을 제어한다.

대표도 - 도5



(72) 발명자

김진민

서울특별시 관악구 관악로30길 12 106동 1403호
(봉천동, 우성아파트)

김희승

경기도 수원시 영통구 영통동 514번길 53
황골주공2단지아파트 108동 1501호

박현식

서울특별시 서초구 청두곳7길 7-3 B03호 (방배
동, 웅천빌라)

이상길

경기도 성남시 분당구 정자로 56 105동 201호 (정
자동, 상록마을라이프1단지아파트)

명세서

청구범위

청구항 1

대향하는 활성면과 비활성면을 갖는 제1 기관 및 상기 제1 기관의 상기 활성면 상에 제공된 제1 메모리 셀 회로를 구비하는 제1 메모리 소자;

대향하는 활성면과 비활성면을 갖는 제2 기관 및 상기 제2 기관의 상기 활성면 상에 제공된 비메모리 회로를 구비하며, 상기 제1 메모리 소자 상에 제공되는 비메모리 소자; 그리고

상기 제2 기관의 상기 비활성면 상에 제공되고, 상기 제1 메모리 셀 회로와 상이한 제2 메모리 셀 회로를 구비하는 제2 메모리 소자를 포함하고,

상기 비메모리 회로는, 상기 제1 메모리 셀 회로와 상기 제2 메모리 셀 회로 사이에 제공되어 상기 제1 메모리 셀 회로와 상기 제2 메모리 셀 회로 각각의 전기적 동작을 제어하는 융합 메모리 소자.

청구항 2

제1항에 있어서,

상기 비메모리 회로는:

상기 제1 메모리 셀 회로와 전기적으로 연결되고 상기 제1 메모리 셀 회로의 상기 전기적 동작을 제어하는 제1 주변 회로; 그리고

상기 제2 메모리 셀 회로와 전기적으로 연결되고 상기 제2 메모리 셀 회로의 상기 전기적 동작을 제어하는 제2 주변 회로를;

포함하는 융합 메모리 소자.

청구항 3

제1항에 있어서,

상기 제2 기관의 상기 활성면은 상기 제1 기관의 상기 활성면을 바라보고,

상기 제2 기관의 상기 비활성면은 상기 제2 메모리 셀 회로를 바라보는 융합 메모리 소자.

청구항 4

제1항에 있어서,

상기 제1 메모리 셀 회로는 상기 제2 메모리 셀 회로에 비해 큰 공정 온도를 갖는 융합 메모리 소자.

청구항 5

제1항에 있어서,

상기 제2 메모리 소자는,

상기 제2 메모리 셀 회로를 상기 비메모리 회로에 전기적으로 연결하며, 상기 제2 기관을 관통하는 전극을 포함하는 융합 메모리 소자.

청구항 6

제1항에 있어서,

제2 기관은 상기 제1 기관의 두께보다 얇은 융합 메모리 소자.

청구항 7

대향하는 활성면과 비활성면을 갖는 하부 기관 및 상기 하부 기관의 상기 활성면 상에 적층된 복수개의 하부 메모리 셀들을 구비하는 하부 메모리 소자;

대향하는 활성면과 비활성면을 갖는 상부 기관 및 상기 상부 기관의 상기 활성면 상에 제공된 복수개의 전기적 배선들을 구비하며, 상기 하부 메모리 소자 상에 적층된 비메모리 소자; 그리고

상기 상부 기관의 상기 비활성면 상에 적층되고 상기 하부 메모리 셀들과 상이한 복수개의 상부 메모리 셀들을 구비하며, 상기 비메모리 소자 상에 적층된 상부 메모리 소자를 포함하고,

상기 상부 메모리 셀들과 상기 하부 메모리 셀들은 상기 전기적 배선들과 전기적으로 연결된 융합 메모리 소자.

청구항 8

제7항에 있어서,

상기 비메모리 회로는,

상기 하부 메모리 셀들의 전기적 동작과 상기 상부 메모리 셀들의 전기적 동작에 필요한 주변 회로를 포함하는 융합 메모리 소자.

청구항 9

제7항에 있어서,

상기 하부 메모리 셀들과 상기 전기적 배선들 사이에 제공되고, 상기 하부 메모리 소자를 상기 비메모리 소자에 전기적으로 연결하는 복수개의 연결 단자들; 그리고

상기 상부 메모리 셀들과 상기 전기적 배선들 사이에 제공되고, 상기 상부 메모리 소자를 상기 비메모리 소자에 전기적으로 연결하는, 상기 상부 기관을 관통하는 복수개의 관통 전극들을;

더 포함하는 융합 메모리 소자.

청구항 10

제7항에 있어서,

상기 상부 기관의 상기 활성면은 상기 하부 기관의 상기 활성면을 바라보고,

상기 상부 기관의 상기 비활성면은 상기 상부 메모리 셀들을 바라보는 융합 메모리 소자.

청구항 11

제7항에 있어서,

상기 상부 기관은 상기 하부 기관의 두께에 비해 작은 두께를 갖는 융합 메모리 소자.

청구항 12

제7항에 있어서,

상기 하부 메모리 셀들은:

상기 하부 기관의 상기 활성면 상에 수직하게 적층된 복수개의 워드 라인들;

상기 워드 라인들을 수직하게 관통하며, 대응하는 복수개의 메모리막들로 둘러싸인 복수개의 수직 채널들; 그리고

상기 수직 채널들과 전기적으로 연결되고 상기 워드 라인들과는 교차하는 복수개의 비트 라인들을;

포함하는 융합 메모리 소자.

청구항 13

제7항에 있어서,

상기 상부 메모리 셀들은:

상기 상부 기관의 상기 비활성면 상에 수평하게 배열된 복수개의 워드 라인들;

상기 워드 라인들 위에서 상기 워드 라인들과 교차 배열된 복수개의 비트 라인들; 그리고

상기 워드 라인들과 상기 비트 라인들 사이의 교차점들에 각각 제공된 복수개의 가변 저항막들을;

포함하는 융합 메모리 소자.

청구항 14

제7항에 있어서,

상기 상부 메모리 소자는,

상기 상부 메모리 셀들 상에 제공된 복수개의 금속 배선들; 그리고

상기 금속 배선들을 상기 비메모리 회로에 전기적으로 연결하는 복수개의 관통 전극들을 더 포함하고,

상기 관통 전극들은 상기 상부 기관을 관통하는 융합 메모리 소자.

청구항 15

제1 기관의 활성면 상에 복수개의 제1 메모리 셀들을 포함하는 제1 메모리 셀 회로를 형성하는 것;

제2 기관의 활성면 상에 복수개의 전기적 배선들을 포함하는 비메모리 회로를 형성하는 것;

상기 제1 메모리 셀 회로와 상기 비메모리 회로를 결합하는 것; 그리고

상기 제2 기관의 비활성면 상에 복수개의 제2 메모리 셀들을 포함하는 제2 메모리 셀 회로를 형성하는 것을 포함하고,

상기 제1 메모리 셀 회로를 형성하는 것과 상기 비메모리 회로를 형성하는 것은 별개로 진행하고,

상기 제1 메모리 셀 회로를 형성하는 것은 상기 제2 메모리 셀 회로를 형성하는 것에 비해 높은 온도에서 진행하는 융합 메모리 소자의 제조 방법.

청구항 16

제15항에 있어서,

상기 제1 메모리 셀 회로와 상기 비메모리 회로를 결합하는 것은,

상기 제2 기관의 상기 활성면이 상기 제1 기관의 상기 활성면을 바라보도록 상기 제1 기관과 상기 제2 기관을 결합하는 것을 포함하는 융합 메모리 소자의 제조 방법.

청구항 17

제15항에 있어서,

상기 제1 메모리 셀 회로와 상기 비메모리 회로를 결합하는 것 이후에,

상기 제2 기관의 상기 비활성면을 물리적 혹은 화학적으로 얇게 하는 것을 더 포함하는 융합 메모리 소자의 제조 방법.

청구항 18

제15항에 있어서,

상기 제1 메모리 셀 회로를 형성하는 것은:

상기 제1 기관의 상기 활성면 상에 복수개의 워드 라인들을 수직하게 적층하는 것;

상기 워드 라인들을 수직하게 관통하는 복수개의 수직 채널들을 형성하는 것, 상기 수직 채널들 각각은 메모리 막으로 둘러싸이고; 그리고

상기 수직 채널들과 전기적으로 연결되고 상기 워드 라인들과는 교차하는 복수개의 비트 라인들을 형성하는 것을;

포함하는 융합 메모리 소자의 제조 방법.

청구항 19

제15항에 있어서,

상기 제2 메모리 셀 회로를 형성하는 것은;

상기 제2 기판의 상기 비활성면 상에 수평하게 배열된 복수개의 워드 라인들을 형성하는 것;

상기 워드 라인들 상에 복수개의 비트 라인들을 형성하는 것, 상기 비트 라인들은 상기 워드 라인들과 교차하고; 그리고

상기 워드 라인들과 상기 비트 라인들 사이의 교차점들에 각각 제공되는 복수개의 가변 저항막들을 형성하는 것을;

포함하는 융합 메모리 소자의 제조 방법.

청구항 20

제19항에 있어서,

상기 제2 메모리 셀 회로를 형성하는 것은;

상기 워드 라인들과 상기 비트 라인들을 상기 비메모리 회로의 상기 전기적 배선들에 전기적으로 연결하며, 상기 제2 기판을 수직하게 관통하는 복수개의 관통 전극들을 형성하는 것을 더 포함하는 융합 메모리 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리 소자 및 그의 제조 방법에 관한 것으로, 보다 구체적으로는 이중 메모리 소자들이 결합된 융합 메모리 소자 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 이중 메모리 소자들을 결합하여 이중 메모리 소자들이 갖는 서로 다른 전기적 특성을 모두 활용하려는 시도가 지속적으로 이루어지고 있다. 낸드 플래시(NAND Flash)나 노어 플래시(NOR Flash)와 같은 불휘발성 메모리 소자와 에스램(SRAM)이나 디램(DRAM)과 같은 휘발성 메모리 소자의 결합, 혹은 플래시(Flash), 피램(PRAM), 엠램(MRAM), 알램(RRAM)과 같은 불휘발성 메모리들의 상호 결합한 것이 융합 메모리 소자의 대표적인 예이다.

[0003] 이중 메모리 소자들을 결합하는 방법으로는 이중 메모리 소자들을 적층하고, 본딩 와이어나 관통전극으로 적층된 이중 메모리 소자들을 전기적으로 연결하는 것이 있다. 이 방법은 이중 메모리 소자들의 제조 공정의 호환성 문제에서 자유로우나 개별 메모리 소자의 제조에 따른 공정 비용과 본딩 와이어의 공간 확보에 따른 면적 확대 문제가 있다.

[0004] 이중 메모리 소자들을 결합하는 다른 방법으로는 각각의 메모리 소자의 구동을 위한 주변 회로를 형성하고, 그 이후에 이중 메모리 소자들을 연속적인 공정으로 차례로 형성하여 주변 회로 상에 적층하는 것이다. 이 방법에선 이미 형성된 주변 회로나 메모리 소자는 다른 메모리 소자를 제조하는데 필요한 후속 공정으로부터 영향을 받게 된다. 가령, 후속 공정이 고온 공정인 경우, 이미 형성된 주변 회로나 메모리 소자는 열에 의해 전기적 특성이 떨어질 수 있다. 따라서, 원하는 전기적 성능을 갖는 메모리 소자를 형성하는데 제약이 있을 수 있다.

[0005] 이처럼 이중 메모리 소자들을 연속 공정으로 형성하는데 있어서, 공정 호환성이 부족한 문제가 있을 수 있다. 그러므로, 후속 공정의 영향을 받지 않으면서 원하는 전기적 성능을 가지는 융합 메모리 소자 및 그 제조 방법의 필요성이 대두될 수 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명의 목적은 후속 공정의 영향을 받지 않는 융합 메모리 소자 및 그의 제조 방법을 제공함에 있다.
- [0007] 본 발명의 다른 목적은 원하는 전기적 성능을 가진 융합 메모리 소자 및 그의 제조 방법을 제공함에 있다.
- [0008] 본 발명의 또 다른 목적은 공정 호환성을 확보할 수 있는 융합 메모리 소자 및 그의 제조 방법을 제공함에 있다.

과제의 해결 수단

- [0009] 상기 목적을 달성하기 위한 융합 메모리 소자 및 그의 제조 방법은 메모리 셀 회로와 주변 회로를 각각 다른 기관 상에 개별적으로 형성하여 공정 독립성을 확보할 수 있는 것을 특징으로 한다.
- [0010] 상기 목적을 달성하기 위한 융합 메모리 소자 및 그의 제조 방법은 웨이퍼 본딩 방법으로 메모리 셀 회로와 주변 회로를 물리적 및 전기적으로 결합하는 것을 다른 특징으로 한다.
- [0011] 상기 목적을 달성하기 위한 융합 메모리 소자 및 그의 제조 방법은 고온 메모리 셀 회로를 형성한 이후 저온 메모리 셀 회로를 형성하므로써, 고온 및 저온 메모리 셀 회로들 간의 공정 영향없이 원하는 전기적 성능을 갖춘 이중 메모리 셀 회로를 형성하는 것을 또 다른 특징으로 한다.
- [0012] 상기 특징을 구현할 수 있는 본 발명의 실시예에 따른 융합 메모리 소자는: 대향하는 활성면과 비활성면을 갖는 제1 기관 및 상기 제1 기관의 상기 활성면 상에 제공된 제1 메모리 셀 회로를 구비하는 제1 메모리 소자; 대향하는 활성면과 비활성면을 갖는 제2 기관 및 상기 제2 기관의 상기 활성면 상에 제공된 비메모리 회로를 구비하며, 상기 제1 메모리 소자 상에 제공되는 비메모리 소자; 그리고 상기 제2 기관의 상기 비활성면 상에 제공되고, 상기 제1 메모리 셀 회로와 상이한 제2 메모리 셀 회로를 구비하는 제2 메모리 소자를 포함할 수 있다. 상기 비메모리 회로는 상기 제1 메모리 셀 회로와 상기 제2 메모리 셀 회로 사이에 제공되어 상기 제1 메모리 셀 회로와 상기 제2 메모리 셀 회로의 전기적 동작을 제어할 수 있다.
- [0013] 상기 특징을 구현할 수 있는 본 발명의 실시예에 따른 융합 메모리 소자는: 대향하는 활성면과 비활성면을 갖는 하부 기관 및 상기 하부 기관의 상기 활성면 상에 적층된 복수개의 하부 메모리 셀들을 구비하는 하부 메모리 소자; 대향하는 활성면과 비활성면을 갖는 상부 기관 및 상기 상부 기관의 상기 활성면 상에 제공된 복수개의 전기적 배선들을 구비하며, 상기 하부 메모리 소자 상에 적층된 비메모리 소자; 그리고 상기 상부 기관의 상기 비활성면 상에 적층되고 상기 하부 메모리 셀들과 상이한 복수개의 상부 메모리 셀들을 구비하며, 상기 비메모리 소자 상에 적층된 상부 메모리 소자를 포함할 수 있다. 상기 상부 메모리 셀들과 상기 하부 메모리 셀들은 상기 전기적 배선들과 전기적으로 연결될 수 있다.
- [0014] 상기 특징을 구현할 수 있는 본 발명의 실시예에 따른 융합 메모리 소자의 제조 방법은: 제1 기관의 활성면 상에 복수개의 제1 메모리 셀들을 포함하는 제1 메모리 셀 회로를 형성하는 것; 제2 기관의 활성면 상에 복수개의 전기적 배선들을 포함하는 비메모리 회로를 형성하는 것; 상기 제1 메모리 셀 회로와 상기 비메모리 회로를 결합하는 것; 그리고 상기 제2 기관의 비활성면 상에 복수개의 제2 메모리 셀들을 포함하는 제2 메모리 셀 회로를 형성하는 것을 포함할 수 있다. 상기 제1 메모리 셀 회로를 형성하는 것과 상기 비메모리 회로를 형성하는 것은 별개로 진행할 수 있다. 상기 제1 메모리 셀 회로를 형성하는 것은 상기 제2 메모리 셀 회로를 형성하는 것에 비해 높은 온도에서 진행할 수 있다.

발명의 효과

- [0015] 본 발명에 의하면, 메모리 소자의 형성 공정과 비메모리 소자의 형성 공정이 개별적으로 진행되기에 공정 독립성이 확보될 수 있다. 그러므로, 메모리 소자 및 비메모리 소자를 아무런 설계 제약없이 원하는 전기적 성능을 가지도록 형성할 수 있다.
- [0016] 아울러, 저온 메모리 소자의 형성 공정을 고온 메모리 소자의 형성 공정 이후에 진행할 수 있다. 따라서, 고온 메모리 소자는 물론 미리 형성된 비메모리 소자는 저온 메모리 소자를 형성하는데 소요되는 후속 공정의 영향을 받지 않을 수 있다.
- [0017] 그 결과, 메모리 소자 및 비메모리 소자 각별로 우수한 전기적 특성이 확보된 융합 메모리 소자를 구현할 수 있

는 효과가 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제1 반도체 소자의 형성 공정을 도시한 단면도이다.
- 도 2는 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제2 반도체 소자의 형성 공정을 도시한 단면도이다.
- 도 3은 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제1 반도체 소자와 제2 반도체 소자의 결합 공정을 도시한 단면도이다.
- 도 4는 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 기판 박형화 공정을 도시한 단면도이다.
- 도 5는 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제3 반도체 소자의 형성 공정을 도시한 단면도이다.
- 도 6은 본 발명의 실시예들에 따른 융합 메모리 소자를 도시한 단면도이다.
- 도 7은 본 발명의 실시예들에 따른 융합 메모리 소자를 도시한 단면도이다.
- 도 8은 본 발명의 실시예들에 따른 융합 메모리 소자를 도시한 단면도이다.
- 도 9는 본 발명의 실시예들에 따른 융합 메모리 소자를 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 본 발명에 따른 융합 메모리 소자 및 그 제조 방법을 첨부한 도면을 참조하여 상세히 설명한다. 도면의 전체에 걸쳐서, 동일한 도면 부호는 동일한 구성 요소를 나타낸다.
- [0020] 도 1은 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제1 반도체 소자의 형성 공정을 도시한 단면도이다.
- [0021] 도 1을 참조하면, 활성면(111a)과 그 반대면인 비활성면(111b)을 갖는 제1 기판(111)을 제공할 수 있다. 제1 기판(111)은 실리콘 웨이퍼와 같은 반도체 기판을 포함할 수 있다. 제1 기판(111)의 활성면(111a) 상에 절연막(119)으로 감싸지는 제1 회로(110)를 포함하는 제1 반도체 소자(D1)를 형성할 수 있다. 절연막(119)은 가령 실리콘 산화막 및/또는 실리콘 질화막이 복수개로 적층된 다중막 구조를 가질 수 있다.
- [0022] 제1 회로(110)는 제1 기판(111)의 활성면(111a) 상에 계단 형태로 적층된 복수개의 게이트 전극들(112), 게이트 전극들(112)을 수직 관통하는 기둥 형상을 갖는 복수개의 수직 채널들(113), 그리고 수직 채널들(113)을 감싸는 메모리막들(114)을 포함할 수 있다. 메모리막(114)은 수직 채널(113)에 인접하는 터널 절연막, 게이트 전극(112)에 인접하는 블록킹 절연막, 그리고 터널 절연막과 블록킹 절연막 사이의 전하 저장막을 포함할 수 있다.
- [0023] 제1 회로(110)는 제1 기판(111)에 전기적으로 연결된 복수개의 공통 소오스 플러그들(115), 게이트 전극들(112)의 일단들에 접속되는 금속 콘택들(117), 그리고 게이트 전극들(112) 위에 제공된 복수개의 전기적 배선들(116)을 더 포함할 수 있다. 전기적 배선들(116)은 수직 채널들(113), 공통 소오스 플러그들(115), 그리고 금속 콘택들(117)과 전기적으로 연결될 수 있다.
- [0024] 게이트 전극들(112)은 제1 기판(111)에 인접한 접지 선택 라인, 제1 기판(111)으로부터 가장 멀리 떨어진 스트링 선택 라인, 그리고 접지 및 스트링 선택 라인들 사이의 복수개의 워드 라인들을 구성할 수 있다. 전기적 배선들(116) 중 수직 채널들(113)과 전기적으로 연결되는 몇몇들은 비트 라인들을 구성할 수 있다. 워드 라인들의 연장 방향과 비트 라인들의 연장 방향은 서로 교차할 수 있다.
- [0025] 위와 같이 구성된 제1 회로(110)는 제1 기판(111)의 활성면(111a) 상에서 3차원적으로 수직 적층된 메모리 셀들을 갖는 메모리 셀 회로일 수 있고, 이러한 제1 회로(110)를 포함하는 제1 반도체 소자(D1)는 수직형 낸드 플래시 메모리일 수 있다. 다른 예로, 제1 회로(110)는 복수개의 커패시터들을 포함할 수 있고, 이러한 제1 회로(110)를 포함하는 제1 반도체 소자(D1)는 디램(DRAM)일 수 있다.
- [0026] 전기적 배선들(116)에 접속되는 복수개의 제1 외부 단자들(118)을 더 형성할 수 있다. 제1 외부 단자들(118)은 절연막(119)을 통해 노출될 수 있다. 혹은 제1 외부 단자들(118)은 절연막(119) 위로 돌출될 수 있다. 제1 외부

단자들(118)은 필라, 솔더볼, 솔더범프, 혹은 패드 형태를 가질 수 있다.

- [0027] 도 2는 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제2 반도체 소자의 형성 공정을 도시한 단면도이다.
- [0028] 도 2를 참조하면, 활성면(121a)과 그 반대면인 비활성면(121b)을 갖는 제2 기판(121)을 제공할 수 있다. 제2 기판(121)은 실리콘 웨이퍼와 같은 반도체 기판을 포함할 수 있다. 제2 기판(121)의 활성면(121a) 상에 절연막(129)으로 감싸지는 제2 회로(120)를 포함하는 제2 반도체 소자(D2)를 형성할 수 있다. 절연막(129)은 실리콘 산화막 및/또는 실리콘 질화막이 복수개로 적층된 다중막 구조를 가질 수 있다.
- [0029] 제2 회로(120)는 제2 기판(121)의 활성면(121a) 상에 제공된 복수개의 트랜지스터들(122), 트랜지스터들(122)과 전기적으로 연결된 복수개의 연결 배선들(123), 그리고 연결 배선들(123)을 매개로 트랜지스터들(122)과 전기적으로 연결되는 복수개의 금속 배선들(124)을 포함할 수 있다.
- [0030] 제2 회로(120)는 제1 반도체 소자(D1)의 동작을 제어하는 주변 회로를 포함할 수 있다. 예컨대, 제2 회로(120)는 비교적 고전압으로 동작할 수 있는 제1 반도체 소자(D1)에 적합한 고전압 트랜지스터들 그리고 상대적으로 저전압 동작에 적합한 저전압 트랜지스터들을 포함할 수 있다.
- [0031] 아울러, 제2 회로(120)는 도 5를 참조하여 후술하는 제3 반도체 소자(D3)의 동작을 제어하는 주변 회로를 더 포함할 수 있다. 이에 따라, 제2 회로(120)는 도 1의 제1 반도체 소자(D1)와 도 5의 제3 반도체 소자(D3)의 동작에 적합한 주변 회로 구조를 가질 수 있다. 다른 예로, 제2 반도체 소자(D2)는 응용 프로세서(AP)와 로직 소자의 로직 회로를 포함할 수 있다.
- [0032] 금속 배선들(124)에 접속되는 복수개의 제2 외부 단자들(128)을 더 형성할 수 있다. 제2 외부 단자들(128)은 절연막(129)을 통해 노출될 수 있다. 혹은 제2 외부 단자들(128)은 절연막(129) 위로 돌출될 수 있다. 제2 외부 단자들(128)은 필라, 솔더볼, 솔더범프, 혹은 패드 형태를 가질 수 있다.
- [0033] 도 1 및 도 2를 같이 참조하면, 제1 반도체 소자(D1)의 형성 공정과 제2 반도체 소자(D2)의 형성 공정은 독립적으로 진행할 수 있다. 그러므로, 2개의 형성 공정들 중 어느 하나는 다른 하나의 공정 조건로부터 제한이나 영향을 받지 않을 수 있다. 가령, 임계 치수나 공정 온도를 각각 독립적으로 설정하여 제1 반도체 소자(D1)와 제2 반도체 소자(D2)를 개별적으로 형성할 수 있다.
- [0034] 이와 달리, 먼저 형성된 제2 회로(120) 상에 제1 회로(110)를 형성하거나, 혹은 제2 회로(120)와 제1 회로(110)를 동시에 형성하는 경우, 제1 회로(110)를 형성하는데 필요한 비교적 높은 공정 온도는 제2 회로(120)의 전기적 특성을 감소시킬 수 있다. 가령, 고온 공정 온도는 트랜지스터(122)의 펀치쓰루와 같은 단채널 효과를 야기할 수 있다.
- [0035] 본 실시예에 따르면, 제1 반도체 소자(D1)의 형성 공정과 제2 반도체 소자(D2)의 형성 공정이 개별적으로 진행되기에 제1 회로(110)의 형성과 제2 회로(120)의 형성은 상호간 전혀 영향을 미치지 않을 수 있다. 이처럼, 제1 회로(110)와 제2 회로(120)의 공정 독립성이 확보될 수 있어 제2 회로(120)의 형성시 트랜지스터(122)를 가능한 최소 크기로 줄일 수 있다. 그러므로, 동작 전압이나 동작 속도 등과 같은 전기적 특성이 우수한 제2 회로(120)를 갖는 제2 반도체 소자(D2)를 형성할 수 있다.
- [0036] 도 3은 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제1 반도체 소자와 제2 반도체 소자의 결합 공정을 도시한 단면도이다.
- [0037] 도 3을 참조하면, 제1 반도체 소자(D1)와 제2 반도체 소자(D2)를 상호 결합할 수 있다. 제1 반도체 소자(D1) 상에 뒤집어진 제2 반도체 소자(D2)가 제공될 수 있고, 제1 외부 단자들(118)과 제2 외부 단자들(128)이 대응될 수 있다. 대응된 외부 단자들(118, 128)이 서로 결합되어 연결 단자들(90)을 형성할 수 있다. 일례로, 대응된 한 쌍의 외부 단자들(118, 128)에 열이 제공되므로써 혹은 솔더와 열이 제공되므로써 서로 결합되어 연결 단자들(90)이 형성될 수 있다.
- [0038] 연결 단자들(90)을 매개로 제1 반도체 소자(D1)의 제1 회로(110)는 제2 반도체 소자(D2)의 제2 회로(120)와 물리적으로 그리고 전기적으로 연결될 수 있다. 제2 반도체 소자(D2)의 제2 회로(120)는 제1 반도체 소자(D1)의 제1 회로(110)를 동작시키는 주변 회로 역할을 담당할 수 있다.
- [0039] 이미 언급한 것처럼 제1 반도체 소자(D1) 상에 뒤집어진 제2 반도체 소자(D2)가 제공되므로, 제1 반도체 소자(D1)는 정립상일 수 있고 이에 반해 제2 반도체 소자(D2)는 도립상일 수 있다. 제1 기판(111)의 활성면(111a)은

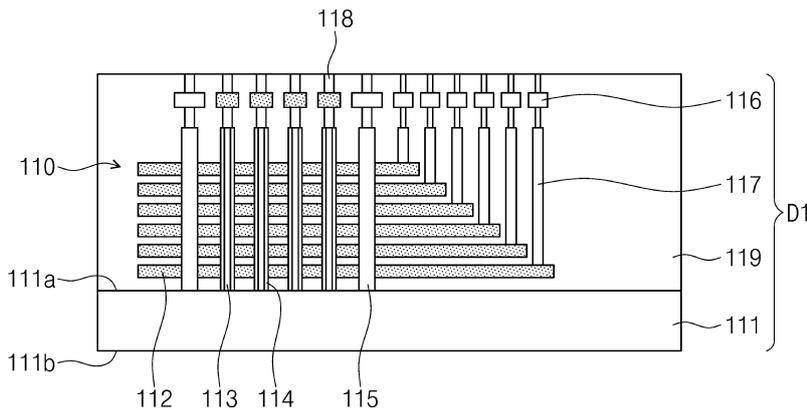
제2 기관(121)의 활성면(121a)을 바라볼 수 있고, 제1 및 제2 기관들(111, 121)의 비활성면들(111b, 121b)은 외부로 노출될 수 있다.

- [0040] 도 4는 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 기관 박형화 공정을 도시한 단면도이다.
- [0041] 도 4를 참조하면, 제2 기관(121)을 물리적 혹은 화학적으로 얇게 만들 수 있다. 가령, 제2 기관(121)의 비활성면(121b)에 대하여 화학기계적 연마, 그라인딩, 혹은 식각 공정을 진행하여 비활성면(121b)에 비해 활성면(121a)에 더 인접한 리세스된 비활성면(121c)을 형성할 수 있다. 박형화된 제2 기관(121)은 가령 제1 기관(111)의 두께(T1)보다 작은 두께(T2)를 가질 수 있다.
- [0042] 제2 기관(121)의 감소된 두께(T2)는 도 5를 참조하여 후술하는 융합 메모리 소자(1)의 전체 높이를 줄일 수 있고 후술하는 제3 반도체 소자(D3)와 제2 반도체 소자(D2)의 전기적 연결을 용이하게 할 수 있다. 제2 기관(121)에 대한 박형화 공정은 필요치 않을 경우 진행하지 않을 수 있다.
- [0043] 도 5는 본 발명의 실시예들에 따른 융합 메모리 소자의 제조 방법에서 제3 반도체 소자의 형성 공정을 도시한 단면도이다. 도 6은 본 발명의 실시예들에 따른 융합 메모리 소자를 도시한 단면도로서, 도 5에 도시된 융합 메모리 소자의 다른 예를 보여준다.
- [0044] 도 5를 참조하면, 제2 기관(121)의 리세스된 비활성면(121c) 상에 절연막(139)으로 감싸지는 제3 회로(130)를 포함하는 제3 반도체 소자(D3)를 형성할 수 있다. 절연막(139)은 실리콘 산화막 및/또는 실리콘 질화막이 복수개로 적층된 다층막 구조를 가질 수 있다. 제3 반도체 소자(D3)의 형성에 의해, 제1 반도체 소자(D1), 제2 반도체 소자(D2), 그리고 제3 반도체 소자(D3)가 차례로 적층된 융합 메모리 소자(1)가 제조될 수 있다.
- [0045] 제3 회로(130)는 제2 기관(121)의 비활성면(121c) 상에서 나란하게 연장되는 복수개의 워드 라인들(131), 워드 라인들(131) 위에 제공되고 워드 라인들(131)과 교차 연장되는 복수개의 비트 라인들(132), 워드 라인들(131)과 비트 라인들(132) 사이의 교차점들에 각각 제공되는 복수개의 메모리막들(133)을 포함할 수 있다. 워드 라인(131)과 메모리막(133) 사이에는 선택 소자(138a)와 하부 전극(138b)을 형성할 수 있다. 비트 라인(132)과 메모리막(133) 사이에는 상부 전극(138c)을 형성할 수 있다.
- [0046] 메모리막(133)은 가변 저항막일 수 있다. 가령, 메모리막(133)은 칼코젠 화합물(chalcogenide)과 같은 상변화 물질, 두 개의 자성체와 이들 사이의 절연막으로 구성된 자기 터널 접합, 혹은 페로브스카이트 화합물이나 전이 금속 산화물과 같은 가변 저항 물질로 형성할 수 있다. 메모리막(133) 내에서의 상변화, 자화 방향 변화, 혹은 저항 변화를 이용하여 제3 회로(130)는 데이터를 저장하거나 읽을 수 있다.
- [0047] 이처럼 제3 회로(130)는 제2 기관(121)의 비활성면(121c) 상에서 3차원적으로 교차 배열된 메모리 셀들을 갖는 메모리 셀 회로일 수 있다. 메모리막(133)이 포함하는 물질에 따라 제3 반도체 소자(D3)의 종류가 달라질 수 있다. 일례로, 메모리막(133)이 상변화 물질을 포함하면 제3 반도체 소자(D3)는 상변화 메모리(PRAM)일 수 있다. 다른 예로, 메모리막(133)이 자기 터널 접합 혹은 가변 저항 물질을 포함하면 제3 반도체 소자(D3)는 자기 메모리(MRAM) 혹은 저항 메모리(RRAM)일 수 있다.
- [0048] 제3 회로(130)는 도 5에 도시된 것과 같이 2층 구조를 가질 수 있다. 다른 예로, 제3 회로(130)는 단층 구조이거나 혹은 3층 이상의 다층 구조를 가질 수 있다. 복수개의 금속 배선들(135)이 제3 회로(130) 상에 형성될 수 있다. 금속 배선들(135) 중 몇몇들 혹은 모두는 제2 반도체 소자(D2) 내에 형성될 수 있다.
- [0049] 제3 반도체 소자(D3)와 제2 반도체 소자(D2) 간의 전기적 연결은 복수개의 관통 전극들(134, 134a, 136)로 구현될 수 있다. 일례로, 제3 회로(130)의 비트 라인(132)에 접속된 관통 전극(134)이 제2 반도체 소자(D2)를 향해 연장되어 제2 기관(121)을 관통하므로써 제2 회로(120)의 연결 배선(123)에 접속될 수 있다. 유사하게, 제3 반도체 소자(D3)의 금속 배선(135)에 접속된 관통 전극(136)이 제2 반도체 소자(D2)를 향해 연장되어 제2 기관(121)을 관통하므로써 제2 회로(120)의 다른 연결 배선(123)에 접속될 수 있다. 관통 전극들(134, 136)은 제2 기관(121)과 전기적으로 절연될 수 있다.
- [0050] 수직하게 이격된 비트 라인들(132)은 이들 사이에 형성된 관통 전극(134a)을 통해 서로 전기적으로 연결될 수 있다. 다른 예로, 도 6에 도시된 바와 같이, 비트 라인들(132)에 각각 접속된 관통 전극들(134)이 제2 기관(121)을 관통하여 제2 회로(120)의 연결 배선들(123)에 직접 접속될 수 있다.
- [0051] 워드 라인(131)은 비트 라인(132)과 동일하거나 유사한 방식으로 제2 회로(120)에 전기적으로 연결될 수 있다. 이에 대해선 도 7 내지 9를 참조하여 후술한다.

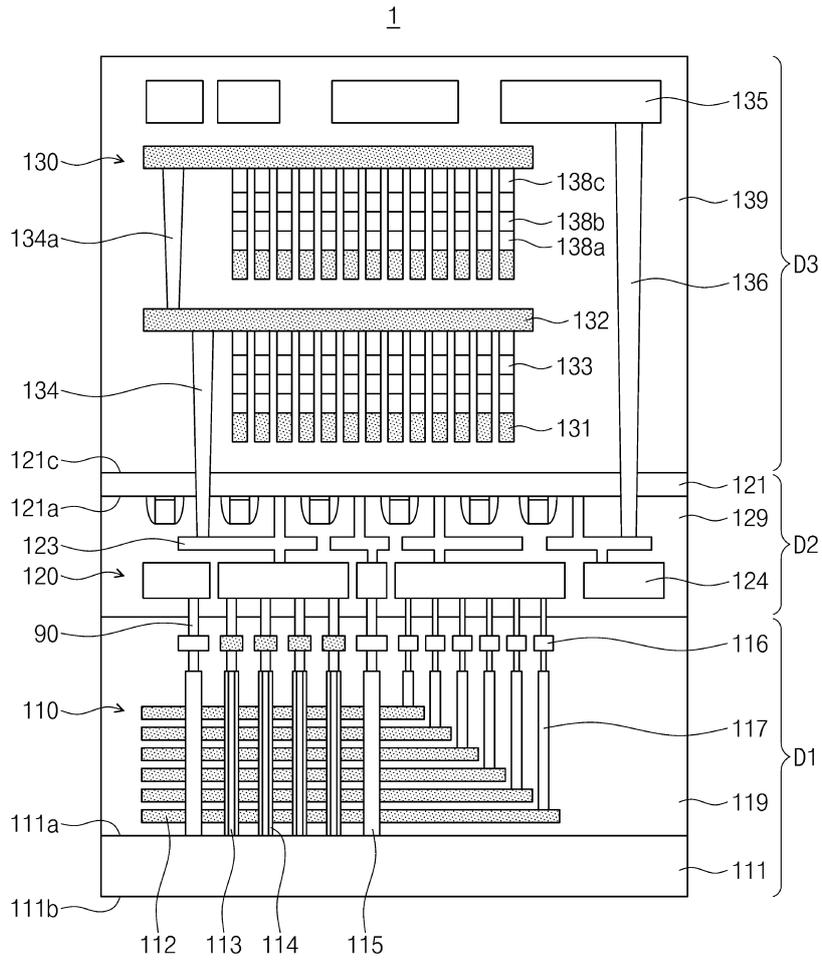
- [0052] 도 7 내지 9는 본 발명의 실시예들에 따른 융합 메모리 소자를 도시한 단면도들이다.
- [0053] 도 7 내지 9에서, 제3 반도체 소자와 제2 반도체 소자 간의 전기적 연결에 대한 이해를 돕기 위해, 제3 반도체 소자는 워드 라인 방향을 따르는 단면과 비트 라인 방향을 따르는 단면이 함께 도시된다. 이하의 실시예들에선, 도 5의 융합 메모리 소자(1)와 상이한 점을 주로 설명한다.
- [0054] 도 7을 참조하면, 제3 회로(130)의 워드 라인들(131)에 각각 접속된 관통 전극들(137)이 제2 반도체 소자(D2)를 향해 연장되어 제2 기판(121)을 관통하므로써 제2 회로(120)의 연결 배선들(123)에 직접 접속될 수 있다. 관통 전극들(137)은 제2 기판(121)과 전기적으로 절연될 수 있다.
- [0055] 다른 예로, 도 8에 도시된 바와 같이, 수직하게 이격된 워드 라인들(131)은 이들 사이에 형성된 관통 전극(137a)을 통해 서로 전기적으로 연결될 수 있다. 또 다른 예로, 도 9에 도시된 것처럼, 비트 라인들(132)에 각각 접속된 관통 전극들(134)이 제2 기판(121)을 관통하여 제2 회로(120)의 연결 배선들(123)에 직접 접속될 수 있다. 유사하게, 워드 라인들(131)에 각각 접속된 관통 전극들(137)이 제2 기판(121)을 관통하여 제2 회로(120)의 연결 배선들(123)에 직접 접속될 수 있다.
- [0056] 본 실시예에 따르면, 수직 낸드 플래시 메모리와 같은 제1 반도체 소자(D1)를 구성하는 제1 회로(110)를 형성할 때 비교적 고온에서 진행되는 확산 공정이 필요할 수 있다. 마찬가지로, 복수개의 트랜지스터들(122)로 구성되는 제2 회로(120)를 형성하는데 있어서 확산 공정이 필요할 수 있다. 가령, 제1 반도체 소자(D1)와 제2 반도체 소자(D2)의 형성 온도는 약 800° C 내지 850° C 혹은 그 이상일 수 있다.
- [0057] 이에 반해, 가변 저항 메모리와 같은 제3 반도체 소자(D3)는 제1 반도체 소자(D1) 및/또는 제2 반도체 소자(D2)의 형성 공정보다 낮은 온도에서 형성될 수 있다. 본 실시예에 따르면, 제1 반도체 소자(D1)와 제2 반도체 소자(D2)를 먼저 형성한 이후에 제3 반도체 소자(D3)를 형성하므로, 제3 반도체 소자(D3)의 형성 공정은 제1 반도체 소자(D1) 및 제2 반도체 소자(D2)에 열적 부담을 전혀 주지 않을 수 있다. 따라서, 제1 및 제2 반도체 소자들(D1, D2)의 열적 열화가 방지될 수 있다.
- [0058] 이상의 발명의 상세한 설명은 개시된 실시 상태로 본 발명을 제한하려는 의도가 아니며, 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 다른 조합, 변경 및 환경에서 사용할 수 있다. 첨부된 청구범위는 다른 실시 상태도 포함하는 것으로 해석되어야 할 것이다.

도면

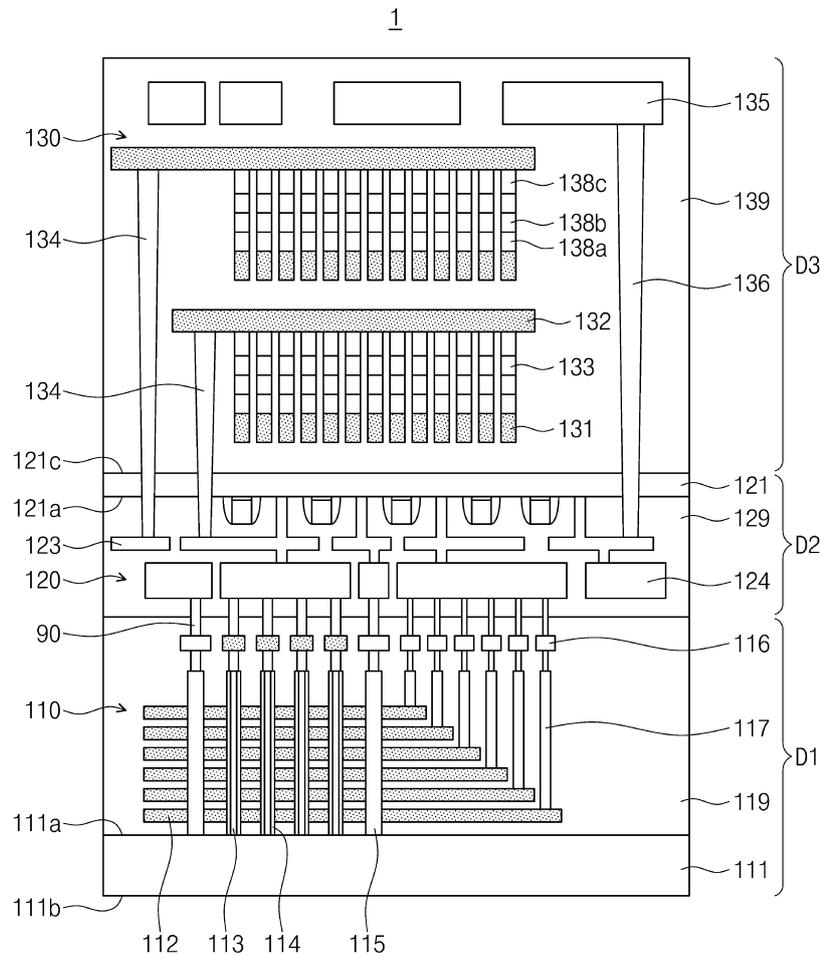
도면1



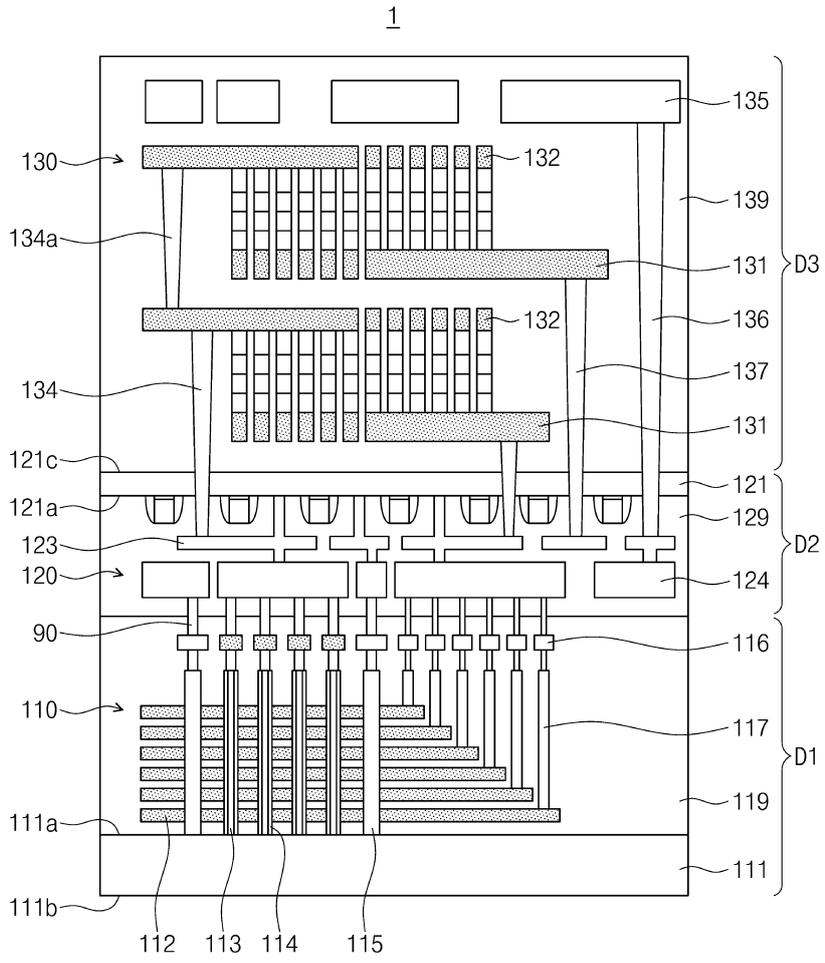
도면5



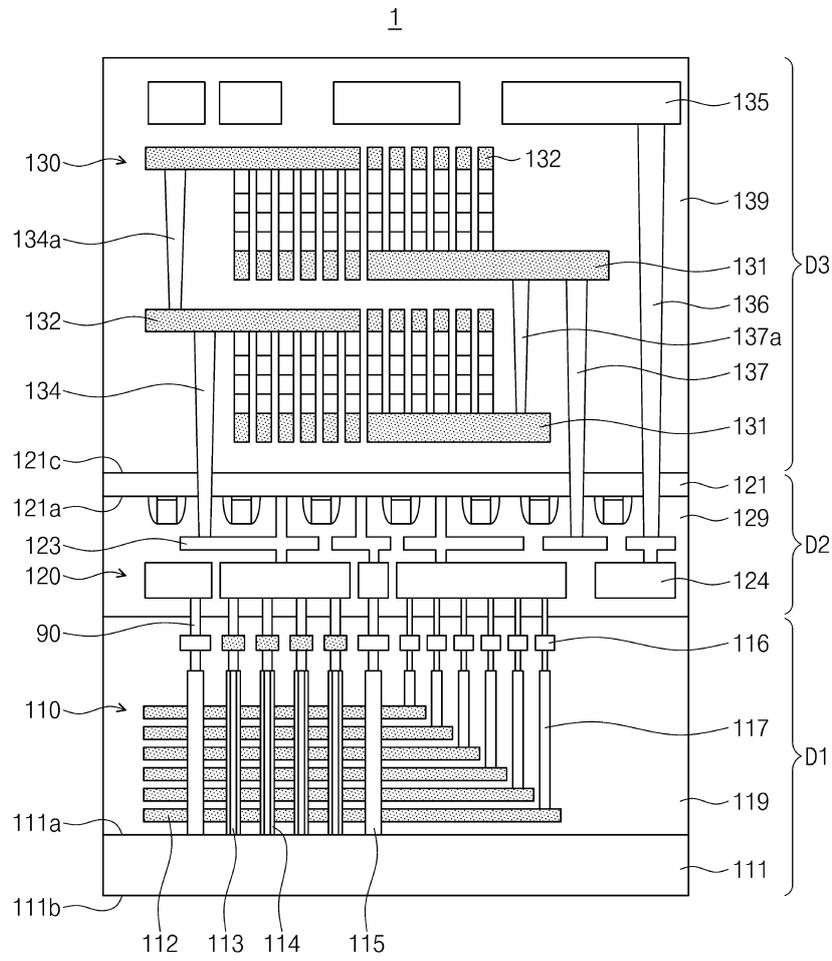
도면6



도면7



도면8



도면9

